受主型界面态在深亚微米槽栅 PMOSFET 中引起退化的研究 [1]

任红霞 郝 跃

(西安电子科技大学微电子所 西安 710071)

摘 要 界面态引起的器件特性的退化是深亚微米器件失效的一个重要因素。本文基于流体动力学能量输运模型，对沟道杂质浓度不同的槽栅和平面 PMOSFET 中受主型界面态引起的器件特性的退化进行了分析。研究结果表明同样浓度的界面态密度在槽栅器件中引起的器件特性的漂移远大于平面器件，且 P 型受主型界面态密度对器件特性的影响也远大于 N 型界面态。沟道杂质浓度不同，界面态引起的器件特性的退化不同。

关键词 槽栅 PMOSFET，界面态密度，阈值电压，漏极电流驱动能力，特性退化

中图号 TN386.1

1 引 言

当载流子在大于 10^4V/cm 的加速电场下运动时，它从电场获得的能量大于散射过程中与晶格原子碰撞损失的能量。因而，这样的载流子就成为热载流子。随着 MOS 器件的沟道长度进入深亚微米，在 MOS 器件尺寸等比缩小的同时，器件工作电压缩小的程度并不如沟道长度那么大，这就导致沟道区的横向和纵向电场显著增加。载流子在高场中获得足够的能量，形成热载流子的几率大大增加。这些高能载流子在 MOS 器件沟道中能够翻越界面势垒，注入栅氧化层，在 Si-SiO_2 界面产生界面态，或被栅氧化层中的电荷陷阱俘获，导致器件特性，如阈值电压、跨导和线性区及饱和区漏电流的退化，使电路性能随时间逐渐退化 [1]。有研究表明 [2]，深亚微米 MOS 器件 (例如有效沟道长度 $L_{\rm eff} = 0.15\mu$m) 在漏偏置电压低至 1.8V 时，仍会出现热载流子退化现象。因此即使器件的工作电压大幅度降至 2V，仍不足以有效地防止热载流子引入的器件损伤。所以热载流子效应已成为限制 VLSI 电路最大器件密度的主要因素之一，对深亚微米器件中热载流子效应的研究必须高度重视。

虽然降低电源电压和减小栅氧化层厚度是抑制热载流子效应的有效方法 [3]，但在深亚微米区域，由于受器件驱动能力和速度及漏电流和隧道电流的影响，电源电压和栅氧化层厚度的降低是有限度的。为了最大限度抑制短沟道效应和热载流子效应，人们探索了许多器件结构和制备工艺 [4]。槽栅器件由于其独特的结构，能够很好地抑制短沟道效应和热载流子效应，被认为是在深亚微米区域和超深亚微米区域器件可靠性加固的理想结构 [5,6]。因此对其抗热载流子效应展开研究对于探索其抗热载流子的物理机理、加速其实用化具有非常重要的意义。

在器件尺寸较大时，由于沟道内电场较弱，所以 PMOSFET 中热载流子效应并不严重，但当器件尺寸进入深亚微米范围后，随着沟道内电场的增强，载流子能量升高，成为热载流子的几率大大增加，所以在深亚微米区，对 PMOSFET 的热载流子效应和可靠性必须给予高度的重视。在深亚微米 PMOSFET 中，主要有三种热载流子退化机制 [7]：电子注入导致的负氧化层电荷的产生、空穴注入导致的正氧化层电荷的产生和热载流子注入导致的界面态的产生。在深亚微米 PMOSFET 中，界面态的产生对器件特性的影响是非常显著的，它甚至能影响表面沟道晶体管的寿命。界面态的产生主要是由于高能电子和空穴在注入时打破了 Si-Si 和 Si-O 键，或打破 Si-H 键，释放出 H 原子，而 Si-，O- 悬挂键则成为受主型界面陷阱。快速界面态只允许存在于半导体禁带内，且被分为电子或空穴的施主或受主类型：空穴受主态 (在空穴准费米能级以上充正电荷，以下为中性)，电子受主态 (在电子准费米能级以上为中性，以下充负电)，空穴

[1] 2000-02-23 收到，2000-07-06 定稿
国家部级基金资助课题

施主态 (在空穴准费米能级以上为中性，以下为负电)，电子施主态 (在电子准费米能级以上充正电荷，以下为中性)。在本文中，我们基于器件的流体动力学能量输运模型，利用 Medici 二维器件仿真软件 [8]，主要分析了受主型界面态的产生对槽栅和平面 PMOSFET 特性的影响。对施主型界面态的影响我们将在后面另文分析。

2 器件结构与模型

图 1 给出槽栅和平面器件的结构图。相对于平面器件，槽栅器件仅仅是将栅沉入槽中，因而结构简单。同时由于漏源区域被凹槽隔开，抑制了漏区电场向源区的扩散，因而抑制了穿通效应和短沟道效应；同时，由于在凹槽拐角处电力线密集，形成了两个势垒，因而抑制了阈值电压随沟道的降低和热载流子的产生。仿真研究中所用的槽栅和平面器件都是利用 TSUPREM4 模拟制备的 [9]，器件的基本参数为：　N 型衬底，杂质浓度 $5.0 \times 10^{16}\mathrm{cm}^{-3}$；有效沟道长度 $0.13\mu\mathrm{m}$，栅氧化层厚度为 4nm，固定界面态密度 $10^{10}\mathrm{cm}^{-2}$，沟道杂质浓度为 $7.0\times10^{17}\mathrm{cm}^{-3}$ 和不掺杂两种，漏源结表面掺杂浓度 $6.0 \times 10^{18}\mathrm{cm}^{-3}$，漏源结深 $0.08\mu\mathrm{m}$，槽栅器件凹槽向下凹入 $0.1\mu\mathrm{m}$，形成 $0.02\mu\mathrm{m}$ 的负结深。

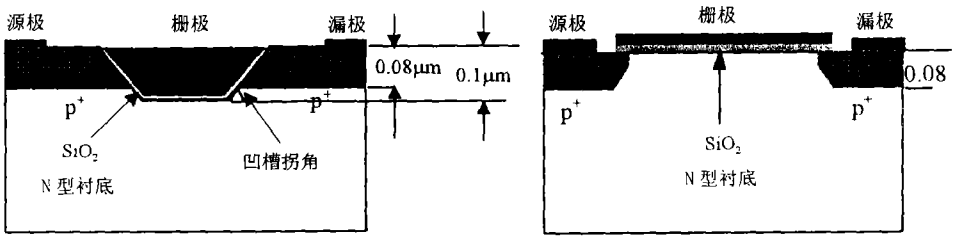


图 1　槽栅和平面 PMOSFET 结构图

对深亚微米器件进行模拟时必须考虑各种短沟道效应，尤其当沟道长度降至与载流子平均自由程相比拟时，会出现如非稳态、量子传输等效应，模拟工作会面临更大的挑战。由于槽栅器件是适用于深亚微米及更小尺寸的器件，因此，其数值模型用一般的漂移-扩散模型不能完全适合，必须采用能量传输模型。能量传输模型由载流子连续性方程、动量平衡方程、能量平衡方程及 Poisson 方程组成，它能够模拟载流子的非本地输运现象，包括了载流子加热及其相关的现象，如速度过冲等，比漂移扩散模型更为精确。模型基本方程中各参数的选取考虑了深亚微米器件的特殊性。在热载流子效应研究过程中，我们采用了幸运载流子模型来求解栅电流 [10]。

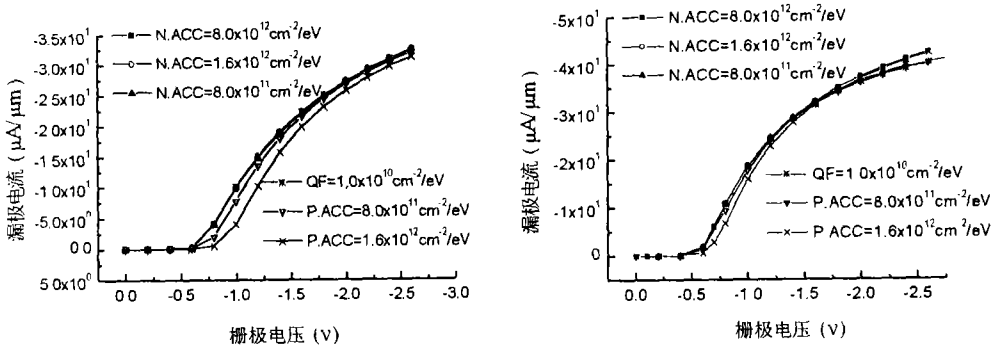
由于我们模拟的器件为短沟道器件，需要考虑温度、热载流子等因素。因此对于模型基本方程的求解，本文采用了耦合算法 (Newton 方法)。

3 仿真结果与讨论

3.1 受主型界面态对器件转移特性的影响

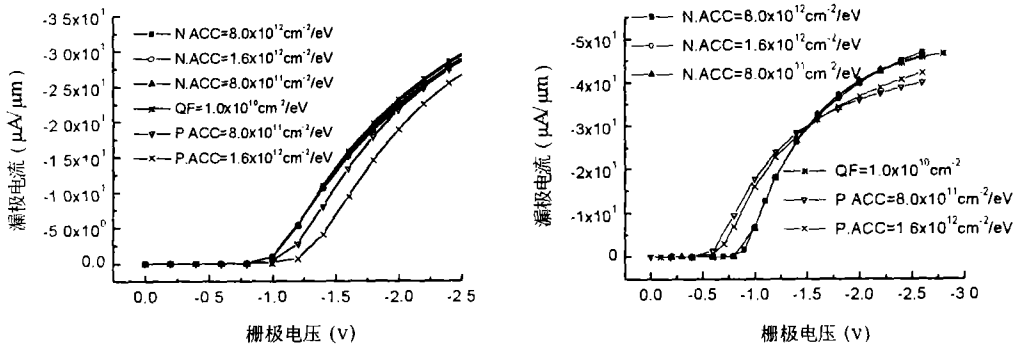
图 2 和图 3 分别给出沟道不掺杂和高掺杂的情况下，在漏端界面加入一定的 P 型受主和 N 型受主界面态密度时，槽栅和平面器件栅极特性的漂移。由于热载流子注入集中在漏区附近，所以仅研究在漏端施加界面态的情形。从图中可以直观地看出栅极特性的漂移情况。

从栅极特性图中我们不难看出，在同样界面态密度下，槽栅器件的栅极特性漂移要比平面器件大，且在两种结构的器件中，P 型受主界面态引起的栅极特性的漂移要大于 N 型受主界面态。且 P 型受主界面态明显地使器件的栅极特性向右漂移，导致器件的阈值电压升高，亚阈斜率因子迅速增大，亚阈特性严重退化，线性因子增大，跨导特性变好。这是因为随着漏端附



(a) 槽栅 PMOSFET (b) 平面 PMOSFET

图 2 沟道不掺杂不同界面态下 PMOSFET 的栅极特性
($V_{\mathrm{drain}} = -0.1\mathrm{V}$, $N_{\mathrm{channel}} = 5.0 \times 10^{16}\mathrm{cm}^{-3}$)



(a) 槽栅 PMOSFET (b) 平面 PMOSFET

图 3 沟道高掺杂不同界面态下 PMOSFET 的栅极特性
($V_{\mathrm{drain}} = -0.1\mathrm{V}$, $N_{\mathrm{channel}} = 7.0 \times 10^{17}\mathrm{cm}^{-3}$)

近热载流子的注入和带正电荷的界面态 (P 型受主) 的累积，对多数载流子——空穴产生了一个排斥作用，相当于给载流子到达漏极增加了一个势垒，所以导致器件的阈值电压升高，栅极特性曲线向右漂移，可以推知同时会导致漏极驱动能力的退化。N 型受主界面态则使器件的栅特性向左略微移动，导致器件的阈值电压略有降低，亚阈特性略有改善，跨导特性略有退化。这是因为随着漏端附近热载流子的注入和带负电荷的界面态 (N 型受主) 的累积，对沟道内的多数载流子——空穴产生了一个吸引作用，相当于漏区向沟道内扩展，使有效沟道长度缩短，屏蔽了部分界面态的影响，所以器件的栅极特性左移，阈值电压降低。也因为同样的原因，必会导致漏极驱动能力升高，我们后面的仿真结果也证明了这一点。但同时载流子靠近界面，受到了界面的更严重的散射，降低了迁移速度，又会导致漏极驱动能力降低，最后表现出来的漏极驱动能力便是这两方面综合作用的结果。界面态密度对平面器件特性的影响可以同样解释。当然，在器件结构类型不同、结构参数不同 (例如沟道杂质浓度不同) 的情形下，界面态的影响略有差异，这主要是因为沟道杂质浓度影响器件内的电场分布并增加了载流子在沟道内运动受到的散射。有关这些特点我们可以从对界面态密度引起的器件的阈值电压、亚阈斜率因子和跨导的退化中看到更详细的信息。

表 1–4 分别给出沟道杂质浓度不同的情况下，在不同界面态密度下，槽栅和平面器件的阈值电压、跨导以及亚阈斜率因子的详细变化情况。

在沟道不掺杂情况下，平面器件中，在漏端施加 $8.0 \times 10^{12}\mathrm{cm}^{-2}/\mathrm{eV}$ 的 N 型受主态和 $1.6 \times$

表 1　槽栅 PMOSFET 阈值电压及亚阈斜率因子随界面态密度的漂移
($V_{\rm drain} = -0.1$V, $N_{\rm sub} = N_{\rm channel} = 5.0 \times 10^{16}{\rm cm}^{-3}$)

界面态密度 ($\rm cm^{-2}/eV$)	$V_{\rm th}$(V)	S-sub(mV/dec)	S-lin(μA/(μm·V))
1.0×10^{10}	−0.6670	74.07	29.966
8.0×10^{11}(N.ACC)	−0.6652	72.75	29.721
1.6×10^{12}(N.ACC)	−0.6642	71.40	29.488
1.6×10^{12}(N.ACC)C	−0.6626	70.91	29.466
8.0×10^{12}(N.ACC)	−0.6644	69.49	29.364
8.0×10^{11}(P.ACC)	−0.7329	78.67	28.902
1.6×10^{12}(P.ACC)	−0.8728	85.56	31.075
1.6×10^{12}(P.ACC)C	−0.8724	85.61	31.103

表 2　平面 PMOSFET 阈值电压及亚阈斜率因子随界面态密度的漂移
($V_{\rm drain} = -0.1$V, $N_{\rm sub} = N_{\rm channel} = 5.0 \times 10^{16}{\rm cm}^{-3}$)

界面态密度 ($\rm cm^{-2}/eV$)	$V_{\rm th}$(V)	S-sub(mV/dec)	S-lin(μA/μm·V)
1.0×10^{10}	−0.5583	72.11	44.308
8.0×10^{11}(N.ACC)	−0.5724	72.49	47.005
1.6×10^{12}(N.ACC)	−0.5580	72.81	44.314
8.0×10^{12}(N.ACC)	−0.5569	74.17	44.091
8.0×10^{11}(P.ACC)	−0.5758	73.39	41.711
1.6×10^{12}(P.ACC)	−0.6536	76.79	45.740

表 3　槽栅 PMOSFET 阈值电压及亚阈斜率因子随界面态密度的漂移
($V_{\rm drain} = -0.1$V, $N_{\rm sub} = N_{\rm channel} = 7.0 \times 10^{17}{\rm cm}^{-3}$)

界面态密度 ($\rm cm^{-2}/eV$)	$V_{\rm th}$(V)	S-sub(mV/dec)	S-lin(μA/μm·V)
1.0×10^{10}	−1.007	80.24	27.649
8.0×10^{11}(N.ACC)	−1.002	80.79	27.019
1.6×10^{12}(N.ACC)	−0.9969	80.85	26.318
8.0×10^{12}(N.ACC)	−0.9966	81.07	25.831
8.0×10^{11}(P.ACC)	−1.100	86.73	26.480
1.6×10^{12}(P.ACC)	−1.251	95.65	26.548
1.6×10^{12}(P.ACC)C	−1.250	95.68	26.574

表 4　平面 PMOSFET 阈值电压及亚阈斜率因子随界面态密度的漂移
($V_{\rm drain} = -0.1$V, $N_{\rm sub} = N_{\rm channel} = 7.0 \times 10^{17}{\rm cm}^{-3}$)

界面态密度 ($\rm cm^{-2}/eV$)	$V_{\rm th}$(V)	S-sub(mV/dec)	S-lin(μA/μm·V)
1.0×10^{10}	−0.8861	73.61	56.976
8.0×10^{11}(N.ACC)	−0.8915	72.86	60.860
1.6×10^{12}(N.ACC)	−0.8870	73.78	57.141
8.0×10^{12}(N.ACC)	−0.8870	74.38	57.235
8.0×10^{11}(P.ACC)	−0.8933	74.30	55.910
1.6×10^{12}(P.ACC)	−0.9176	73.85	54.358

$10^{12}\mathrm{cm}^{-2}/\mathrm{eV}$ 的 P 型受主态后，阈值电压分别由固定界面态密度下的 $-0.5583\mathrm{V}$ 变为 $-0.5569\mathrm{V}$ 和 $-0.6536\mathrm{V}$，分别降低和升高 0.19% 和 17.07%；亚阈斜率因子则由原来的 72.11mV/dec 变为 74.17mV/dec 和 76.79mV/dec，分别升高 2.86% 和 6.49%；线性因子由 $44.308\mu\mathrm{A}/\mu\mathrm{m}\cdot\mathrm{V}$ 变为 $44.091\mu\mathrm{A}/\mu\mathrm{m}\cdot\mathrm{V}$ 和 $45.740\mu\mathrm{A}/\mu\mathrm{m}\cdot\mathrm{V}$，分别降低和升高 0.49% 和 3.22%；对于槽栅器件，在同样情况下，阈值电压则分别降低和升高 0.39% 和 30.85%，变化率几乎为平面器件的两倍；亚阈斜率因子变化率则分别为 6.19% 和 15.51%，变化率接近平面器件的 2.5 倍；线性因子则分别降低和升高 2.05% 和 3.70%，变化率也远高于平面器件。可见在沟道不掺杂的情况下，槽栅器件受 P 型和 N 型受主态的影响较平面器件大得多。

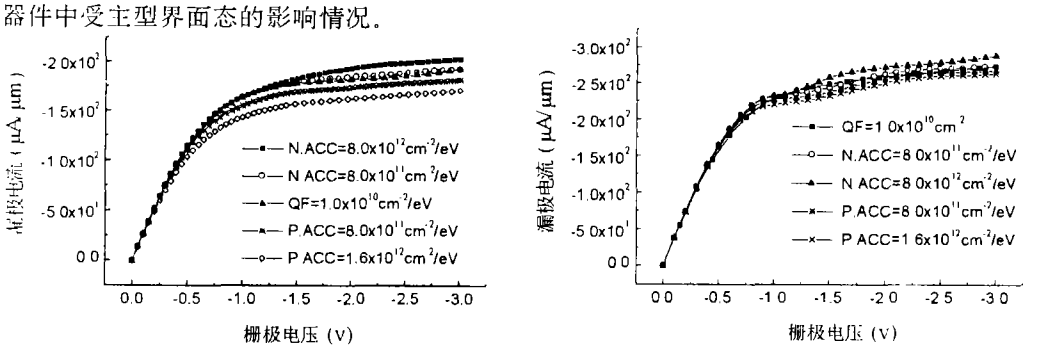
在沟道掺杂浓度为 $7.0\times10^{17}\mathrm{cm}^{-3}$ 情况下，由研究结果可以看处，与沟道不掺杂情形相似，槽栅器件受 P 型和 N 型受主态的影响仍较平面器件大得多。但对于平面器件，在相同的界面态密度下，沟道不掺杂的情况下引起的器件栅极特性参量的变化要远大于沟道高掺杂的情况。对于槽栅器件，则无明显的规律，P 型受主态对沟道不掺杂情形下阈值电压的影响较大，这说明在槽栅器件中，高的沟道杂质浓度对阈值电压仍有重要的调节作用。

相同浓度的 P 型界面态比 N 型界面态对器件特性的影响要大得多。在器件的漏端施加 $1.6\times10^{12}\mathrm{cm}^{-2}/\mathrm{eV}$ 的相同浓度 N 型和 P 型受主型界面态后，以沟道不掺杂的情况为例，槽栅器件的阈值电压、亚阈斜率因子和线性因子分别由固定界面态电荷 $10^{-10}\mathrm{cm}^{-2}$ 时的 $-0.6670\mathrm{V}$、74.07mV/dec 和 $29.966(\mu\mathrm{A}/\mu\mathrm{m}\cdot\mathrm{V})$ 变为 $-0.6642\mathrm{V}$、71.40mV/dec、$29.488\mu\mathrm{A}/(\mu\mathrm{m}\cdot\mathrm{V})$ 以及 $-0.6536\mathrm{V}$、76.79mV/dec、$45.740\mu\mathrm{A}/(\mu\mathrm{m}\cdot\mathrm{V})$，变化率分别为 0.6%(降低)、3.6%(改善)、1.6和 2.01%(降低)、3.67%(退化)、55.1%(改善)。在平面器件中，这些对应的参数分别为 0.05%(降低)、0.97%(退化)、0.01%(改善) 和 17.07%(升高)、6.49%(退化)、3.23%(改善)。显然，不论是在平面器件中还是在槽栅器件中，P 型受主界面态的影响都远大于 N 型，且平面器件中这种现象较槽栅器件更为明显，亦即与平面器件相比，槽栅器件对 P 型界面态不敏感。而在高偏压下，器件内产生空穴注入，产生 P 型界面态的几率大大增加。所以沟道高掺杂时，相对于平面器件，槽栅器件的抗热载流子特性更好。

3.2 受主型界面态对器件漏极驱动能力的影响

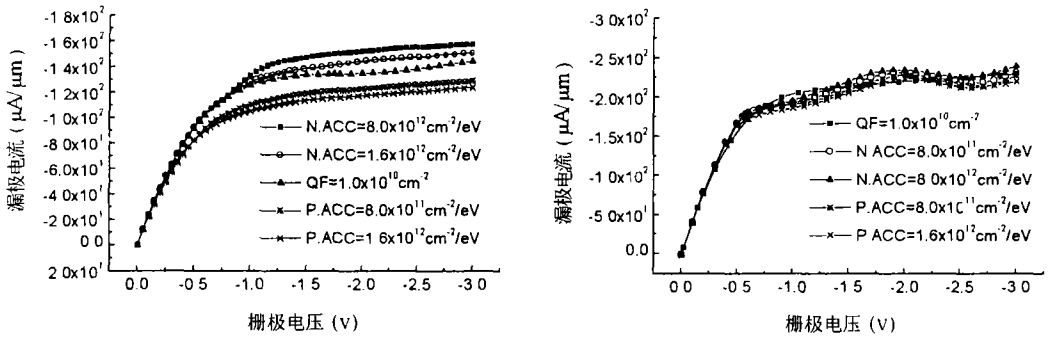
由于在不同栅极偏压下，漏极特性曲线相似，所以，对于不同界面态密度的情况，我们这里只比较一个栅压下的漏极特性曲线，其它栅压下的变化规律类似。

图 4 和图 5 分别为沟道杂质浓度不同的情况下，在漏端加入不同受主型界面态后，在 2V 栅极偏压下槽栅和平面器件漏极特性的漂移情况。由图中同样可以看出，在两种结构的器件中，P 型受主型界面态使器件的漏极特性向下偏移，导致器件的漏极驱动能力减弱，而 N 型受主界面态则正相反，使器件的驱动能力增强；具体原因我们已在他们对栅极特性的影响中进行了解释。另外，相同浓度的 P 型受主界面态比 N 型界面态对漏极特性的影响显著；同样浓度的界面态在槽栅器件中引起的器件漏极特性的漂移要远大于平面器件。下面具体看一下在两种不同结构器件中受主型界面态的影响情况。



(a) 槽栅 PMOSFET　　(b) 平面 PMOSFET

图 4　沟道不掺杂不同界面态下 PMOSFET 的漏极特性
($V_{\mathrm{gate}}=-2.0\mathrm{V}$，$N_{\mathrm{channel}}=5.0\times10^{16}\mathrm{cm}^{-3}$)



(a) 槽栅 PMOSFET　　(b) 平面 PMOSFET

图 5　沟道高掺杂不同界面态下 PMOSFET 的漏极特性
($V_{\rm gate} = -2.0$V，$N_{\rm channel} = 7.0 \times 10^{17}{\rm cm}^{-3}$)

在槽栅器件中，栅极偏压为 2V，漏极偏压为 3V，沟道掺杂浓度为 $7.0 \times 10^{17}{\rm cm}^{-3}$，在漏端施加 $8.0 \times 10^{12}{\rm cm}^{-2}/{\rm eV}$ 的 N 型受主态后，漏极饱和电流由固定界面态密度 $1.0 \times 10^{10}{\rm cm}^{-2}$ 时的 $-144.59\mu{\rm A}/\mu{\rm m}$，变到 $-157.697\mu{\rm A}/\mu{\rm m}$，升高 9.06%；在漏端施加 1.6×10^{12} ${\rm cm}^{-2}/{\rm eV}$ 的 P 型受主态后，漏极饱和电流变为 $-123.923\mu{\rm A}/\mu{\rm m}$，降低 14.29%。在沟道不掺杂时，在同样的条件下，漏极电流分别升高和降低 5.27时，在漏端分别施加 $8.0 \times 10^{12}{\rm cm}^{-2}/{\rm eV}$ 的 N 型受主态和 $1.6 \times 10^{12}{\rm cm}^{-2}/{\rm eV}$ 的 P 型受主态后，漏极电流由 $-229.42\mu{\rm A}/\mu{\rm m}$ 变为 $-239.56\mu{\rm A}/\mu{\rm m}$ 和 $-219.73\mu{\rm A}/\mu{\rm m}$，分别升高和降低 4.42% 和 4.22%；沟道不掺杂时，在漏端分别施加 $8.0 \times 10^{12}{\rm cm}^{-2}/{\rm eV}$ 的 N 型受主态和 $1.6 \times 10^{12}{\rm cm}^{-2}/{\rm eV}$ 的 P 型受主态后，饱和漏极电流则分别升高和降低 5.38% 和 3.71%。可见在槽栅器件中，N 型受主态使器件的饱和漏电流升高，提高器件的漏极驱动能力，而 P 型受主态使器件饱和漏电流降低，降低器件的漏极驱动能力；在平面器件中有相同的影响规律，但同样的界面态密度造成的槽栅器件的漏极特性的漂移要大于平面器件。且对槽栅器件，在沟道杂质浓度较高时同样的界面态密度引起的器件漏极特性的漂移要大于沟道不掺杂的情况，这说明沟道杂质浓度高的槽栅器件的漏极驱动能力对热载流子效应更为敏感。在平面器件中则变化相差不大。分析可见，不管是对于栅极特性还是漏极特性，相同的受主型界面态密度在槽栅器件中引起器件特性的变化远大于在平面器件中引起的变化。因此，尽管在槽栅器件中，产生的热载流子数量比在平面器件中少的多，但同样数目的热载流子对器件所造成的损伤要比平面器件中大得多。

4 结　论

本文基于能量输运模型，对不同种类和密度的受主型界面态在槽栅和平面器件中引起的器件特性退化进行了详细的分析研究。研究表明，相同类型和密度的界面态在槽栅器件中引起的器件特性的漂移远大于平面器件，且相同密度的 P 型受主界面态对器件特性的影响比 N 型要明显。同时，沟道杂质浓度不同，界面态引起的器件特性的退化不同，沟道杂质浓度较高时，漏极特性都受到较沟道不掺杂时大的影响，而栅极特性则正相反。

尽管我们的研究表明 [11]，由于凹槽拐角的作用，槽栅器件的热载流子效应远远小于平面器件，但通过本文的研究我们发现，同样数目的热载流子在槽栅器件中引起的损伤要大于在平面器件。尽管这样，由于槽栅器件中热载流子效应与平面器件相比非常小，所以槽栅器件的抗热载流子特性和可靠性仍较平面器件好得多。

参 考 文 献

[1] C. Hu, Simulating hot-carrier effects on circuit performance, Semiconductor Science Technology, 1992, 7(3), B555–B558.

[2] J. E. Chung, M. Jeng, J. E. Moon, P. K. Ku, C. Hu, Low-voltage hot-electron currents and degradation in deep-sub-micrometer MOSFET's, IEEE Trans. on Electron Devices, 1990, 37(7), 1651–1657.

[3] C. Fiegna, H. Iwai, T. Wada, *et al.*, Scaling the MOS transistor below 0.1 μm: Methodology, device structures, and technology requirements, IEEE Trans. on Electron Devices, 1994, 41(6), 941–949.

[4] C. Hu, S. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, K. W. Terrill, Hot-electron-induced MOSFET degradation-model, monitor and improvement, IEEE Trans. on Electron Devices, 1985, 32(2), 375–385.

[5] H. I. Kimura, J. Tanaka, H. Noda, Short-channel-effect-suppressed sub-0.1-μm grooved-gate MOSFET's with W gate, IEEE Trans. on Electron Devices, 1995, 42(1), 94–99.

[6] Paul-Henri Bricout, Emmanuel Dubois, Short-channel effect immunity and current capability of sub-0.1-micron MOSFET's using a recessed channel, IEEE Trans. on Electron Devices, 1996, 43(8), 1251–1255.

[7] R. Woltjer, G. M. Paulzen, H. G. Pomp, H. Lifka, P. H. Woerlee, Three hot-carrier degradation mechanisms in deep-submicron PMOSFET's, IEEE Trans. on Electron Devices, 1995, 42(1), 109–114.

[8] Technology Modeling Associates, Inc. Medici Two-Dimensional Device Simulation Program Version 2.3 User's Manual, Vol.1, Feb 1997

[9] Technology Modeling Associates, Inc. TSUPREM-4 Two-Dimensional Process Simulation Program Version 6.5 User Manual , May 1997

[10] S. Tam, P. Ko, C. Hu, Luck-electron model of channel hot-electron injection in MOSFETs, IEEE Trans. on Electron Devices, 31(9), 1984, 1116–1125.

[11] 任红霞，郝跃，许冬岗，槽栅 NMOSFET 抗热载流子效应的研究，物理学报， 2000, 49(7), 741–748.

STUDY ON THE DEGRADATION INDUCED BY ACCEPTOR INTERFACE STATE FOR DEEP-SUB-MICRON GROOVED-GATE PMOSFET's

Ren Hongxia Hao Yue

(*Institute of Microelectronics, Xidian University, Xi'an* 710071, China)

Abstract The degradation induced by interface state is one main reason for failure occurs in deep-sub-micron MOS devices. Based on the hydrodynamics energy transport model, the degradation induced by acceptor interface state is analyzed for deep-sub-micron grooved-gate and conventional planar PMOSFET with different channel doping density. The simulation results show that the degradation induced by the same interface state density in grooved-gate PMOSFET is larger than that in planar PMOSFET and in both structure devices, the impact of P type acceptor interface state on device performance is far larger than that of N type. It also manifests that the degradation is different for the device with different channel doping density.

Key words Grooved-gate PMOSFET, Interface state density, Threshold voltage, Drain current driving capability, Performance degradation

任红霞： 女， 1967 年生，博士，教授，研究方向：新型电路与器件的可靠性分析.

郝 跃： 男， 1958 年生，教授，博士生导师，研究方向：集成电路可靠性与可制造性研究.