# 天基计算芯片：现状、趋势与关键技术

魏肖彤[①②③④] 许浩博[①②] 尹春笛[①②] 黄俊培[①②] 孙文昊[①②] 徐文浚[①②]
王 颖[①②] 刘垚圻[①②] 孟范涛[①②] 闵 丰[①②] 王梦迪[①②] 韩银和*[①②]

[①](中国科学院计算技术研究所 北京 100190)
[②](中国科学院计算技术研究所智能计算机研究中心 北京 100190)
[③](中国科学院大学杭州高等研究院 杭州 310024)
[④](中国科学院大学 北京 101408)

**摘 要**：随着航天技术的快速发展，天基计算芯片作为空间信息系统的核心器件，承担着数据处理、任务控制和通信支持等关键功能，其重要性日益凸显。天基计算芯片不仅决定了空间任务的执行效率和可靠性，还在极端环境下为航天器的长期稳定运行提供保障。该文通过回顾天基计算芯片的发展历程，以探讨其未来发展方向。首先按照结构功能划分，从通用处理器(CPU)、现场可编程门阵列(FPGA)和专用芯片3方面对天基计算芯片的发展现状进行归纳和总结；然后深入分析其与地面芯片的主要区别，探讨针对辐射效应等空间环境挑战的关键容错技术，并从不同层面阐述已有的技术方法；最后论述了天基计算芯片未来的主要发展方向，即大算力、商用现货 (COTS)器件广泛应用、第五代精简指令集(RISC-V)架构和芯粒技术。该文能够帮助读者了解该领域现状，掌握关键问题，并为后续的相关研究工作提供有价值的参考和启示。

**关键词**：天基计算芯片；容错技术；大算力；COTS器件；RISC-V架构；芯粒

**中图分类号**：TN4; TP302.1 **文献标识码**：A **文章编号**：1009-5896(2025)09-2963-16

**DOI**: 10.11999/JEIT250633 **CSTR**: 32379.14.JEIT250633

## 1 引言

随着航天技术的快速发展和空间应用需求的不断增长，天基计算芯片作为空间信息系统的核心器件，其重要性日益凸显。天基计算芯片不仅是卫星平台、空间站和深空探测器等航天器完成数据处理与通信任务的关键技术基础，更是推动空间科学研究、对地观测、导航定位和空间互联网等重大应用的核心驱动力。在当前“新基建”与数字化转型的时代背景下，天基计算能力的提升直接决定着国家空间基础设施的效能与水平，对保障国家安全、促进经济发展、服务民生需求具有重大战略意义。特别是在空间大数据处理、星座组网协同计算、边缘智能处理等新兴应用场景中，高性能天基计算芯片已成为制约空间信息系统发展的关键瓶颈之一[1]。

天基计算芯片的设计面临与地面芯片截然不同的挑战与技术要求。首先，空间环境的极端恶劣性要求天基芯片具备更高的抗辐射能力以及进行相应的硬件容错设计，需要抵御宇宙射线、太阳质子事件、电子辐射等多种辐射威胁，避免单粒子翻转、闩锁效应和总剂量效应等辐射损伤[2,3]。其次，空间的真空、微重力和极端温差环境对芯片的热设计、封装技术和机械可靠性提出了严苛要求。此外，天基芯片还必须满足超长寿命的严格指标，通常需要无故障在轨运行5～15年甚至更长时间，这远超地面芯片的设计标准。在功耗控制方面，由于空间平台的电源供应有限，天基芯片必须在保证计算性能的同时实现低功耗设计[4–6]。此外，有限的载荷空间和质量约束要求芯片具备高集成度和轻量化特征，这些因素共同构成了天基计算芯片设计的独特技术体系。

当前天基计算芯片可按照计算能力分类为：低性能处理器，适用于简单的控制和通信任务，如基于PowerPC架构RAD6000等抗辐射处理器[7]；中等性能处理器，能够处理复杂的控制算法和数据处理任务，是当前大多数卫星的主力芯片，如基于ARM架构的抗辐射芯片如Vorago的VA7230系列、Cortex-M4等[8,9]；高性能处理器，适用于实时图像处理、人工智能计算等高算力需求任务，如英伟达公司的Tegra X2 SoC[10]、英特尔的Movidius Myriad X[11]等。天基计算芯片正朝着更高集成度、更强计算能力、更低功耗、更智能化的方向演进，新一代芯片开始融合CPU、图形处理器 (Graphics Processing Unit, GPU)、人工智能 (Artificial Intelligence, AI) 加速器等多种计算单元，支持边缘计算、机器学习推理等新兴应用。

本文按照功能架构对天基计算芯片的发展现状

收稿日期：2025-07-04；改回日期：2025-09-05；网络出版：2025-09-17
*通信作者： 韩银和 yinhes@ict.ac.cn
基金项目：国家自然科学基金 (62025404, 62495104)，北京市自然科学基金(L241013)
Foundation Items: The National Natural Science Foundation of China (62025404, 62495104), Beijing Natural Science Foundation (L241013)

进行阐述，描绘出主流的架构发展方向；与地面芯片相比，天基计算芯片的关键技术在于容错方面，因此系统性地阐述天基计算芯片在太空环境中所采取的容错措施，论述了各种技术的应用场景和局限性；结合天基计算芯片的发展需求以及现有环境，指出天基计算芯片未来在大算力需求、COTS器件和RISC-V指令架构等方向的发展趋势。希望本文能够帮助读者了解该领域现状，掌握关键问题，为后续的相关研究提供参考和启发。

## 2 发展现状

随着航天技术的发展和空间任务复杂度的提升，传统单一架构的天基计算平台已难以满足人工智能应用部署、多模态数据融合处理、实时决策推理等新兴任务需求。为应对这一挑战，现代天基计算系统正朝着异构计算架构方向发展，CPU, FPGA、智能芯片以及专用功能加速器(如数字信号处理器 (Digital Signal Processor, DSP))相结合的多元化计算平台成为主流发展趋势。这种异构架构通过充分发挥不同计算单元的独特优势，实现了计算性能和功耗效率的综合优化，为空间智能化应用提供了强有力的硬件支撑。

### 2.1 通用处理器

通用处理器在天基计算过程中的应用场景主要包括星务管理和有效载荷数据处理等。一方面，星载计算机需作为航天器的大脑，可靠执行星务管理任务，包括姿态控制、轨道维护、热控与电源调度等关键功能，实现自主飞行与任务保障。另一方面，随着未来航天任务中传感器采集的数据量激增，有效载荷数据处理需要在轨进行，例如图像压缩、合成孔径雷达 (Synthetic Aperture Radar, SAR) 信号处理与自主导航决策等待，实现实时或近实时响应[12,13]。当前航天领域采用的通用处理器芯片可以按照其指令集架构主要分类为X86, SPARC, ARM和RISC-V等指令架构。表1按照指令架构分类列举了天基芯片中的通用处理器，下文分别介绍各类指令架构及其代表性芯片，并简要阐述其优缺点。

X86架构是被计算机广泛采用的复杂指令集(Complex Instruction Set Computer, CISC)架构，在空间应用中相对较少见。主要原因是传统X86处理器功耗较高且缺乏现成的抗辐射加固版本，因此在长期航天任务中使用受限。此外X86架构较复杂，片上晶体管规模大，以宇航级别标准加固成本较高。X86处理器的优点是计算性能强大，软硬件生态成熟，可以直接运行标准的PC操作系统(如DOS、Linux、Windows等)，便于开发利用现有软件资源。在一些对成本和开发便利要求较高的小卫星和试验任务中，也曾尝试使用商用X86器件。例如国际空间站的指令计算机早期就采用了Intel 80386SX[14]处理器，并通过冗余和防辐射设计实现可靠运行。瑞典Unibap公司的iX5系列星上计算机就集成了AMD Steppe Eagle四核x86-64处理器[15]，提供较强算力用于图像处理等载荷应用。

SPARC架构是一种精简指令集(Reduced Instruction Set Computer, RISC)，自1990年代起成为欧洲航天局(European Space Agency, ESA)的主流航天处理器架构。ESA在1997年启动了基于32位SPARC V8内核的LEON系列处理器研发，此后经过多代演进，出现了多款抗辐照SPARC处理器，如LEON2和LEON3/LEON4内核的GR系列芯片。其中代表性产品包括TSC695E, AT697F以及GR740[16–18]。SPARC架构的优势在于开放性和在

表 1 天基芯片中通用处理器按指令架构分类

| 指令集架构 | 处理器芯片 | 年份 | 国家/地区 | 核数/位宽 | 主频 | 功耗 | 工艺节点 | 抗辐射能力 |
|---|---|---|---|---|---|---|---|---|
| X86 | Intel 80386SX | 1988 | 美国 | 单核32位 | 20.0 MHz | 1.0 W | 1.50 μm | 无硬化，需屏蔽防护 |
| | AMD Steppe Eagle | 2021 | 瑞典 | 四核64位 | 1.0 GHz | 5.0～10.0 W | 28 nm | CTOS，未加固 |
| SPARC | TSC695E | 2001 | 美国 | 单核32位 | 25.0 MHz | 1.0 W | 0.5 μm | TID～300 krad |
| | AT697F(LEON2) | 2011 | 法国 | 单核32位 | 90.0 MHz | 0.5 W | 0.18 μm | TID～100 krad, SEU加固 |
| | BM3803 | 2011 | 中国 | 单核32位 | 8.0～12.0 MHz | < 1.0 W | 0.35 μm | TID～50 krad级，TMR加固 |
| | BM3823 | 2018 | 中国 | 单核32位 | 300.0 MHz | 2.0 W | 65 nm | TMR加固, SEL≥75 (MeV·cm$^2$)/mg |
| | GR740(LEON4FT) | 2021 | 美国 | 四核32位 | 250.0 MHz | 7.0 W | 65 nm | TID>100 krad, TMR加固 |
| ARM | Phytium D2000 | 2020 | 中国 | 八核64位 | 2.3 GHz | 25.0 W | 14 nm | CTOS，支持ECC校验 |
| | VORAGO VA7230 | 2021 | 美国 | 双核64位 | 1.5 GHz | < 10.0 W | - | TID≥100 krad, SEL≥60 (MeV·cm$^2$)/mg |
| RISC-V | NOEL-V | 2020 | 瑞典 | 64/32位 | - | - | - | 存储器支持纠正4 bit相邻错误 |
| | HPSC (NASA) | 2022 | 美国 | 十核64位 | 0.1～1.0 GHz | < 15.0 W | 7/14 nm | TID～100 krad, SEL免疫80 MeV |
| | AS32S601 | 2024 | 中国 | 双核32位 | 180.0 MHz | 135.0～275.0 mW | - | SEU：$10^{-5}$次/器件·天 |
| MIPS | Loongson 3A5000 | 2015 | 中国 | 四核64位 | 2.5 GHz | 30.0 W | 12 nm | CTOS，部分加固版本研制中 |

航天领域的成熟应用经验。LEON系列采用三级冗余(Triple Modular Redundancy, TMR)和错误检测与校正(Error Detection And Correction, EDAC)等容错设计，具备抗单粒子翻转能力，可靠性高。相比之下，其缺点是架构相对老旧，单核性能有限，难以满足某些现代大数据载荷的需求。多核SPARC SoC的出现部分缓解了性能瓶颈，例如欧洲的GR740芯片通过4个LEON4内核实现算术峰值性能1900 DMIPS，并提供SpaceWire等高速接口用于有效载荷数据处理[19]。中国在SPARC架构航天CPU方面也取得了重要突破。BM3803是中国航天科工772所研制的32位抗辐照处理器，基于SPARC V8指令集，内含整数和浮点单元、指令/数据缓存和硬件乘除法器等[20]。BM3803于2011年首飞验证成功，主频为8～12 MHz。其升级型号BM3823在2018年研制成功，集成高性能整数处理单元、浮点处理单元、PCIe总线控制器以及其他丰富的外设接口，采用的容错设计包括三模冗余、纠一检二的EDAC编码、奇偶校验等技术，将主频提升至300 MHz，性能优于同时期欧洲LEON3FT处理器[21]，可广泛应用于高可靠的信息处理系统及测控系统。中国航天科技集团公司五院502所牵头研制的SoC2012芯片是国内第一款在型号中应用的面向星载高性能计算的多核SoC产品，于2015年首飞。SoC2012集成四个SPARCV8内核，具有支持单双精度浮点数据类型的浮点处理单元，性能达到300MIPS/80MFLOPS@100 MHz；采用三模冗余、抗辐射单元库等设计方法保证抗辐照能力。随后推出的SoC2016芯片是国内第一款面向卫星控制、数据处理、图像处理一体化综合应用的异构多核SoC产品；集成SPARC V8架构高性能LEON4处理器核和DSP数字信号处理器、浮点处理器等；SoC2016计算性能超过800MIPS 200MFLOPS@200 MHz，功耗不大于3 W[22]。综上，SPARC架构处理器具有航天应用实践久、容错架构成熟的优点，广泛用于卫星主控和中等难度的数据处理，但其单核性能偏低，多核扩展也受制于功耗和工艺水平。

近年来ARM架构的CPU以其高性能和丰富的生态系统开始进入空间领域。ARM处理器的指令集由商业公司授权，早期航天应用较少直接采用。但随着高性能计算任务需求增长，航天界对ARM架构的关注度提高。一方面，许多小卫星和立方星尝试使用商用ARM处理器作为星上计算平台，例如树莓派(ARM Cortex-A系列)曾用于实验卫星[23]，但这类COTS器件缺乏抗辐照保障，需要通过容错软件和轨道设计加以弥补。另一方面，一些面向航天的定制ARM芯片正在出现。欧洲空客公司推出了PureLine Amethyst星上计算机[24]，采用一款高可靠ARM安全关键处理器，性能约215 DMIPS，满足LEO卫星的姿态控制和导航等实时任务要求。VORAGO公司推出的VA7230芯片集成了双核ARM Cortex-A72处理器和嵌入式图形处理器，能够在低于10W的功耗下处理高性能边缘计算的空间任务。其中Cortex-A72 处理器运行主频高达1.5 GHz，双核具有1 MB共享L2缓存(ECC)，支持单指令流多数据流(Single Instruction Multiple Data, SIMD)；GPU算力高达10.4 GFLOPS，带有256 kB片上SRAM。在抗辐射特性方面，其HARDSIL®专利技术通过与标准制造设备兼容的额外工艺步骤来增强电子组件的坚固性，使组件能够在极端环境中可靠运行[25]。 中国也有多款高性能ARM架构芯片，其中飞腾D2000是一款面向桌面/服务器的八核ARM v8处理器芯片，采用14 nm工艺，主频2.3 GHz。虽然D2000并非专为航天设计，但其支持国产加密算法和高性能计算，在地面测试中作为卫星信号处理单元取得应用[26]。中科院计算所智能计算机研究中心主导研发的“极光1000-慧眼”智能星载计算机，在2023年发射升空开始执行太空任务。该计算机采用的FT2000/4处理器集成了4个飞腾自主研发的高能效处理器核FTC663，兼容64位ARMv8指令集并支持ARM64和ARM32两种执行模式，主频可达2.6 GHz，可以实现在轨实时演算，能够服务于自然灾害监测、环境生态监测、城镇化发展、智慧交通、智慧农业等众多场景需求[27]。ARM架构处理器的优点是性能与能效兼备，软硬件生态完善(Linux等系统支持良好)，开发者众多。在空间应用中引入ARM有望大幅提升算力并减少功耗。其不足在于缺乏现成的航天加固版本，目前主要通过耐辐照设计的片上系统 (System on Chip, SoC) 或FPGA集成ARM核实现部分功能，大规模应用还有赖于进一步的抗辐射加固和飞行验证。

RISC-V指令集架构因其开源、模块化、可扩展的特点，在航天计算领域受到广泛关注。其开源特性降低了供应商锁定风险，模块化特点使研究者可以根据任务需求灵活裁剪指令集及功能模块。Frontgrade Gaisler公司研发的NOEL-V是首个面向空间应用的RISC-V 64位处理器，具有双发射流水线、可选浮点单元及容错机制，已应用于航天De-RISC多核SoC原型中。作为LEON系列的后继者，NOEL-V支持按需集成缓存、MMU、浮点或矢量扩展，显示了其在多种航天场景下的应用适配性[28]。美国航空航天局 (National Aeronautics and Space Administration, NASA) 于2022年启动的HPSC (High-Performance Spaceflight Computer)项目选用SiFive公司的X280 RISC-V向量扩展内核作为处理器，计划集成8个X280核与多个辅助核，实现相较当时航天处理器至少100倍的计算性能提升，并应用于月球探测、自主导航与高分辨率图像

处理[29]。国内国科安芯公司研制的AS32S601是一款基于RISC-V架构的商业航天级抗辐照MCU芯片，具有完全自主可控、高安全性、接口丰富等特点。其处理器内核是一款高效的高性能处理器，为8级双发射流水线架构，支持动态分支预测，配备16 kB的指令缓存和数据缓存，内建的双浮点FPU可以加速相关软件运行。该芯片基于RISC-V双核锁步架构，支持RV32IMAFDC指令集，主频高达180 MHz，采用先进抗辐照加固设计，可应用于商业航天等高安全需求场景[30]。中科院计算所智能计算机研究中心目前主导研发一款8核RISC-V架构处理器芯片为高性能天基计算芯片，用于未来星上算力网组建。相比传统航天指令集，RISC-V架构的指令级冗余设计与专用扩展能力显著，有助于提升计算性能与可靠性；其开放的软件生态与工具链也为长期维护与社区支持提供保障。然而，目前可用的航天级抗辐照RISC-V器件仍然稀缺，需通过大量飞行验证来满足航天对可靠性的严格要求。

除上述主流架构，PowerPC架构也曾在航天领域占据重要地位(如RAD750, RAD5545系列)，但近年已有被RISC-V取代的趋势。MIPS指令集作为经典的RISC架构，以其简洁性和嵌入式友好性在航天领域有着悠久的应用历史。国内龙芯系列处理器 (Loongson) 采用MIPS64指令集，并在北斗导航卫星等任务中实现了上天应用。龙芯1E/1F及其衍生型号已搭载于多颗卫星，承担遥感、图像识别等处理任务，并具备自研的向量扩展指令，适用于航天载荷中的图像与信号处理[31,32]。龙芯1F芯片采用180 nm工艺，主频33 MHz，功耗约1 W，集成了星上常用的遥测遥控功能接口、外部总线接口、标准测试接口以及一个简单的GS132处理器核。GS132核是一款MIPS32兼容的单发射3级流水架构的32位RISC处理器，集成了单周期乘法、硬件除法等众多强大的特性，是一款面积功耗小、成本极低、 性能高的32位嵌入式处理器[33]。其优势主要在于软件生态成熟、兼容Linux系统、支持SIMD指令集扩展和具有完全国产自主可控性。图1表示宇航通用处理器发展路线。

早在1966年为阿波罗计划研制的Apollo导航计算机[34]是第1台数字飞行计算机，为后续航天计算机的发展奠定了基础。在1988年，X86架构的Inter 80386SX应用于国际空间站。1997年IBM公司研发的PowerPC架构RAD6000处理器[35]应用于后续火星探测等空间任务。2001年Atmel公司推出基于SPARC架构TSC695E处理器，面向空间应用设计提高了计算机处理速度和抗辐照能力。在2008年，ESA研制的LENO系列处理器AT697[36]首次发射到空间站。在2017年，ARM将抗辐照技术VORAGO HARDSIL®工艺应用于其Cortex-M0处理器，该处理器搭载SpaceX CRS-10飞往太空[37]。在2019年，ESA运营的试验卫星OPS-SAT上首次搭载了多核Arm架构——双核Cortex-A9[38]。2022年NASA启动的HPSC项目采用多核RISC-V架构处理器芯片，进一步提升宇航处理器性能。宇航处理器的性能主频从MHz发展到GHz级别，从单核架构发展到多核架构；从简单控制任务发展到复杂AI计算和图像处理等应用，反映了航天技术对计算能力需求的不断增长。图2展示了宇航通用处理器芯片发展过程中的性能提升[39–42]，处理器核架构从单核标量顺序执行简单架构发展到多核超标量乱序执行复杂架构。

### 2.2 FPGA

在天基计算系统中，FPGA因其灵活的可重构能力、高能效比和较强的实时处理能力，已成为星载任务中关键的硬件平台。相较于通用处理器和专用芯片，FPGA能够实现算法与硬件的协同设计，尤其适用于载荷信号处理、图像识别、雷达数据压缩等对并行计算与低功耗有双重要求的任务场景[43]。目前，FPGA在航天器中的应用可以集中于以下几个方面：(1)高性能并行计算加速：图像与目标处理中星载图像通常为高分辨率远程感知图像，需进行实时压缩、去噪、分类与目标检测等操作。FPGA的并行处理架构能够满足实时性要求，显著提升处理速

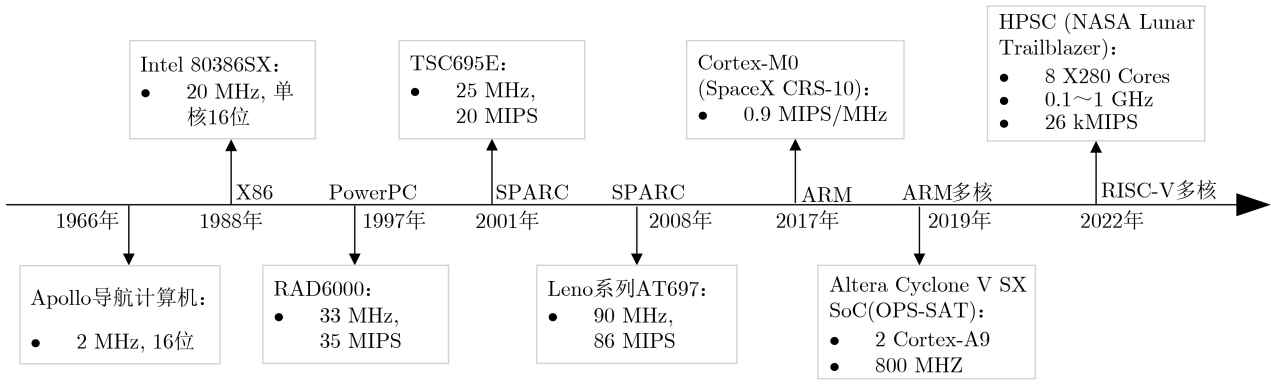



图 1 宇航通用处理器发展路线

度[44]。(2)定制接口与逻辑控制 FPGA：可实现航天器上通信接口协议以及设备控制逻辑，并可根据任务需要在轨重新配置功能，实现一片FPGA兼顾多种用途。大大提高了星载电子系统的灵活性，减少了定制ASIC的开发成本。 (3)容错与冗余控制：抗辐射加固FPGA往往内置抗单粒子翻转的配置存储保护，可结合周期性纠错机制保证电路功能稳定[45]。表2总结概括了国内外主流太空FPGA产品及其特性。

### 2.2.1 国外航天FPGA

AMD Xilinx厂商长期提供航天级抗辐照FPGA，该类器件支持DSP加速、高速串口通信与多通道数据流处理，是执行任务关键计算的主力平台。例如，Virtex-5QV型号提供约130k 逻辑单元，通过冗余纠错降低单粒子翻转出错率，是高性能卫星FPGA的里程碑[46]。最新的XQRKU060是业界首款20 nm空间级FPGA，具有744k可编程逻辑单元、32个高速收发器(每通道最高12.5 Gbps)，在提供超高逻辑密度的同时实现完全抗辐射加固[47]。Microchip公司的抗辐照FPGA则以非易失技术见长。典型如RTAX系列，在高可靠任务中作为主控逻辑使用，广泛应用于高轨道卫星等长寿命任务[48]。2015年Microsemi发布的RTG4 FPGA，提供150k逻辑单元，以高可靠、低功耗见长，在深空探测、军事航天中应用广泛[49]。法国NanoXplore公司推出的BRAVE航天系列FPGA，填补了欧洲自有高端FPGA空白。采用28nm工艺节点的NG-Medium和NG-Large器件提供200k到1M以上规模的LUT，采用抗辐射库单元和布局设计，达到总电离剂量(Total ionizing dose, TID) >100 krads的辐射耐受性和优异单粒子翻转 (Single-Event Upsets, SEU)容忍度，该系列已在ESA卫星上试用[50]。

### 2.2.2 国内航天FPGA

复旦微电子团队在国内率先研发了宇航级的千万门级FPGA，并提供FPGA开发软件。项目成果已在北斗、空间站、嫦娥探月工程和小卫星等国家重点工程或型号中获得持续应用，打破了国外技术封锁。其中RT系列FPGA芯片采用SRAM工艺，并具备抗200 krad(Si)总剂量、抗单粒子闩锁达81 MeV·cm²/mg的能力，已达到国际先进水平[51]。

### 2.3 智能芯片

天基智能芯片多采用多核架构，具备强大的浮点运算与并行计算能力，支持 AI 推理、深度学习与实

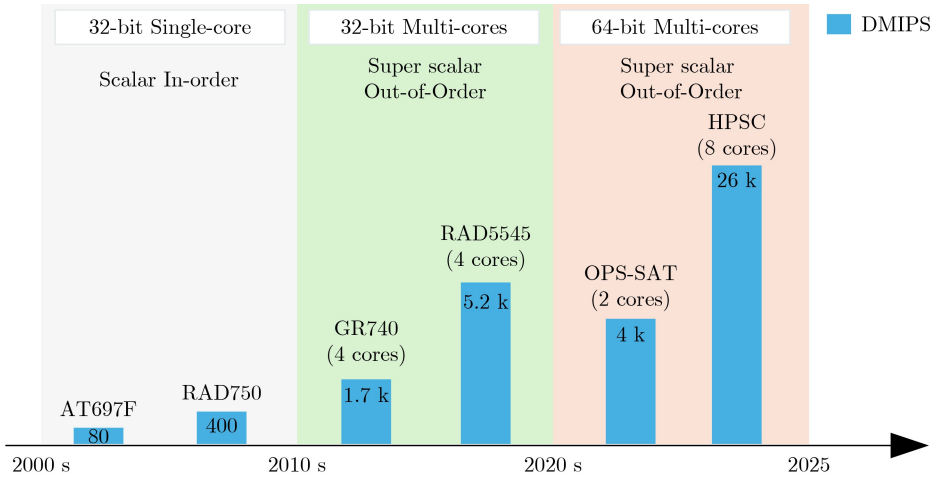



图 2 天基芯片性能发展概况

**表 2 国内外太空FPGA产品特性**

| FPGA型号 | 制造商 | 架构/工艺 | 等效逻辑规模 | 抗辐射能力 | 特点及应用 |
|---|---|---|---|---|---|
| Xilinx Virtex-5QV | AMD (美) | SRAM FPGA /65 nm | 130万逻辑门 | TID >1 Mrad; SEL≥75 MeV·cm²/mg | 首款高性能抗辐射FPGA，用于图像处理 |
| XQRKU060 | | SRAM FPGA /20 nm | 100万逻辑门 | TID >100 krad; SEE加固 | 支持高速收发器，用于宽带通信载荷 |
| Microchip RTAX2000 | Microchip (美) | Anti-fuse FPGA/150 nm | 200万逻辑门 | TID >1 Mrad | 抗熔丝工艺，配置不可重构，适用于长寿命任务控制逻辑 |
| Microchip RTG4 | | Flash FPGA /28 nm | 15万逻辑单元 | TID >100 krad | 闪存工艺，无配置单粒子翻转，中高轨DSP和控制逻辑 |
| BRAVE NG-Medium | NanoXplore (欧) | SRAM FPGA /28 nm | 5万 LUT6 | TID >100 krad; SEL～ 68 MeV· cm²/mg | 用于ESA小卫星接口和控制逻辑 |
| JFM4VSX55RH | 复旦微 (中) | SRAM FPGA | 1000万逻辑门 | TID 200 krad; SEL ～ 81 MeV·cm²/mg | 已在高分卫星上验证，用于图像处理 |

时数据处理。例如，神经网络处理单元(Neural network Processing Unit, NPU)通过张量处理优化和神经网络加速，提高目标识别、自主导航等智能化应用的执行效率。这种异构专用处理器架构不仅突破了传统计算模式的性能瓶颈，更实现了从“数据中继”向“边缘智能处理”的计算范式转变，为构建自主化、智能化的天基计算网络奠定了核心技术基础。

在航天领域NPU等专用芯片通过专用的张量处理单元、权重存储架构和数据流优化设计，为天基AI应用提供了高效的硬件加速平台。Kesuma等人[52]提出了一种AI套件，用于检测系统故障和接收宇航员的语音命令。该系统在VIRTEX-5QV FPGA上实现，运行前馈神经网络，用于语音命令和传感器数据异常的分类。在对于容错与可靠性的研究中，Sabogal等人[53]提出了一种可重构的CNN加速器框架，用于太空应用中的语义分割，该设计采用了配置内存擦除和三模冗余等容错技术。中国航宇微公司推出的新一代嵌入式人工智能系列处理器芯片Yulong810聚焦于前端图像处理、前端信号处理和智能控制，具有深度学习、神经网络算法的平台加速能力。该芯片采用FD-SOI生产工艺，具有高性能、高可靠、低功耗的特点，对单粒子闩锁效应(Single Event Latch-up, SEL) 免疫，适用于航空航天等场景[54]。中科院计算所智能计算机研究中心主导研发的“极光1000-慧眼”智能星载计算机集成了寒武纪MLU220边缘端智能加速卡，算力可达32 TOPS，功耗仅35 W，可以实现低功耗、高可靠的在轨计算。其在轨实时处理功能能够服务于自然灾害监测、环境生态监测、城镇化发展、智慧交通、智慧农业等众多场景需求[55]。

### 2.4 专用功能芯片

传统通用处理器在面对高带宽信号处理、大规模并行计算和智能推理等异构计算任务时，存在计算效率低下、功耗过高和实时性不足等固有缺陷，因此星载计算机通过搭载各种功能专用芯片以提高任务整体执行效率。例如， DSP通过优化的乘累加架构和专用指令集，实现了SAR成像、通信基带处理等信号密集型任务的高效执行；GPU凭借其大规模并行处理能力，为遥感图像处理、轨道动力学计算等数据密集型应用提供了计算加速。

DSP架构通过高效执行乘加运算和向量运算，为天基信号处理提供了硬件层面的优化支撑。西南研究院研发的SC-21020航天计算机采用ADI公司ADSP-21020耐辐射DSP，在20 MHz频率下性能可达20 MIPS和60 MFLOPS，支持超标量浮点运算，可以用作通用处理器、数值密集型DSP或通用数字信号处理器[56]。ESA在2011年7月启动“空间应用DSP”项目 (DSP for Space Applications, DSPACE)，研发设计了具有高度并行性的超大型指令字架构DSP处理器。该高性能DSP具有7级流水，能够在每个时钟周期并行计算多达8条精简32位指令，具备1 GFLOPS @125 MHz的能力；采用抗辐射加固设计，达到TID > 100 krads性能指标[57]。

GPU在天基计算中的应用代表了从串行计算向大规模并行计算的范式转变。Adams等人[58]提出了一种用于高性能计算的飞行系统，该系统基于Nvidia Tegra X2/X2i高性能并行计算的嵌入式GPU平台，采用抗辐射Smart Fusion 2 SoC主控，集成错误检查和纠正电路设计 (Error Checking and Correcting, ECC)、软件缓解和辐射防护材料，适用于太空中小型卫星的AI、计算机视觉等应用场景。Wang等人[59]提出了一种基于嵌入式GPU平台NVIDIA Jetson TX2的高分辨率光学卫星图像的实时传感器校正方案，该方案相比DSP和FPGA的实现，具有更小的体积、更低的功耗和更紧凑的结构，因此较适合抗辐设计的封装方案。此后，Zhang等人[60]基于Tegra X2模块，提出一种适用于高分辨率光学卫星的星上实时融合方法，该方法较传统算法提升156倍，支持每2.4秒处理5 000×5 000像素ROI区域，满足实时处理需求。同时，系统设计也兼顾抗辐射要求，适用于资源受限、体积功耗敏感的星载应用场景。

## 3 天基计算芯片关键技术

太空环境中存在的宇宙射线、太阳粒子等辐射威胁会导致半导体器件发生单粒子翻转、总剂量效应和位移损伤等多种失效机制，造成集成电路数据错误、功能异常甚至永久性损坏，芯片必须具备极高的可靠性和长期稳定性。因此与地面芯片相比，天基计算芯片的关键技术在于多层次的容错设计和专门的抗辐照加固工艺，从而确保天基计算系统在恶劣的空间辐射环境中正常工作并完成预定任务。容错设计按照层次划分为系统容错、架构容错及电路容错，其本质在于增加冗余设计以达到对电路错误的发现和纠正。系统级容错技术通过设计两个独立的芯片或系统提高容错性，但也会带来多重故障风险，同时会增加更多的面积和功耗成本；架构容错是在更小规模的处理器架构上增加冗余设计，节约了一定的硬件成本，但依然有额外硬件开销以及性能损失问题；电路容错则是在容易发生损坏的电路上增加冗余容错技术，这种方法与前述方法相比，节约了很大的面积和功耗成本，但不能保证整个系统的可靠性，因此天基计算芯片设计需要根据容错需求混合采用各种层次的容错技术，以达到设计要求。抗辐照工艺库技术从更底层的材料角度提出解决方案，提高了系统可靠性以及节省了芯片系统的面积成本和功耗成本，但其研发成本高昂、开发迭代周期长，很难应用于目前的先进工艺。

### 3.1 系统层容错技术

传统容错架构通过在板上以锁步配置包括两个独立的芯片[61,62]，或者使用多核处理器[63]，提高容错性和可靠性，如图3(a)所示。但随着时间的推移，具有更高的多重故障风险，可能会降低系统寿命[64]。近期的工作将高性能COTS SoC与容错混合架构中的抗辐射部件集成在一起。在这些系统中，COTS SoC充当高性能计算节点(High Performance Node, HPN)，而抗辐射组件充当可靠计算节点(Reliable Computing Node, RCN)和外部监控器。NASA在SpaceCube系列处理系统开创了这种混合方法：在计算系统Space Cube V3.0中，Zynq Ultra Scale和Xilinx-AMD Kintex Ultra Scale FPGA等COTS器件充当两个HPN，抗辐射RTAX FPGA作为外部监控器，负责监控、配置和擦除HPN[65]。Harikrishnan等人[66]设计的基于COTS的高度集成计算机系统(CHICS)采用Xilinx Zynq Ultra-Scale多核处理器作为中央节点、耐辐射的Polar-Fire FPGA作为外部监控器，形成一个通道。所提出的架构采用双通道(标称通道和冗余通道)，它们通过SpaceWire互连，形成CHICS对。监控器负责监视系统并在发生故障时执行重构；在发生严重故障时，可以选择在标称通道和冗余通道之间无缝切换，如图3(b)所示。湖南大学和华为研究人员提出了一种在COTS芯片部署的高容错的操作系统架构，故障恢复时间小于2 s[67,68]。

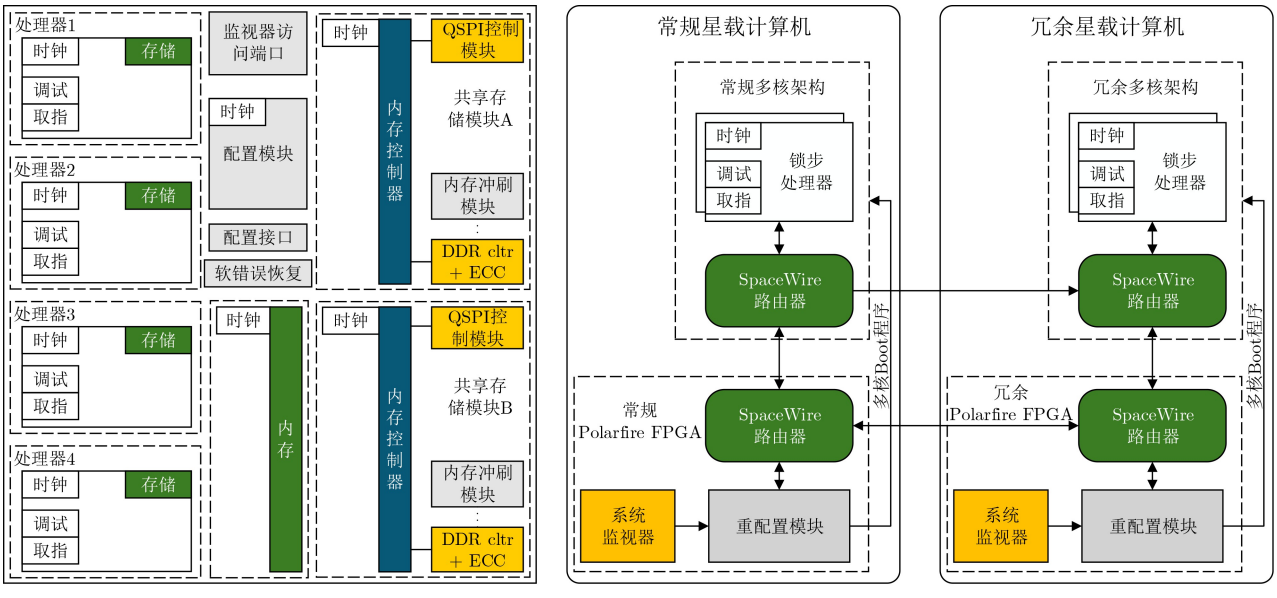
未来航天系统将采用COTS与抗辐射加固器件相结合的混合容错架构。这种设计策略既能控制成本，又能在关键系统中提供必要的辐射防护。FPGA等可重构器件为容错设计提供了独特优势，通过动态重配置能力实现故障检测和恢复。结合GPU, VPU等异构计算单元，可以构建多层次的容错保护机制。

### 3.2 架构层容错技术

传统依赖辐射加固单元库与TMR的单核方案虽具备较高容错能力，但受制于落后工艺节点以及面积与功耗开销，已无法满足星载成像、合成孔径雷达等负载对算力和能效的同步需求。基于先进工艺多核体系、辅以体系结构层冗余的动态容错路径因而受到广泛关注：通过在通用SoC微结构外环嵌入轻量级容错单元，并借助运行时可配置机制[69]，于性能与可靠度之间实现细粒度权衡。

锁步冗余技术构成当前核心层级容错的主要范式：该技术在指令级对双核或三核流水线状态执行周期级比对，并通过多数表决逻辑抑制瞬态错误。Rogenmoser等人[70]设计的 Trikarenos SoC采用28 nm CMOS工艺，集成3颗RISC-V内核，每核后级均布设投票器并共享时钟与复位，从而形成固定Triple-Core Lockstep (TCLS)域。但需指出，TCLS模式需三路并行访存与写回，导致动态功耗约增加2.1 倍，对功耗预算严格的微小卫星平台构成不容忽视的负载。

为在可靠度与能效之间取得更优折中，研究人员提出可配置双核锁步(Dual-Core Lockstep, DCLS)与三级锁步混合架构(Hybrid Modular Redundancy, HMR)[71]。HMR借助12核PULP簇，将核心按照4-4-4分组，并在簇外围构建锁步控制矩阵，实现DCLS、TCLS与独立模式的快速切换。硬件层面对锁步域增设ECC保护的状态快照寄存器，并以固定周期镜像核心状态；一旦发现比对不




(a) 多核容错架构　　(b) 混合容错架构

图 3 系统层不同容错架构

一致，即触发回滚通路，将恢复时延压缩至24个时钟周期。转入TCLS模式后虽牺牲部分并行度，但实现了“零误差”观测。该工作证明，结合硬件快照与可配置锁步可在有限面积代价下显著提升恢复时效性。

对于运行时负载特性高度动态的场景，可重构冗余策略尤具优势：On-Demand Redundancy Grouping (ODRG) 针对六核PULP集群设计，于每组三核之间插入可配置多数表决单元，使锁步域可按需动态重绑定[72]。软件通过配置寄存器控制锁步状态：在关键控制段启用TCLS，至数据并行阶段释放冗余恢复独立运行。表3列举了上述3种容错技术和特点对比。

综合各项指标，固定TCLS可将失效率削减约两个数量级，但需承受最大的面积与功耗开销；ODRG以近乎可忽略的硬件成本提供可选TCLS，惟恢复依赖软件重执行，平均停顿数百周期；HMR通过硬件快照与可配置锁步通路将恢复时延压缩至微秒级，在面积、性能与可靠度之间形成更均衡折中。3类方案均已在28 nm及更先进节点完成流片与辐射束验证，充分证明核心级软硬协同容错在先进工艺下的可实施性。

### 3.3 电路层容错技术

电路容错技术通过硬件与软件协同机制，确保电子系统在面对组件故障或外部干扰(如辐射、电磁噪声)时维持稳定运行。ECC作为一项核心技术，通过添加冗余校验位实现内存中单比特或多比特错误的检测与纠正，显著增强系统的鲁棒性。Dörflinger等人[73]在研究RISC-V处理器内存容错时，设计了一种基于汉明码的ECC机制，支持单比特错误纠正和双比特错误检测，实验结果表明该方法在汽车和航空航天安全关键应用中可将错误率降低至$10^{-9}$以下。类似地，Fifield等人[74]提出了一种高效的片上ECC系统，应用于16 Mbit动态随机存取存储器，通过优化纠错算法，仅增加5 ns访问延迟和11%的芯片面积，有效应对辐射诱导的软错误和制造缺陷。TMR通过运行3个相同模块并以多数投票决定输出，容忍单一模块故障，特别适用于航天设备等极端环境，但其实现导致芯片面积增加约5倍，显著提高了设计成本。Leroux[75]在分析TMR的辐射耐受性时指出，该技术在高能粒子环境下可将单粒子翻转的影响降低90%以上。内置自测试(Built-in self-test, BIST) 通过集成专用测试电路实现周期性自我检测，发现故障时切换至冗余组件，广泛应用于处理器和存储器设计。Nicolaidis[76]研究了BIST在深亚微米工艺中的应用，提出了一种低开销的测试向量生成方法，将故障覆盖率提升至98%。此外，Baumann[77]探讨了软错误在现代芯片设计中的挑战，提出通过结合ECC和冗余设计，可将软错误率降低至$10^{-12}$ 错误/位/小时，适用于高可靠性计算系统。 随着芯片工艺节点向7 nm及以下演进，电路容错技术的设计复杂度显著增加，需在性能、功耗和成本之间进行权衡。Slayman[78]进一步分析了ECC在多核处理器中的优化策略，指出通过动态调整纠错粒度，可在性能损失小于5%的情况下实现高容错性。Lu等人[79]系统性介绍了辐射环境中基于SRAM的FPGA的容错方法，开发的单粒子效应仿真工具可以低成本模拟辐照对FPGA可靠性的影响。这些研究表明，电路容错技术在高可靠性场景中的应用前景广阔，但仍需优化以应对先进工艺的挑战。表4展示上述电路容错技术对比。

### 3.4 抗辐照工艺库技术

抗辐照工艺库通过优化材料、制造工艺和电路设计，显著增强芯片在高辐射环境中的耐受性，满足对可靠性和稳定性的极端要求。在物理硬化方面，硅基绝缘(Silicon-On-Insulator, SOI)工艺通过在硅层与衬底之间引入绝缘层，减少电荷收集，从而TID耐受高达 1 000～3 000 krad，远超商业CMOS工艺的50～100 krad耐受能力。Schwank等人[80]研究了SOI工艺在辐射环境中的性能，实验表明其SEL阈值可达 80 MeV·cm$^2$/mg，显著优于传统体硅工艺。宽带隙材料，如碳化硅(SiC)和氮化镓(GaN)，因其高深层缺陷耐受性，在高功率、高温辐射环境中表现出色。Liu等人[81]开发的基于65 nm CMOS工艺的辐射硬化标准单元库，采用了双互锁存储单元(Dual Inter-locked Storage Cell, DICE)锁存器设计，通过冗余节点分散辐射效应，实现了超过500 krad TID和37 MeV cm$^2$/mg SEU的抵抗能力，适用于高性能航天应用。Greeshma等人[82]研究了辐射硬化的非易失性磁阻随机存取存储器，通过优化磁隧道结的材料和结构，将写操作功耗降低 30%，同时保持对100 krad TID的耐受性，满足太空环境中高密度、低功耗存储的需求。

**表 3 架构容错技术对比**

| 技术 | 描述 | 优缺点 |
|---|---|---|
| TCLS | 配置3个内核执行同一任务，进行周期级比对 | 效率最高的纠错率，但最大的面积与功耗开销 |
| HMR | 构建锁步控制矩阵，实现TCLS、DCLS与独立模式快速切换 | 面积、性能与可靠度之间均衡折中 |
| ODGR | 在每3个核间配置多数表决模块，通过软件配置启用或释放冗余模块 | 额外硬件开销最小，依赖软件恢复周期长 |

表5总结了上述抗辐照工艺库技术的技术特点。抗辐照工艺库通常基于较老的工艺节点(如150 nm)，与商业7 nm工艺节点相比，性能和功耗优化受限，开发成本显著高于常规工艺。这些研究表明抗辐照工艺库在高可靠性场景中不可或缺，但高成本和工艺限制仍需通过新型材料和设计优化加以解决。

## 4　天基计算芯片发展趋势

### 4.1　大算力芯片需求

随着空间技术的飞速发展，天基系统正在从传统的单一功能平台向多任务协同、自主化和智能化方向演进。通过高性能芯片实现实时数据处理、多任务并行和智能决策，已成为天基计算发展的关键方向。天基系统对大算力的需求主要来源于以下方面的技术驱动和任务需求。

(1) 海量数据的实时处理与分析：天基系统传感器(如光学相机、雷达、光谱仪)生成的观测数据量呈指数级增长[83,84]，通过高算力天基芯片在卫星端完成实时数据分析(如图像识别、目标检测等)，不仅能提升任务效率，还可显著降低传输数据时星链带宽的压力。

(2) 任务自主化与智能化的需求：随着深空探测任务和星座任务的复杂性增加，天基系统需要具备更高的自主性[85]。例如，探测器需要在通信延迟和数据不完全的条件下完成自主导航、科学任务规划和环境适应性决策，这对芯片的计算性能和AI处理能力提出了更高的要求。

(3) 多任务并行计算能力的提升：天基平台通常需要同时执行通信、导航、遥感、科学实验等多种任务。例如，在低轨卫星星座中，每颗卫星既需完成本地数据处理，又需参与星座内协同计算，这对芯片的并行计算和任务调度能力提出了更高要求。

未来天基计算芯片在大算力方向的发展需要具备以下关键特性。

**表 4　电路容错技术对比**

| 技术 | 描述 | 应用场景 |
|---|---|---|
| ECC | 检测和纠正内存错误 | 内存、处理器 |
| TMR | 3个模块投票，容忍单一故障 | 航空航天 |
| BIST | 自我检测，切换冗余组件 | 处理器、存储器 |

**表 5　抗辐照工艺库技术**

| 技术 | 描述 | 辐射耐受性 |
|---|---|---|
| SOI | 绝缘基底，减少电荷收集 | 1000～3000 krad |
| 宽带隙材料 | 耐受深层缺陷 | 高(具体数值待定) |
| DICE锁存器 | 冗余节点提高抗辐射能力 | 500 krad+ |
| 非易失性磁阻材料 | 优化隧道结的材料和结构 | 100 krad，降低写功耗 |

(1) 高性能与高效能比：天基系统的能量供给和散热条件有限，需要芯片在低功耗条件下实现高性能计算。未来的天基芯片将主要依赖异构计算架构，通过集成CPU, GPU, FPGA和AI加速器(如TPU)等模块，实现针对不同任务的计算优化。

(2) 支持分布式协同计算： 在星座化和多卫星协作任务中，天基芯片需要支持分布式计算架构，通过片上网络实现任务的高效分配和资源调度[86]。

对于大算力导致的功耗高热量大问题，ICE-Lok公司研发的VPX和HiKTM技术[87]能够减少高达30%的计算卡热负荷，并将热量从芯片转移到电路板，适合于太空级应用场景。VPX卡框技术通过将电子元件下方的金属框架用作散热器，把热量转移到卡边；再通过楔形锁，将卡边热量传导到机箱。HiKTM卡框则通过策略性地放置热管增加导热性；并将热量高效地传导至边缘，并沿边缘散热，以降低机箱的热通量。

### 4.2　COTS器件广泛使用

与传统的抗辐照(Radiation-Hardened, Rad-Hard)器件相比，COTS器件在天基计算芯片中的应用具有以下显著优势。

(1) 成本显著降低：抗辐照芯片设计、制造和认证周期长，成本极高，使用COTS器件可以显著降低开发和部署成本，尤其是在商业卫星星座大规模制造和部署中，成本优势尤为明显。

(2) 性能优势：商业市场对COTS器件的需求推动了其工艺进步，COTS芯片通常采用先进工艺(如7 nm或5 nm)，在计算性能、功耗比和功能集成度方面显著优于传统抗辐照芯片；而抗辐照芯片多采用成熟工艺(如45 nm或以上)，性能较弱且更新周期较慢。

(3) 开发周期短：抗辐照芯片需要经过专门的设计和辐射测试，认证周期长达数年；而COTS器件因已在商业市场规模化生产，开发周期较短。

(4) 可用性与多样性：市面上COTS器件种类繁多，具备高度灵活性和可编程性，能够满足多样化的天基任务需求。而抗辐照芯片种类有限，难以满足现代天基计算对异构架构、边缘智能等多样需求[88–91]。

NASA近年来大力推动COTS器件在天基系统中的应用，主要原因在于降低成本、加快研发周期，并促进商业太空产业发展。相关政策和举措包括：

(1) COTS计划：NASA于2006年启动COTS计划，目的是通过与商业公司合作，降低航天技术开发成本。COTS计划的成功促进了商业航天器和卫星的研发，推动了COTS器件在天基系统中的广泛应用[92]。

(2) 鼓励“商用优先”采购策略：NASA通过政策鼓励优先采购商业现成器件，并积极在低轨任

务中检验COTS器件的性能。例如，NASA使用COTS处理器(如Xilinx FPGA)进行低轨卫星实验，以评估其抗辐射性能。

(3) 建立COTS器件标准：NASA发布了一些新标准支持这些COTS元器件在太空任务中的使用。只COTS器件满足任务应用需求，并且在标准文件内，就几乎不需要额外测试[93]。

虽然COTS元器件供应更充足及时，但是当前在使用这些元器件时需要投入大量资源来进行筛选和辐射验证，增加了项目风险。因此NASA 积极推进建立COTS器件使用规范，以实现更高效地使用商业COTS EEEE元器件的目标：(1)建立更新CTOS器件标准，该标准包括业界领先制造商以及其生产的元器件。通过该标准，支持这些COTS元器件在太空任务中的使用，只要经过评估收录在标准中的COTS器件满足任务应用需求，就几乎不需要额外测试；(2)建立辐射加固保障标准，依据不同任务的风险等级与所处环境设定。对于辐射耐性问题，NASA通过该标准构建一个完整的COTS使用保障体系。(3)建设元器件评估与测试实验室推动NASA大规模实施业界领先制造商认证并测试元器件的辐射抗性。表6描述了在国内外太空项目中使用CTOS器件的具体用例。

### 4.3 RISC-V新兴指令集架构涌现

RISC-V作为一种新兴的开源指令集架构，凭借其模块化、可扩展性和开放性，在天基计算芯片的设计中展现出独特的优势。其发展优势符合天基计算的发展需求。

(1)高度可定制化：航天任务的多样性和定制化需求对芯片架构的灵活性提出了更高要求。RISC-V的模块化和可扩展性允许开发者根据任务需求添加特定功能，例如抗辐射逻辑、电源管理模块或加密指令集等，从而显著提升芯片的任务适应性。

(2)抗辐射能力与容错设计需求：天基环境存在高能粒子辐射干扰，传统商用架构(如ARM、x86等)设计并未针对抗辐射优化，而RISC-V架构的开源特性允许开发者从硬件设计层面实现抗辐射增强，如通过扩展指令在指令级层面实现软件加固策略以及冗余检测等容错功能。

(3)全球生态系统协同发展：RISC-V的开放性催生了全球化的协作生态系统，不同国家和地区的研究机构、企业和学术组织能够共享技术成果，加快创新步伐[100,101]。

当前，RISC-V架构已经在国际航天领域取得初步应用。例如，ESA开发了基于RISC-V的抗辐射处理器NOEL-V[102]，美国NASA也在CubeSat任务中试验性使用了RISC-V芯片[103]。NASA研发的HPSC多核处理器集成了8核RISC-V架构X280处理器，X280采用8级双发射、有序执行、超标量架构设计，支持RISC-V向量指令集，其矢量单元具有512 位矢量寄存器长度，支持可变矢量长度计算，最高可达4 096位[41]。在国内，香港航天科技集团于2021年与中国科学院上海微系统与信息技术研究所合作，计划完成首个宇航级RISC-V高可靠性芯片的空间验证及卫星在轨测试[104]，显示出其在国产化天基计算芯片中的应用前景。中科院计算所智能计算机研究中心也采用RISC-V架构处理器芯片研发高性能的8核架构天基计算芯片。

### 4.4 芯粒技术

芯粒技术是一种现代芯片设计和制造的创新方法。它的核心理念是将一个传统的单一芯片分解成多个较小的、功能专门化的芯片组件，然后通过高速互连技术将这些组件集成在一起，形成一个完整的计算系统。芯粒技术在天基计算中的优势包括：(1)模块化设计与灵活性。天基计算面临不同的计算任务需求，芯粒技术的模块化特性可以让设计师根据具体的卫星功能(通信、遥感、计算等)灵活组合不同功能的芯粒，而不必为每个新任务设计全新的芯片。(2)成本效益。传统的单芯片设计成本很高，特别是对于小批量的卫星应用。芯粒技术可以将风险分散，利用已成熟的芯粒设计库快速组装新芯片，降低研发成本。(3)快速迭代与升级。芯粒架构允许更快的设计迭代，新功能的集成也更加便捷，方便为未来天基应用提供硬件技术迭代。天基

表 6 国内外太空项目使用COTS器件用例

| 项目 | COTS器件 | 功能描述 |
|---|---|---|
| SpaceX星链 | Broadcom BCM2711[94]处理器 | 数据处理和任务控制 |
| | NVIDIA Jetson TX2[95]GPU | 加速图像处理与深度学习处理 |
| | COTS NAND Flash、DRAM存储芯片 | 数据记录与存储，支持冗余设计与纠错机制 |
| | ADI射频前端模块、TI射频控制器 | 收发射频信号并进行处理 |
| | 电源管理芯片功率放大器[96] | 发射功率放大器 |
| NASA CubeSat[99] | 商用 S/UHF/X 波段射频通信模块 | 实现地面通信、数据下行与实验验证 |
| 银河航天低轨宽带通信卫星 | ARM架构MCU、Xilinx Kintex-7 抗辐射FPGA | 通过TMR设计保障星上逻辑稳定性，并搭配 ARM 架构 MCU 加强控制任务[97] |
| 长光卫星中遥感卫星 | COTS GPU/SoC | 实时图像处理与压缩，支持高分辨率遥感任务[98] |

计算芯片需要适应的严苛环境条件包括：极端的温度和辐射环境、有限的功耗预算、热管理的挑战、高可靠性要求等等。芯粒技术在这些方面具有优势，可以选择抗辐射性强的工艺节点来制造关键芯粒，而对非关键部分则可以采用更先进但抗辐射性较差的工艺，从而优化成本和性能的平衡。

## 5　结束语

天基计算芯片作为航天工程任务中的“大脑”，负责统筹控制与运算执行，是世界各主要国家竞相发展的核心领域。本文从CPU, FPGA和专用功能芯片3种不同功能层次阐述了其发展现状，描述了天基计算芯片在CPU方向的发展脉络、在FPGA领域的产品特性以及专用功能芯片方向的应用场景；从系统层、架构层、电路层、工艺库层不同角度总结其关键容错技术，这些技术从不同层次提升系统的可靠性，同时也会引入相应层次硬件开销和性能损失，需要根据设计指标需求合理选择；最后论述天基计算芯片未来的主要发展趋势：大算力、COTS器件和RISC-V架构和芯粒技术，即对应计算能力提升、成本降低和技术创新可控3个层面。在大算力层面， 设计CPU, GPU和FPGA等集成的异构架构，以及在软硬件层面研究太空中分布式协同运算优化；在COTS器件领域，加快抗辐射加固技术应用于现有的COTS器件设计并达到抗辐照标准；利用RISC-V架构开源、模块化优势，设计针对太空容错需求的指令集架构；探索芯粒技术在天基芯片创新设计中的成本、可靠性设计优势等等，是天基计算芯片未来研究工作待发掘的热门方向。希望本文能够为后续天基计算芯片方面的研究提供有价值的参考。

## 参 考 文 献


[1] LENTARIS G, MARAGOS K, STRATAKOS I, *et al*. High-performance embedded computing in space: Evaluation of platforms for vision-based navigation[J]. *Journal of Aerospace Information Systems*, 2018, 15(4): 178–192. doi: 10.2514/1.I010555.

[2] 冯颖, 刘忠健. 单粒子效应对飞行器的影响分析及防护技术[J]. 强度与环境, 2011, 38(1): 26–30. doi: 10.3969/j.issn.1006-3919.2011.01.005.
FENG Ying and LIU Zhongjian. Single event effect analysis on the spacecraft and the technique designed in the protection[J]. *Structure & Environment Engineering*, 2011, 38(1): 26–30. doi: 10.3969/j.issn.1006-3919.2011.01.005.

[3] GUERTIN S M, SOME R, NSENGIYUMVA P, *et al*. Radiation specification and testing of heterogenous microprocessor SOCs[C]. 2019 19th European Conference on Radiation and Its Effects on Components and Systems, Montpellier, France, 2022: 1–7. doi: 10.1109/RADECS47380.2019.9745708.

[4] 孙宝三, 章宇兵, 岳兆娟, 等. 面向服务的天基计算技术架构研究[J]. 中国电子科学研究院学报, 2018, 13(4): 427–432. doi: 10.3969/j.issn.1673-5692.2018.04.012.
SUN Baosan, ZHANG Yubing, YUE Zhaojuan, *et al*. Study on service-oriented architecture of space-borne computing[J]. *Journal of China Academy of Electronics and Information Technology*, 2018, 13(4): 427–432. doi: 10.3969/j.issn.1673-5692.2018.04.012.

[5] XU Mengwei, ZHANG Li, LI Hongyu, *et al*. A satellite-born server design with massive tiny chips towards in-space computing[C]. 2022 IEEE International Conference on Satellite Computing, Shenzhen, China, 2022: 1–6. doi: 10.1109/Satellite55519.2022.00009.

[6] 董珊. 星载遥感图像实时处理专用芯片的抗辐照电路设计[D]. [硕士论文], 北京理工大学, 2016.
DONG Shan. The radiation-hardened circuit design of a Space-borne remote sensing image real-time processing chip[D]. [Master dissertation], Beijing Institute of Technology, 2016.

[7] BAE Systems. BAE Systems RAD6000 datasheet[EB/OL]. https://www.digchip.com/datasheets/parts/datasheet/568/RAD6000-pdf.php, 2025.

[8] BEDI R. Spacecraft on-board computing using rad-hard ARM MCUs[EB/OL]. https://www.edn.com/spacecraft-on-board-computing-using-rad-hard-arm-mcus/, 2025.

[9] KELLER J. NOVI chooses VORAGO radiation-hardened microcontroller for space computer that will fly on SpaceX mission[EB/OL]. https://www.militaryaerospace.com/computers/article/55093107/vorago-technologies-radiation-hardened-microcontroller-space, 2025.

[10] SHILOV A. Nvidia’s Jetson AI board is ready to go to space[EB/OL]. https://www.tomshardware.com/news/nvidias-jetson-ai-board-is-ready-to-go-to-space, 2025.

[11] Intel. Intel® Movidius™ Myriad™ X vision processing unit 4GB[EB/OL]. https://www.intel.com/content/www/us/en/products/sku/125926/intel-movidius-myriad-x-vision-processing-unit-4gb/specifications.html, 2025.

[12] CRATERE A, GAGLIARDI L, SANCA G A, *et al*. On-board computer for CubeSats: State-of-the-art and future trends[J]. *IEEE Access*, 2024, 12: 99537–99569. doi: 10.1109/ACCESS.2024.3428388.

[13] GARCÍA L P, FURANO G, GHIGLIONE M, *et al*. Advancements in onboard processing of synthetic aperture radar (SAR) data: Enhancing efficiency and real-time capabilities[J]. *IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing*, 2024, 17: 16625–16645. doi: 10.1109/JSTARS.2024.3406155.

[14] HAMILTON D. Medical system design challenges for exploration class space missions[EB/OL]. https://marspapers.org/paper/Hamilton_2024.4_1.9contrib.pdf, 2025.

[15] UNIBAP. SpaceCloud® iX5–106[EB/OL]. https://unibap.com/wp-content/uploads/2023/09/spacecloud-ix5-100-product-overview-v27.pdf, 2025.

[16] ATMEL. Rad-hard 32-bit SPARC embedded processor, TSC695E[EB/OL]. https://pdf.dzsc.com/88889/26096.pdf, 2025.

[17] ATMEL. Rad-hard 32 bit SPARC V8 processor, AT697F[EB/OL]. https://ww1.microchip.com/downloads/

aemDocuments/documents/OTH/ProductDocuments/DataSheets/doc7703.pdf, 2025.

[18] SJÄLANDER M, HABINC S, and GAISLER J. LEON4: Fourth generation of the LEON processor[EB/OL]. https://sjalander.com/research/pdf/sjalander-dasia2009.pdf, 2025.

[19] CAES. LEON and NOEL-V SoC architectures[EB/OL]. https://www.frontgrade.com/sites/default/files/documents/Position-Paper-LEON-NOELV-SoC-Architectures-2022-02-22.pdf, 2025.

[20] HE Yating, JI Xiaoyan, ZHAO Rui, *et al*. A software reconfiguration method for CPU of satellite-board controller[C]. SPIE 13079, Third International Conference on Testing Technology and Automation Engineering, Xi'an, China, 2023: 130790P. doi: 10.1117/12.3015550.

[21] 北京微电子技术研究所. 300MHz抗辐照SPARC CPU产品使用手册[EB/OL]. https://www.manuallib.com/download/6B25900E1D2FF9CE7479DEC5434FE780.pdf, 2025.
Beijing Insititute of Microelectronics. 300MHz Radiation Proof SPARC CPU Manual[EB/OL]. https://www.manuallib.com/download/ 6B25900E1D2FF9CE7479DEC5434FE780.pdf, 2025.

[22] 极术社区. 我国星载、机载计算机和核心器件相关公司及水平 [OL]. https://aijishu.com/a/1060000000109171, 2025.
AIJISHU. Companies and levels related to satellite-borne and airborne computers and core devices in China [OL]. https://aijishu.com/a/1060000000109171, 2025.

[23] WHITTAKER A. Raspberry Pi Zero powers CubeSat space mission[EB/OL]. https://www.raspberrypi.com/news/raspberry-pi-zero-powers-cubesat-space-mission/, 2025.

[24] Airbus. Defence and space: PureLine[EB/OL]. https://www.airbus.com/sites/g/files/jlcbta136/files/2024-12/Datasheet_SpE_PureLine_Amethyst_2022.pdf, 2025.

[25] VORAGO. VA7230 edge computing microprocessor for space applications[EB/OL]. https://www.voragotech.com/va7230-edge-computing-microprocessor, 2025.

[26] Phytium. 飞腾腾锐D2000处理器数据手册[EB/OL]. https://gitcode.com/Open-source-documentation-tutorial/fdcb3/blob/main/%E9%A3%9E%E8%85%BE%E8%85%BE%E9%94%90D2000%E5%A4%84%E7%90%86%E5%99%A8%E6%95%B0%E6%8D%AE%E6%89%8B%E5%86%8C.pdf, 2025.
Phytium. Data Sheet for Feiteng Tengrui D2000 Processor [EB/OL]. https://gitcode.com/Open-source-documentation-tutorial/fdcb3/blob/main/%E9%A3%9E%E8%85%BE%E8%85%BE%E9%94%90D2000%E5%A4%84%E7%90%86%E5%99%A8%E6%95%B0%E6%8D%AE%E6%89%8B%E5%86%8C.pdf, 2025.

[27] Phytium. FT2000/4 [OL]. https://www.phytium.com.cn/homepage/production/6/, 2025.

[28] Frontgrade Gaisler. NOEL-V[EB/OL]. https://www.gaisler.com/products/noel-v, 2025.

[29] NASA. NASA's high performance spaceflight computer[EB/OL]. https://www.nasa.gov/wp-content/uploads/2024/07/hpsc-white-paper-tmg-26jun2024-final.pdf, 2025.

[30] 国科安芯. MCU芯片-AS32S601数据手册[EB/OL]. https://ansilic.com/wp-content/uploads/2024/09/MCU%E8%8A%AF%E7%89%87-AS32S601%E6%95%B0%E6%8D%AE%E6%89%8B%E5%86%8C.pdf, 2025.
Guoke Anxin. MCU chip-AS32S601 data manual[EB/OL]. https://ansilic.com/wp-content/uploads/2024/09/MCU%E8%8A%AF%E7%89%87-AS32S601%E6%95%B0%E6%8D%AE%E6%89%8B%E5%86%8C.pdf, 2025.

[31] 胡伟武, 汪文祥, 吴瑞阳, 等. 龙芯指令系统架构技术[J]. 计算机研究与发展, 2023, 60(1): 2–16. doi: 10.7544/issn1000-1239.202220196.
HU Weiwu, WANG Wenxiang, WU Ruiyang, *et al*. Loongson instruction set architecture technology[J]. *Journal of Computer Research and Development*, 2023, 60(1): 2–16. doi: 10.7544/issn1000-1239.202220196.

[32] 国家航天局. “龙芯”上天 北斗有了“中国芯”[EB/OL]. https://www.cnsa.gov.cn/n6758824/n6759009/n6759043/n6759069/c6577136/content.html, 2025.
National Space Administration. "Loongson" is launched into space, Beidou now has its own "Chinese core"[EB/OL]. https://www.cnsa.gov.cn/n6758824/n6759009/n6759043/n6759069/c6577136/content.html, 2025.

[33] 龙芯中科. 龙芯1F处理器数据手册[EB/OL]. https://www.docin.com/p-1975324773.html, 2025.
Loongson Technology. Data sheet for Loongson 1F processor[EB/OL]. https://www.docin.com/p-1975324773.html, 2025.

[34] Wikipedia. Apollo guidance computer[EB/OL]. https://en.wikipedia.org/wiki/Apollo_Guidance_Computer, 2025.

[35] Wikipedia. IBM RAD6000[EB/OL]. https://en.wikipedia.org/wiki/IBM_RAD6000, 2025.

[36] ESA. LEON's first flights[EB/OL]. https://www.esa.int/Enabling_Support/Space_Engineering_Technology/LEON_s_first_flights, 2025.

[37] ARM. ARM and VORAGO technologies take space electronics to new heights[EB/OL]. https://newsroom.arm.com/news/arm-and-vorago-technologies-take-space-electronics-to-new-heights, 2025.

[38] ESA. OPS-SAT(Operations nanoSatellite)[EB/OL]. https://www.eoportal.org/satellite-missions/ops-sat#eop-quick-facts-section, 2025.

[39] MICROCHIP. High Performance 64 bit HPSC Microprocessor[OL]. 5_2_Microchip_HPSC-RiscV-Space-GTO-April-2025.pdf 2025.

[40] Element14. ARM Cortex-A9 Overview [OL]. https://community.element14.com/products/devtools/technicallibrary/w/documents/9939/arm-cortex-a9-overview, 2025.

[41] SiFive. SiFive Intelligence X280 [OL]. https://www.sifive.cn/cores/intelligence-x200-series, 2025.

[42] 虞志刚, 冯旭, 陆洲, 等. 宇航级处理器发展现状与趋势[J]. 天地一体化信息网络, 2023, 4(1): 9. doi: 10.11959/j.issn.2096-8930.2023006.
YU Zhigang, FENG Xu, LU Zhou, *et al*. Development Status and Trends of Space Processor[J]. *Space-Integrated-Ground Information Networks*, 2023, 4(1): 9. doi: 10.11959/j.issn.2096-8930.2023006.

[43] GARCÉS-SOCARRÁS L M, NIK A, ORTIZ F, *et al*. Artificial intelligence satellite telecommunication testbed using commercial off-the-shelf chipsets[EB/OL]. arXiv: 2405.18297, https://arxiv.org/abs/2405.18297, 2024.

[44] LI Lin, ZHANG Shengbing, and WU Juan. Efficient object

detection framework and hardware architecture for remote sensing images[J]. *Remote Sensing*, 2019, 11(20): 2376. doi: 10.3390/rs11202376.

[45] GEIST A, BREWER C, DAVIS M, *et al*. SpaceCube v3.0 NASA next-generation high-performance processor for science applications[C]. The 33rd Annual AIAA/USU Conference on Small Satellites, Logan, USA, 2019: 158.

[46] XILINX. VIRTEX-5QV FPGA FAMILY[EB/OL]. https://www.xilinx.com/publications/prod_mktg/virtex5qv-product-brief.pdf, 2025.

[47] XILINX. XQR Space-grade Kintex™ UltraScale™ and space heritage[EB/OL]. https://www.xilinx.com/content/dam/xilinx/publications/solution-briefs/xilinx-space-solution-brief.pdf, 2025.

[48] Actel. RTAX-S testing and reliability update[EB/OL]. https://ww1.microchip.com/downloads/aemdocuments/documents/fpga/ProductDocuments/SupportingCollateral/rtaxs_rel_test_wp.pdf, 2025.

[49] Microchip. RTG4TM radiation-tolerant FPGAs[EB/OL]. https://www.microchip.com/en-us/products/fpgas-and-plds/radiation-tolerant-fpgas/rtg4-radiation-tolerant-fpgas, 2025.

[50] LEON V, STAMOULIAS I, LENTARIS G, *et al*. Development and testing on the European space-grade BRAVE FPGAs: Evaluation of NG-large using high-performance DSP benchmarks[J]. *IEEE Access*, 2021, 9: 131877–131892. doi: 10.1109/ACCESS.2021.3114502.

[51] 俞军, 徐烈伟, 俞剑, 等. 高可靠亿门级FPGA芯片关键技术及产业化[Z]. 复旦大学, 2020.
YU Jun, XU Liewei, YU Jian, *et al*. Key technologies and industrialization of high-reliability billion-gate FPGA chips[Z]. Fudan University, 2020.

[52] KESUMA H, AHMADI-POUR S, JOSEPH A, *et al*. Artificial intelligence implementation on voice command and sensor anomaly detection for enhancing human habitation in space mission[C]. 2019 9th International Conference on Recent Advances in Space Technologies, Istanbul, Turkey, 2019: 579–584. doi: 10.1109/RAST.2019.8767447.

[53] SABOGAL S, GEORGE A, and CRUM G. ReCoN: A reconfigurable CNN acceleration framework for hybrid semantic segmentation on hybrid SoCs for space applications[C]. 2019 IEEE Space Computing Conference, Pasadena, USA, 2019: 41–52. doi: 10.1109/SpaceComp.2019.00010.

[54] 航宇微. 高性能嵌入式AI处理器Yulong810A简介[EB/OL]. https://www.myorbita.net/uploadfiles/2024/10/20241023160109 19.pdf, 2025.
Aero-Chips. Introduction to high-performance embedded AI processor Yulong810A[EB/OL]. https://www.myorbita.net/uploadfiles/2024/10/2024102316010919.pdf, 2025.

[55] 新华网浙江. 之江实验室发布多项科技成果 [OL]. http://zj.news.cn/20231213/2acf7245447b4acab471834e3e45d540/c.html, 2025.
XINHUANET. Zhijiang Laboratory releases multiple scientific and technological achievements [OL]. http://zj.news.cn/20231213/2acf7245447b4acab471834e3e45d540/c.html, 2025.

[56] PERSYN S C, MCLELLAND M, EPPERLY N, *et al*. Evolution of digital signal processing based spacecraft computing solutions[C]. IEEE Aerospace Conference, Big Sky, USA, 2002: 4. doi: 10.1109/AERO.2002.1036902.

[57] CORDIS. DSP for space applications[EB/OL]. https://cordis.europa.eu/project/id/262798/reporting, 2025.

[58] ADAMS C, SPAIN A, PARKER J, *et al*. Towards an integrated GPU accelerated SoC as a flight computer for small satellites[C]. 2019 IEEE Aerospace Conference, Big Sky, USA, 2019: 1–7. doi: 10.1109/AERO.2019.8741765.

[59] WANG Mi, ZHANG Zhiqi, ZHU Ying, *et al*. Embedded GPU implementation of sensor correction for on-board real-time stream computing of high-resolution optical satellite imagery[J]. *Journal of Real-Time Image Processing*, 2018, 15(3): 565–581. doi: 10.1007/s11554-017-0741-0.

[60] ZHANG Zhiqi, WEI Lu, XIANG Shao, *et al*. Task-driven onboard real-time panchromatic multispectral fusion processing approach for high-resolution optical remote sensing satellite[J]. *IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing*, 2023, 16: 7636–7661. doi: 10.1109/JSTARS.2023.3305231.

[61] MATSUO I B M, ZHAO Long, and LEE W J. A dual modular redundancy scheme for CPU–FPGA platform-based systems[J]. *IEEE Transactions on Industry Applications*, 2018, 54(6): 5621–5629. doi: 10.1109/TIA.2018.2859386.

[62] SIM M T and ZHUANG Yanyan. A dual lockstep processor system-on-a-chip for fast error recovery in safety-critical applications[C]. IECON 2020 the 46th Annual Conference of the IEEE Industrial Electronics Society, Singapore, Singapore, 2020: 2231–2238. doi: 10.1109/IECON43393.2020.9255188.

[63] FUCHS C M, CHOU Pai, WEN Xiaoqing, *et al*. A fault-tolerant MPSoC For CubeSats[C]. 2019 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems, Noordwijk, Netherlands, 2019: 1–6. doi: 10.1109/DFT.2019.8875417.

[64] CALDWELL D W and RENNELS D A. A minimalist fault-tolerant microcontroller design for embedded spacecraft computing[J]. *The Journal of Supercomputing*, 2000, 16(1/2): 7–25. doi: 10.1023/A:1008142728784.

[65] GEIST A, BREWER C, DAVIS M, *et al*. SpaceCube v3.0 NASA next-generation high-performance processor for science applications[C]. The 33rd Annual AIAA/USU Conference on Small Satellites, Logan, USA, 2019.

[66] HARIKRISHNAN P, KARRAS K, CRUZ N, *et al*. SpaceWire based reconfiguration and redundancy management of COTS based highly integrated onboard computer[C]. 2023 European Data Handling & Data Processing Conference, Juan Les Pins, France, 2023: 1–6. doi: 10.23919/EDHPC59100.2023.10396158.

[67] PENG Qiao, WAN Xiaoguo, and ZHANG Jiliang. FOSA: A highly fault-tolerant operating system architecture[C]. 2024 IEEE International Test Conference in Asia, Changsha, China, 2024: 1–6. doi: 10.1109/ITC-Asia62534.2024.10661344.

[68] 张吉良, 柴先平, 王爽, 等. 一种软错误防护方法、装置、设备及存储介质[P]. 中国, CN202310715223.5, 2023.

ZHANG Jiliang, CHAI Xianping, WANG Shuang, *et al*. Soft error protection method and device, equipment and storage medium[P]. CN, CN202310715223.5, 2023.

[69] FUCHS C M, STEFANOV T P, MURILLO N M, *et al*. Bringing fault-tolerant Gigahertz-computing to space: A multi-stage software-side fault-tolerance approach for miniaturized spacecraft[C]. 2017 IEEE 26th Asian Test Symposium, Taipei, China, 2017: 100–107. doi: 10.1109/ATS.2017.30.

[70] ROGENMOSER M, WIESE P, FORLIN B E, *et al*. Trikarenos: Design and experimental characterization of a fault-tolerant 28-nm RISC-V-based SoC[J]. *IEEE Transactions on Nuclear Science*, 2025, 72(8): 2783–2792. doi: 10.1109/TNS.2025.3564739.

[71] ROGENMOSER M, TORTORELLA Y, ROSSI D, *et al*. Hybrid modular redundancy: Exploring modular redundancy approaches in RISC-V multi-core computing clusters for reliable processing in space[J]. *ACM Transactions on Cyber-Physical Systems*, 2025, 9(1): 8. doi: 10.1145/3635161.

[72] ROGENMOSER M, WISTOFF N, VOGEL P, *et al*. On-demand redundancy grouping: Selectable soft-error tolerance for a multicore cluster[C]. 2022 IEEE Computer Society Annual Symposium on VLSI, Nicosia, Cyprus, 2022: 398–401. doi: 10.1109/ISVLSI54635.2022.00089.

[73] DÖRFLINGER A, Guan Yejun, MICHALIK S, *et al*. ECC memory for fault tolerant RISC-V processors[C]. The 33rd International Conference on Architecture of Computing Systems, Aachen, Germany, 2020: 44–55. doi: 10.1007/978-3-030-52794-5_4.

[74] FIFIELD J A and STAPPER C H. High-speed on-chip ECC for synergistic fault-tolerance memory chips[J]. *IEEE Journal of Solid-State Circuits*, 1991, 26(10): 1449–1452. doi: 10.1109/4.90100.

[75] LEROUX P. Radiation tolerant electronics[J]. *Electronics*, 2019, 8(7): 730. doi: 10.3390/electronics8070730.

[76] NICOLAIDIS M. Design for soft error mitigation[J]. *IEEE Transactions on Device and Materials Reliability*, 2005, 5(3): 405–418. doi: 10.1109/TDMR.2005.855790.

[77] BAUMANN R C. Radiation-induced soft errors in advanced semiconductor technologies[J]. *IEEE Transactions on Device and Materials Reliability*, 2005, 5(3): 305–316. doi: 10.1109/TDMR.2005.853449.

[78] SLAYMAN C W. Cache and memory error detection, correction, and reduction techniques for terrestrial servers and workstations[J]. *IEEE Transactions on Device and Materials Reliability*, 2005, 5(3): 397–404. doi: 10.1109/TDMR.2005.856487.

[79] LU Zhaojun, ZHAO Qi, CHEN Qidong, *et al*. A survey on fault-tolerance methods for SRAM-based FPGAs in radiation environments[C]. 2023 IEEE 32nd Asian Test Symposium, Beijing, China, 2023: 1–6. doi: 10.1109/ATS59501.2023.10318028.

[80] SCHWANK J R, FERLET-CAVROIS V, SHANEYFELT M R, *et al*. Radiation effects in SOI technologies[J]. *IEEE Transactions on Nuclear Science*, 2003, 50(3): 522–538. doi: 10.1109/TNS.2003.812930.

[81] LIU Jia, LI Yao, ZHANG Ruitao, *et al*. Development of a radiation-hardened standard cell library for 65nm CMOS technology[C]. 2016 China Semiconductor Technology International Conference, Shanghai, China, 2016: 1–3. doi: 10.1109/CSTIC.2016.7464080.

[82] GREESHMA N and JAMUNA S. Design and analysis of radiation hardened by design non-volatile RAM for space applications[J]. *International Journal of Scientific and Research Publications*, 2023, 13(6): 397–409. doi: 10.29322/IJSRP.13.06.2023.p13848.

[83] LEYVA-MAYORGA I, MARTINEZ-GOST M, MORETTI M, *et al*. Satellite edge computing for real-time and very-high resolution earth observation[J]. *IEEE Transactions on Communications*, 2023, 71(10): 6180–6194. doi: 10.1109/TCOMM.2023.3296584.

[84] WANG Yixin, QIU Xiaolan, and WEN Xuejiao. High-resolution SAR imaging characteristics for multiple scattering of rotating targets[J]. *IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing*, 2024, 17: 9974–9988. doi: 10.1109/JSTARS. 2024.3382038. doi: 10.1109/JSTARS.2024.3382038. doi: 10.1109/JSTARS.2024.3382038.doi:10.1109/JSTARS.2024.3382038.

[85] LIU Haoting. Autonomous navigation for mars exploration[M]. PEZZELLA G and VIVIANI A. Mars Exploration - A Step Forward. IntechOpen, 2020. doi: 10.5772/intechopen.92093.

[86] ZHANG Qinyu, XU Liang, HUANG Jianhao, *et al*. Distributed satellite information networks: Architecture, enabling technologies, and trends[J]. *Science China Information Sciences*, 2025, 68(8): 190301. doi: 10.1007/s11432-024-4408-1.

[87] Advanced Cooling Technologies. VME/VPX card frames[EB/OL]. https://www.1-act.com/thermal-solutions/embedded-computing/vme-vpx/, 2025.

[88] 薄鹏, 汪悦. 面向航天器型号的COTS元器件选用策略[J]. 航天器环境工程, 2023, 40(4): 430–436. doi: 10.12126/see.2023102.

BAO Peng and WANG Yue. Selection strategy of COTS components for spacecraft[J]. *Spacecraft Environment Engineering*, 2023, 40(4): 430–436. doi: 10.12126/see.2023102.

[89] 张泽明, 张楠. 航天任务中宇航级和COTS元器件的比较和选择[J]. 环境技术, 2023, 41(7): 75–79. doi: 10.3969/j.issn.1004-7204.2023.07.016.

ZHANG Zeming and ZHANG Nan. Comparison and selection of space-grade and COTS components in space missions[J]. *Environmental Technology*, 2023, 41(7): 75–79. doi: 10.3969/j.issn.1004-7204.2023.07.016.

[90] 侯小宇. 符合我国航空工业发展现状的COTS IP适航要求研究与探索[J]. 民航学报, 2022, 6(4): 82–88,95. doi: 10.3969/j.issn.2096-4994.2022.04.019.

HOU Xiaoyu. Research on and exploration of COTS IP airworthiness requirements for China's aviation industry[J]. *Journal of Civil Aviation*, 2022, 6(4): 82–88,95. doi: 10.3969/j.issn.2096-4994.2022.04.019.

[91] 姜盛鑫, 韩天龙, 施帆, 等. 航天COTS产品标准化发展的透视与浅析[J]. 航天标准化, 2022(1): 36–39,49. doi: 10.19314/j.cnki.1009-234x.2022.01.005.

JIANG Shengxin, HAN Tianlong, SHI Fan, *et al*. Perspective and analysis of the standardization development of COTS for space[J]. *Aerospace*

*Standardization*, 2022(1): 36–39,49. doi: 10.19314/j.cnki.1009-234x.2022.01.005.

[92] NASA. Commercial orbital transportation services: A new era in spaceflight[EB/OL]. https://www.nasa.gov/wp-content/uploads/2016/08/sp-2014-617.pdf, 2025.

[93] DOUGLAS S, MAJEWICZ P. Enabling COTS EEEE parts for NASA missions[EB/OL]. https://ntrs.nasa.gov/api/citations/20250001580/downloads/MRQW_20250001580_v2.pdf, 2025.

[94] Raspberry Pi. Raspberry Pi processors[EB/OL]. https://www.raspberrypi.com/documentation/computers/processors.html, 2025.

[95] NVIDIA. Jetson TX2 module[EB/OL]. https://developer.nvidia.com/embedded/jetson-tx2, 2025.

[96] RAMOS R. New tech Tuesdays: Starlink: The satellite-based internet service by SpaceX[EB/OL]. https://my.mouser.com/blog/new-tech-starlink-satellite-based-internet, 2025.

[97] 安信证券. 航天产业研究: 卫星互联网蓄势待发[EB/OL]. https://file.iyanbao.com/pdf/d9d90-e3cc170f-bd84-4f31-8692-a4499289d9bb.pdf, 2025.
Essence Securities. Aerospace industry research: Satellite internet is ready to take off[EB/OL]. https://file.iyanbao.com/pdf/d9d90-e3cc170f-bd84-4f31-8692-a4499289d9bb.pdf, 2025.

[98] 星测未来. 高性能计算助力卫星智能化[EB/OL]. https://mp.weixin.qq.com/s/mbQT4VkcI-i7iUJysnYXJw, 2025.
StarDetect. High-performance computing powers satellite intelligence[EB/OL]. https://mp.weixin.qq.com/s/mbQT4VkcI-i7iUJysnYXJw, 2025.

[99] VASKA C, *et al*. The Cubesat communication platform (CCP) – mission overview and ConOps[C]. The 16th International Conference on Space Operations 2021, 2021.

[100] WEIGAND R. RISC-V: A rising star in space[EB/OL]. http://microelectronics.esa.int/papers/PresentationSummit-EUR-RISC-V-RisingStarInSpace-2023-06-08.pdf, 2025.

[101] FURANO G, TAVOULARIS A, and ROVATTI M. AI in space: Applications examples and challenges[C]. 2020 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems, Frascati, Italy, 2020: 1–6. doi: 10.1109/DFT50435.2020.9250908.

[102] MALONE S, SAENZ P, and PHELAN P. RISC-V processors for spaceflight embedded platforms[C]. 2023 IEEE Aerospace Conference, Big Sky, USA, 2023: 1–11. doi: 10.1109/AERO55745.2023.10115850.

[103] WILSON C. SpaceCube v3.0 mini[EB/OL]. https://ntrs.nasa.gov/api/citations/20190027308/downloads/20190027308.pdf, 2025.

[104] 香港航天科技集团. 香港航天科技与中国科学院上海微系统与信息技术研究所合作[EB/OL]. https://www.prnasia.com/story/332577-1.shtml, 2025.
Hong Kong Aerospace Technology Group. Hong Kong aerospace technology collaborates with the Shanghai Institute of Microsystems and information technology, Chinese Academy of Sciences[EB/OL]. https://ntrs.nasa.gov/api/citations/20190027308/downloads/20190027308.pdf, 2025.

魏肖彤：男，博士生，研究方向为计算机体系结构、芯片架构设计.
许浩博：男，副研究员，研究方向为计算机系统结构、专用芯片.
尹春笛：男，硕士生，研究方向为计算机体系结构、芯片设计.
黄俊培：男，博士生，研究方向为计算机体系结构、芯片架构设计.
孙文昊：男，硕士生，研究方向为计算机体系结构.
徐文浚：男，硕士生，研究方向为计算机体系结构、大模型推理优化.
王　颖：男，研究员，研究方向为专用处理器体系结构、集成芯片系统.
刘垚圻：男，副研究员，研究方向为天基计算、通感算一体化.
孟范涛：男，主任设计师，研究方向为星上电子系统架构研究与星载计算机产品设计.
闵　丰：男，助理研究员，研究方向为计算机系统结构、专用芯片.
王梦迪：女，助理研究员，研究方向为领域专用处理器架构设计、芯粒集成.
韩银和：男，研究员，研究方向为计算机体系结构和芯片、智能机器人、智能硬件、数据计算芯片和计算系统.

责任编辑：马秀强

# Space-based Computing Chips: Current Status, Trends and Key Technique

WEI Xiaotong[①②③④]　XU Haobo[①②]　YIN Chundi[①②]　HUANG Junpei[①②]
SUN Wenhao[①②]　XU Wenjun[①②]　WANG Ying[①②]　LIU Yaoqi[①②]
MENG Fantao[①②]　MIN Feng[①②]　WANG Mengdi[①②]　HAN Yinhe[①②]

[①](*SKLP*, *Institute of Computing Technology*, *Chinese Academy of Sciences*, *Beijing* 100190, *China*)
[②](*Research Center for Intelligent Computing Systems*, *Institute of Computing Technology*, *Chinese Academy of Sciences*, *Beijing* 100190, *China*)
[③](*Hangzhou Institute for Advanced Study*, *Hangzhou* 310024, *China*)
[④](*University of Chinese Academy of Sciences*, *Beijing* 101408, *China*)

**Abstract**:
**Significance**　With the continuous advancement of aerospace technology and the growing demand for space

applications, space-based computing chips have assumed increasingly important strategic roles as core hardware infrastructure of space information systems. As the technological foundation enabling intelligent data processing and reliable communications for spacecraft—including satellite platforms, space stations, and deep space probes, space-based computing chips not only safeguard national security and support economic development but also play an irreplaceable role in serving civilian needs. Although existing survey literature has systematically reviewed the development of aerospace Central Processing Units (CPUs), comprehensive analyses of other key components within the space-based computing chip ecosystem remain limited. To address this gap, this paper systematically examines the technological evolution of various space-based computing chips and their principal fault-tolerant mechanisms, and further explores potential future trends in this field.

**Progress** This paper adopts a functional architecture-oriented classification to systematically analyze and summarize the current technological status of space-based computing chips across three dimensions: CPU, Field-Programmable Gate Array (FPGA), and dedicated chip. For CPU technology, a classification study of general-purpose processors widely used in aerospace applications is conducted based on instruction set architectures, with in-depth analysis of the technical characteristics and representative products of various architectures, together with an objective evaluation of their advantages and limitations in space environments. In the FPGA domain, the technical specifications and performance characteristics of mainstream space-grade FPGA products, both domestic and international, are comprehensively reviewed to provide a reference for application selection. For dedicated chips, a detailed categorization is carried out according to functional architectural features and application scenario requirements, covering Digital Signal Processing (DSP) chips for signal processing acceleration, Graphics Processing Unit (GPU) chips for graphics computation, and Neural Processing Unit (NPU) chips for space-based artificial intelligence applications, thereby systematically clarifying the applicability of different architectures in complex space environments. In addition, this paper presents an in-depth analysis of the key fault-tolerant technology framework for space-based computing chips at multiple levels, including system, architecture, circuit, and process library, and provides a comprehensive evaluation of the technical advantages, application limitations, and development prospects of various fault-tolerant mechanisms. This analysis offers theoretical guidance for the reliability design of space-based computing chips.

**Conclusions** This review systematically summarizes the technological development of space-based computing chips, providing a comprehensive analysis of the architectural characteristics of different chip types and their associated fault-tolerant technology frameworks, while elucidating the applicable scenarios and technical limitations of various fault-tolerant mechanisms. The central principle of fault-tolerant design for space-based computing chips is to achieve effective detection and correction of circuit faults through redundancy mechanisms. This paper offers an in-depth analysis of the implementation principles and application characteristics of fault-tolerant technologies at four hierarchical levels: system, architecture, circuit, and process library. Although these multi-level approaches substantially improve system reliability, they inevitably introduce hardware resource overhead and performance penalties. Therefore, the engineering design of space-based computing chips requires optimized strategies that combine multi-level fault-tolerant technologies according to specific reliability requirements, aiming to balance reliability, cost, and performance to meet the intended design objectives and technical specifications.

**Prospects** Looking ahead, space-based computing chips present broad prospects in high computing capability, widespread adoption of Commercial Off-The-Shelf (COTS) devices, and the development of Reduced Instruction Set Computer-Five (RISC-V) instruction set architectures. With the rapid advancement of space technology, space-based systems are undergoing a transformation from traditional single-function platforms to integrated platforms characterized by multi-task collaboration, autonomy, and intelligence. Real-time data processing, multi-task parallel computing, and intelligent decision-making have become the principal driving forces in the evolution of space-based computing technology, all of which demand robust computational foundations. Compared with traditional radiation-hardened specialized devices, COTS devices are emerging as a major trend in space-based computing chip development due to their advantages in cost-effectiveness, computational performance, shorter development cycles, and product diversity. In addition, RISC-V, as an open-source instruction set architecture, offers unique advantages and significant potential for space-based computing chip innovation through its modular design philosophy, exceptional scalability, and open ecosystem. Chiplet technology, as an innovative approach to chip design and fabrication, enables cost reduction and accelerates development timelines through its modular architecture, while simultaneously facilitating flexible customization and fault-tolerant mechanisms. This approach is particularly well-positioned to address the evolving and heterogeneous computing demands of space-based platforms.

**Key words**: Space-based computing chips; Fault-tolerant technology; High computing capability; Commercial Off-The-Shelf (COTS); RISC-V architectures; Chiplet