基于概率模型的集成电路寄生参数提取算法

陈家瑞[①] 吴昭怡[①] 游勇杰[②] 陈忆鹭[③] 林智锋*[④]

[①](福州大学计算机与大数据学院 福州 350108)

[②](上海立芯软件科技有限公司 上海 201203)

[③](厦门理工学院计算机与信息工程学院 厦门 361024)

[④](福州大学离散数学与理论计算机科学研究中心 福州 350108)

摘 要：随着特征尺寸的不断缩小，寄生参数提取对于整体电路性能变得越来越重要。为了实现更快的设计收敛，该文提出一种基于概率的寄生参数提取算法，用于全局布线后的时序分析。通过一种新颖的基于网格的数据表示方法，该文开发了一种分区策略，以有效地捕获耦合导线段；然后构建了一个基于概率的平均模型，用于加速导线间距的计算；最后提出一种耦合效应感知的提取方法，以计算出精确的互连寄生参数。该文使用28 nm和7 nm技术节点下的工业电路评估所提出的算法。实验结果表明，所生成的寄生参数与领先的商业工具 Innovus具有强相关性，并且运行时间比Innovus快了21.6%。

关键词：超大规模集成电路；寄生参数提取；时序分析；全局布线

中图分类号：TN402; TP291.41 **文献标识码**：A **文章编号**：1009-5896(2025)09-3198-10

DOI: 10.11999/JEIT250458 **CSTR**: 32379.14.JEIT250458

1 引言

寄生参数提取是超大规模集成电路(Very Large Scale Integration, VLSI)设计流程中的一个重要阶段，用于确定互连线的寄生参数，对延迟评估、时序分析和其他性能验证具有显著影响[1–3]。随着设计复杂性的不断增长，寄生参数提取成为超大规模集成电路布线中的一个关键问题，亟需开发一种快速而精确的寄生参数提取算法以实现高性能的布线解决方案。

通常，寄生参数提取有两种方法：场求解器和基于模式匹配的算法。场求解器通常采用数值方法来模拟静电场，例如域离散化方法[4–6]、边界元法(Boundary Element Method, BEM)[7–10]和浮动随机游走算法(Floating Random Walk Algorithm, FRW)[11–15]。这种类型的方法具有较高的精度，并且能够求解小尺寸结构。然而由于过高的计算成本，基于场求解器的算法不适合全芯片寄生参数提取。

另一种广泛用于解决全版图提取问题的技术是模式匹配方法[16,17]。几乎所有商业版图寄生参数提取工具都采用这种技术来处理大型ASIC(Application Specific Integrated Circuit)，例如Cadence的QRC、Synopsys的StarRC以及Mentor Graphics的Calibre xACT。给定一个互连版图，模式匹配方法会将其划分为小模块，并利用预先构建的模式库确定每个模块的寄生参数，可有效降低计算复杂度，因而更适用于全芯片寄生参数提取。然而，随着设计复杂性的不断增长，数十亿个晶体管被放置在1个芯片上，这使得全版图寄生参数提取比以往任何时候都更具挑战性。

为了改进基于模式匹配的算法以满足复杂电路的需求，过去几十年里已经有多种学术寄生参数提取器被提出。与传统的手动方法不同，Choudhury等人[18]提出了一种自动构建模式库的方法，该方法考虑了容易被忽略的模式。Li等人[19]提出使用无监督学习来构建寄生模型，并使用监督学习进行几何分类。通过利用ResNet架构捕获空间信息的能力，文献[20]提出了一种基于CNN的电容模型，该模型能够表征具有不同导体数量的3-D互连结构。结合基于规则、神经网络和场求解器的方法，文献[21]开发了一种混合寄生参数提取算法，以提高电容精度。

基于概率模型，本文提出了一种适用于全芯片的快速而精确的寄生参数提取算法，以实现所需的电路性能。本文的主要贡献总结如下：

(1)通过一种新颖的基于网格的数据表示方法设计了一种导线划分策略，以有效地捕获层内和层间的相邻导线段。这些相邻导线段可用于建模电磁耦合效应，从而达到良好的寄生参数精度。

(2)提出了一种基于概率的数学方法来加速导

收稿日期：2025-05-26；改回日期：2025-09-14；网络出版：2025-09-16

*通信作者： 林智锋 linzhifeng@fzu.edu.cn

基金项目：福建省自然科学基金(2024J01363)，国家重点研发计划(2021YFA1003602)

Foundation Items: The Natural Science Foundation of Fujian Province (2024J01363), The National Key Research and Development Program of China (2021YFA1003602)

线间距的计算。所提出的间距模型是通用的，可以应用于不同的工艺节点。

(3)提出了一种有效的RC(Resistance Capacitance)树构造算法，能够从受干扰的导线和通孔中构建连通的RC树，并提出了一种能够感知耦合效应的RC提取算法，以生成精确的互连寄生参数。

(4)通过与最先进的商业EDA工具在工业设计上进行比较，证明了本文所提出算法的有效性，算法能够达到良好的寄生参数精度，电容和电阻误差低于1.2%。

本文的剩余部分组织如下。第2节给出了互连寄生参数和基于模式匹配的提取框架的预备知识，第3节详细介绍了基于分区的版图分析策略和基于概率的寄生参数提取算法，第4节展示了工业设计的实验结果，最后在第5节进行总结。

2　预备知识

本节旨在为本文提出的算法提供必要的背景知识。首先阐述互连线寄生效应的重要性，随后详细介绍作为工业界主流方案的模式匹配提取框架。

2.1　互连寄生参数

在现代深亚微米工艺下，芯片上互连线的物理尺寸不断缩小，线间距也日益紧密。这使得互连线已远非理想的等势连接(equipotential connection)，其寄生效应成为影响电路性能(如信号延迟、功耗和信号完整性)的关键因素。这些效应主要由寄生电阻(Resistance, R)和寄生电容(Capacitance, C)所引发，尤其是复杂的电磁耦合效应(electromagnetic coupling effects)。因此，为了准确评估并优化电路性能，必须通过寄生参数提取工具对这些RC元件进行精确的建模与计算。

2.2　寄生参数提取框架

基于模式匹配的寄生参数提取方法在解决全版图提取问题时，能够在结果质量和运行时间之间取得更好的平衡，因此被广泛应用于学术界和工业界。一个基于模式匹配的提取器通常包含3个主要步骤：(1)模式库构建；(2)寄生参数查找表生成；(3)版图寄生参数提取。

模式库构建阶段的目标是为特定的制造工艺预先构建一个全面的模式库。该库包含了数百万种典型的互连版图结构(即模式)。对于库中的每一种模式，通过高精度的场求解器计算其寄生参数，并将结果存储为高效的查找表(Look-up Table, LUT)或解析公式。这是一个计算密集型过程，但对于一个给定的工艺，仅需执行1次。在版图寄生参数提取过程中，提取工具首先将待分析的版图分割成无数微小的几何片段。随后，为每个片段在模式库中寻找与之最匹配的模式。一旦匹配成功，便直接调用库中预存的查找表或公式，高效地计算出该片段的寄生参数值。最后，将这些样本的寄生参数值相加来获得线网的寄生参数。

3　算法描述

图1描述了本文所提出的基于概率的寄生参数提取算法流程，主要包括两个阶段：版图分析和寄生参数提取。在版图分析阶段，本文首先通过基于分区的导线划分和耦合导线段识别来确定有显著耦合效应的导线段集合。随后，不同于传统提取器依赖精确但耗时的几何运算，本文通过一个基于组合数学的概率模型来快速估算平均导线间距。在第2阶段寄生参数提取中，利用前一阶段的间距信息，为电路中的每条线网生成最终的RC值。此阶段首先通过基于导线和通孔的RC树构建，将线网拓扑转化为物理意义更强的分布式RC树模型。接着，在考虑耦合效应的RC提取步骤中，本文遍历RC树的每个节点，并结合第一阶段提供的概率性间距信息与工艺文件中的查找表，通过插值计算出其精确的对地电容、耦合电容及电阻值。通过这两个阶段的协同工作，所提算法最终输出可直接用于静态时序分析的、高精度的互连寄生参数。

3.1　基于分区的耦合导线段识别

在现代先进电路设计中，相邻信号线路对互连寄生参数提取具有显著影响。一个实用的寄生参数提取器需要对相邻信号线路之间的耦合效应进行建模，以达到期望的电路性能。为了有效地识别与目标导线平行且重叠的耦合导线段的数量，本文提出了一种基于分区的耦合导线段识别策略。

算法1详细描述了基于分区的耦合导线段识别

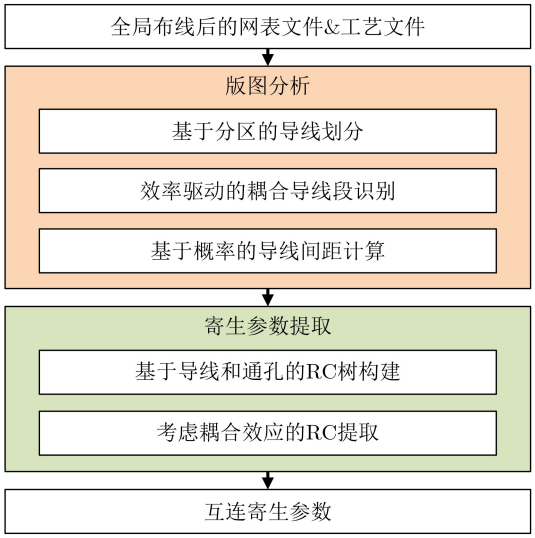


图 1 基于概率模型的寄生参数提取算法流程

策略。给定一条导线w及其相邻的信号线SR SR，首先提取它们的起始和结束坐标，并按升序排列(第1～5行)。然后使用函数getInitialSegNum(第6行)来获得耦合段的初始数量seg_num seg_num。具体来说，遍历左坐标集合L，并记录第1个大于目标导线w的起始坐标x_l的索引，索引从1开始。该索引表示在段$[x_l, L(i)]$处可以感知的耦合段的数量。如果L中的所有元素都小于x_l，则seg_num设置为L的大小。getInitialSegNum函数对耦合段的计算只和导线w及其相邻的信号线SR的坐标关系有关，不依赖于工艺参数等信息。

在确定seg_num的初始值后，开始遍历集合U中的元素。对于每个循环，一个具有相应耦合段数量的分区段被添加到S中(第7～9行)。如果当前位置“start start start”属于集合R，这代表当前位置是导线的末端，因此耦合段的数量seg_num应该减少，反之亦然(第13～16行)。段划分过程将重复进行，直到访问到目标导线w的末端坐标x_l。

算法 1 耦合导线段识别算法

输入：导线w及其相邻信号线集合SR
输出：划分后的导线段集合S，包含耦合导线段的数量

(1) x_l，x_r为w的起始和结束坐标
(2) L、R为SR中信号线的起始和结束坐标集合
(3) $U = L \cup R \cup x_l \cup x_r$
(4) start $= x_l$
(5) 将L, R, U按升序排序
(6) seg_num = getInitialSegNum()
(7) **while** start $\neq \varnothing$ **do**
(8) end $= U$中start的下一个元素
(9) $S = S \cup$ {end,end-start,seg_num}
(10) start = end
(11) **if** start == x_r **then**
(12) **break**
(13) **else if** start $\in L$ **then**
(14) (seg_num + +
(15) **else**
(16) (seg_num − −
(17) **end while**
(18) **return** S

图2给出了一个基于分区的耦合段识别策略的例子。在图2中，红线表示目标导线，3个相邻的信号线用绿线表示。所有导线都标有它们的起始和结束坐标。通过实施上述耦合段识别策略，目标导线被划分为5个段，表示为seg_1,seg_2,…,seg_5。每个段上方的数据表示段名称和耦合段的数量。例如“$\text{seg}_4 : 2$”表示第4段 seg_4 的耦合段数量为2。

3.2 基于网格的交叉段识别

前述章节介绍了基于分区的耦合段识别策略。在实际应用中，远离目标导线的耦合段对互连线寄生效应的影响是有限的。因此，本文提出将芯片版图划分为多个区域以提高耦合段识别效率。

图3(a)展示了一个被划分的矩形区域，其中包含5条平行导线。结合导线划分策略，该区域被进一步分割成9个网格。每个网格中的线段完全相互重叠。通过使用网格结构，可以快速找出每条导线所跨越的网格以及每个网格中的耦合线段数量，从而加快线段识别过程。

在提取互连线寄生参数的过程中，除了识别同一层中的耦合线段外，还需考虑相邻层中的交叉线段。以图3(b)为例，3个金属层分别表示为M1, M2和M3。对于M2层中的目标导线(以红色标记)，首先找出其在M1和M3层中对应的网格(以浅红色矩形表示)，然后计算交叉线段的数量。如果目标导线完全穿过相邻层中的网格，则这些网格中的所有线段都被视为交叉线段。否则，仅考虑部分线段。式(1)给出了计算交叉线段的加权平均模型。

$$\text{cross\_grid\_seg\_num} = \frac{\text{length\_in\_grid}}{\text{grid\_height}} \times \text{grid\_wire\_num} \quad (1)$$

其中，交叉网格导线数cross_grid_seg_num指的是网格中的导线数量，网格长度length_in_grid是指目标导线与相关网格之间的重叠长度，网格导线数grid_wire_num表示网格中并行线段的数量。在图3(b)

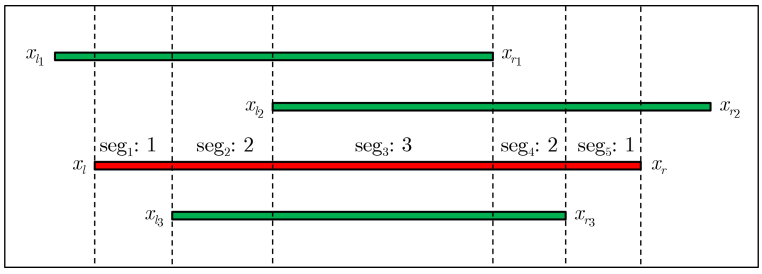


图 2 基于分区的耦合段识别策略的说明

中，M2层的红色导线完全穿过M1和M3层的浅红色网格，因此其交叉段数为6。

3.3 基于概率的导线间距计算

在确定耦合线段后，接下来需要计算导线间距。在互连线寄生参数提取中，间距定义为导线与其最近的导线之间的距离。由于现代电路中存在大量的导线，计算每根导线的实际间距非常耗时。因此，本文提出了一种基于概率的平均间距模型。

设g为一个具有n条轨道和m条平行导线的网格。假设目标导线w位于网格g的第1条轨道上，则剩余$m-1$条导线的分布总数如式(2)

$$\mathrm{C}_{n-1}^{m-1}=\frac{(n-1)(n-2)\cdots(n-m+1)}{(m-1)(m-2)\times\cdots\times 1} \tag{2}$$

对于目标导线w，如果其最近的导线位于第$(i+1)^{\text{th}}$条轨道上，则其它$m-2$条导线的分布数量可以通过式(3)获得

$$\mathrm{C}_{n-i-1}^{m-2}=\frac{(n-i-1)(n-i-2)\cdots(n-i-m+2)}{(m-2)(m-3)\times\cdots\times 1} \tag{3}$$

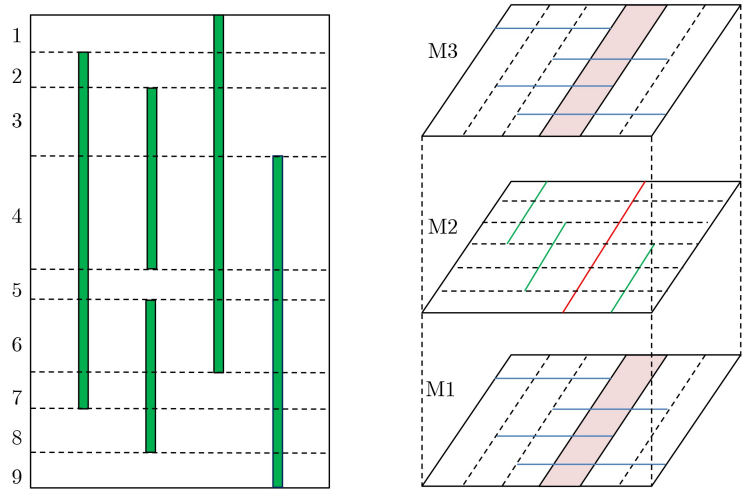
由此可以得到线间距等于i的概率p_i，计算方法如式(4)所示

$$p_i=\frac{\mathrm{C}_{n-i-1}^{m-2}}{\mathrm{C}_{n-1}^{m-1}}=\frac{(m-1)(n-i-1)\cdots(n-i-m+2)}{(n-1)(n-2)\cdots(n-m+1)} \tag{4}$$

考虑到导线间距的范围为1到$n-m$，且具有不同的概率，可以将平均间距表示为式(5)

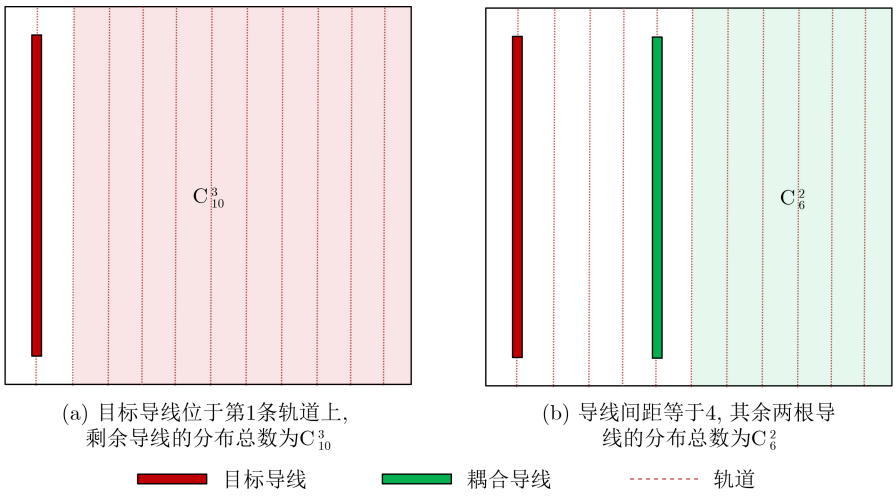
$$\text{ave\_space}=\sum_{i=1}^{n-m}p_i\times i \tag{5}$$

图4展示了基于概率的线间距计算策略。给定一个包含4根导线和11条轨道的分区网格，假设目标导线位于第1条轨道上。如图4(a)所示，剩余3根导线的分布总数为C_{10}^{3}。在图4(b)中，离目标导线



(a) 一个划分为9个网格的区域　　(b) M1, M2和M3层中的导线分布

图 3 基于网格的交叉段识别示例



(a) 目标导线位于第1条轨道上，剩余导线的分布总数为C_{10}^{3}

(b) 导线间距等于4, 其余两根导线的分布总数为C_{6}^{2}

图 4 基于概率的导线间距计算示例

最近的耦合导线位于第5条轨道上，这意味着线间距为4。因此，加权线间距为$4\times \mathrm{C}_6^2/\mathrm{C}_{10}^3$。采用这种策略来计算具有不同概率的加权线间距，最终得到平均加权间距。

以上提出的平均加权间距模型具有通用性，可以应用于不同的版图。本文进一步构建了一个基于轨道的查找表，该表记录了分区网格中所有可能数量的导线的平均加权间距，利用预先构建的间距查找表可以大大加快导线间距计算过程。

3.4 基于导线和通孔的RC树构建

在现代多层电路设计中，互连寄生参数提取器需要从给定的版图中提取布线信息。对于标准设计交换格式(Design Exchange Format, DEF)，布线拓扑通常由导线和通孔表示。本节开发了一种高效的构造算法，可以从分散的导线和通孔中构建连通的RC树。

算法2详细描述了基于导线和通孔的RC树构建算法。首先遍历布线后的网表中的导线，并使用函数get_or_create为每根导线创建相应的节点(第2～4行)。如果当前节点已经被创建，函数get_or_create将返回先前创建的节点。这避免了节点被重复创建，并确保了原始的布线拓扑。然后，类似于导线节点的创建，为每个通孔在相邻层中构建两个通孔节点(第9～15行)。之后，实现广度优先搜索算法来检查构建的RC树的合法性，合法的RC树是一个没有环状结构的连通树。

算法 2 基于导线和通孔的RC树构造

输入：导线集合W和通孔集合V

输出：构造的RC树的节点集合N和边集合E

(1) $N=\varnothing, E=\varnothing$

(2) **for** $\{x_l, y_b, x_r, y_t, \text{layer}\}$ **in** W **do**

(3) $\quad \text{node}_1 = \text{get\_or\_create}(x_l, y_b, \text{layer})$

(4) $\quad \text{node}_2 = \text{get\_or\_create}(x_r, y_t, \text{layer})$

(5) $\quad \text{edge} = \text{create\_edge}(\text{node}_1, \text{node}_2)$

(6) $\quad E = E \cup \{\text{edge}\}$

(7) $\quad N = N \cup \{\text{node}_1, \text{node}_2\}$

(8)**end for**

(9)**for** $\{x, y, \text{lower\_layer}\}$ **in** V **do**

(10) $\quad \text{via}_1 = \text{get\_or\_create}(x, y, \text{lower\_layer})$

(11) $\quad \text{via}_2 = \text{get\_or\_create}(x, y, \text{lower\_layer}+1)$

(12) $\quad \text{edge} = \text{create\_edge}(\text{via}_1, \text{via}_2)$

(13) $\quad E = E \cup \{\text{edge}\}$

(14) $\quad N = N \cup \{\text{via}_1, \text{via}_2\}$

(15) **end for**

(16) 检查RC树的连通性

(17) **return** N, E

3.5 考虑耦合效应的RC提取

基于概率驱动的线间距模型和所提供的工艺文件，寄生参数可以被精确地提取并将关键的耦合效应考虑进来。工艺文件 “.captbl” 提供了互连寄生参数表，该表可以通过线宽和线间距进行索引。其中，线宽与工艺相关，并且在不同的金属层上数值有所不同。设 s 为线间距，w 为线宽，首先应用插值方法获得单位电阻$R(s,w)$，如式(6)

$$R(s,w)=\begin{bmatrix} 1-\hat{s} & \hat{s} \end{bmatrix}\begin{bmatrix} R(s_1,w_1) & R(s_1,w_2) \\ R(s_2,w_1) & R(s_2,w_2) \end{bmatrix}\cdot\begin{bmatrix} 1-\hat{w} \\ \hat{w} \end{bmatrix} \tag{6}$$

其中$\hat{s}=s-s_1$，$\hat{w}=w-w_1$。s_1，s_2，w_1和w_2是如图5所示的双线性插值的边界坐标。然后，基于单位电阻$R(s,w)$，可以将导线电阻建模为式(7)

$$\text{res}=R(s,w)\times\text{length} \tag{7}$$

其中，length表示导线的长度。与电阻提取类似，导线电容也可以用相同的方式提取。具体而言，考虑到相邻层之间的导线可能会引起额外的耦合效应，本文进一步实施了基于网格的识别策略，以识别交叉段的数量，然后使用插值方法确定相对耦合电容。

4 实验结果

本文使用 C++ 编程语言实现了基于概率的全芯片寄生参数提取算法，并在配备 Intel Xeon(R) Platinum 8260 CPU @ 2.40 GHz的64位CentOS Linux工作站上进行了实验。基准测试包含28 nm和7 nm技术节点下的12个大规模工业设计。表1给出了基准测试的统计数据，其中技术节点、线网数量和可移动标准单元的数量分别用“Tech.”、“#Nets”和“#Stds”表示。

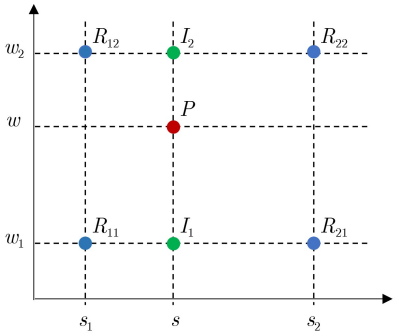


图 5 双线性插值的图示

需要提醒的是，本文的目的是在物理设计的早期阶段(即全局布线)进行寄生参数提取，以实现所需的布线方案。因此，本文直接将所提出的寄生参数提取方法与先进的商业工具Cadence Innovus 20.1进行比较。为了公平比较，本文采用Innovus中的全局布线器来生成相同的信号路径，作为寄生参数提取的输入。工业基准测试的比较结果总结在表1中，其中“RT(s)”是以秒为单位的算法运行时间，“Capacitance_error”通过公式$(C_c - C_g)/C_g \times 100\%$计算而来，其中$C_g$为Innovus报告的黄金电容值，$C_c$是本文所提寄生参数提取器计算的电容值。“Resistance_error”以相同的方式推导出来。在表1中，“Mean”和“Std_dev”列给出了每个基准测试线网寄生参数误差的平均值和标准差，最后1行显示了不同基准测试的平均电阻和电容误差。

从表1可以看出，本文提出的寄生参数提取算法可以达到良好的寄生参数精度，并且比商业工具Innovus快21.6%。电容误差的平均值和标准差分别为1.15%和3.09%。对于电阻，平均误差仅为0.08%，标准差为2.63%。表1中ROCKET_SUBSYS和RX_SYSTEM_WRAP这两个例子的电容误差较大，分别为4.13%和3.59%。通过对这两个例子的分析，发现电容误差主要集中在带有NDR (Non Default Rule)规则的线网上，这类规则通常会使导线之间的线间距增大。测试结果显示，Innovus工具在判断线网是否包含NDR 规则时会产生不同的计算结果。目前本文提出的算法尚未对NDR规则进行专门处理，因此与Innovus相比电容误差较大。表2展示了Innovus没考虑NDR时与文章所提方法的对比。实验结果表明，在没考虑NDR的情况下，所提出算法的电容误差显著减少。针对ROCKET_SUBSYS和RX_SYSTEM_WRAP这两个例子，电容误差分别减少至1.35%和1.18%，进一步验证了本文方法的有效性。

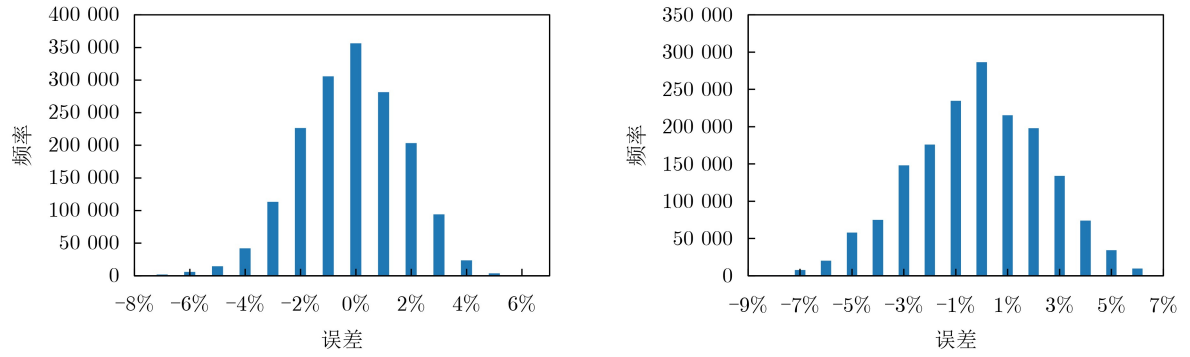
总体而言，12个具有挑战性的工业电路的电容/电阻误差的所有标准差均小于5%，这表明本文所提出的算法对于全芯片寄生参数提取问题是有效且高效的，可以利用它来开发高性能的布线算法。图6展示了基准HP_DEC_TOP的电容和电阻误差的直方图。

表 1　电容、电阻和运行时间与 Innovus 的比较

Benchmark	Statistic			Capacitance_error(%)		Resistance_error(%)		RT(s)	
	Tech.(nm)	#Stds	#Nets	Mean	Std_dev	Mean	Std_dev	本文	Innovus
HP_DEC_TOP	28	1657690	1672977	–0.19	1.32	–0.15	1.74	241	316
CPU_M0_WRAP	28	1021481	952813	–0.25	2.37	0.39	2.81	136	179
HPP_AHP	28	505021	518611	–0.09	4.95	0.18	2.57	80	99
HP_TOP_M1_VI	28	1512026	1612055	–0.15	3.81	0.01	1.86	256	296
M0_TPP	28	1457856	1610694	0.81	1.76	–0.43	1.57	227	288
MEDIA_SYSTEM	28	1050317	1116939	0.43	4.62	–0.29	1.74	158	189
MAQ_VI	7	2546138	1687508	1.72	2.98	–0.52	2.73	281	317
ROCKET_SUBSYS	7	2048857	1824439	4.13	3.07	0.47	4.36	260	319
RSFEC_fsu	7	2157315	1984282	1.52	4.44	1.05	4.50	321	363
MEDIA_iol	7	1058482	1023658	0.98	1.86	–0.42	4.19	151	190
HP_WRAP	7	2148977	2297812	1.15	2.34	–0.26	1.79	302	392
RX_SYSTEM_WRAP	7	4843973	4797617	3.59	4.90	0.74	3.41	793	847
Average				1.15	3.09	0.08	2.63	1.000	1.216

表 2　Innovus没考虑NDR时与文章所提方法的对比

Benchmark	Statistic			Capacitance_error(%)	
	Technology(nm)	#Stds	#Nets	Mean	Std_dev
ROCKET_SUBSYS	7	2048857	1824439	1.35	2.41
RX_SYSTEM_WRAP	7	4843973	4797617	1.18	3.72



(a) 电容误差直方图 (b) 电阻误差直方图

图 6 基准HP_DEC_TOP的误差直方图

5 结论

本文提出了一种基于概率的集成电路寄生参数提取算法，用于解决具有挑战性的全芯片寄生参数提取问题。为了有效地获取耦合段，本文开发了一种基于网格数据表示的新型划分策略。基于获得的耦合段，一种基于概率的数学模型被提出用于精确地计算导线间距，预先计算好一个间距查找表来加速导线间距的计算过程。之后，本文提出了一种高效的构造算法，用于从受扰动的导线和通孔中构建连通的RC树，随后采用一种能够感知耦合效应的RC提取方法来生成精确的互连寄生参数。在12个工业基准测试上的实验结果表明，本文提出的提取方法生成的寄生参数与领先的商业工具Innovus报告的寄生参数具有良好的相关性。未来将进一步探索机器学习驱动的寄生参数提取方法，以期进一步提高7 nm工艺下寄生参数提取算法的效率和精度。

参 考 文 献

[1] SHI Hanyu and HE Qing. VLSI parasitic capacitance extraction based on pattern matching using modified machine learning methods[C]. The 10th International Conference on Computer and Communications (ICCC), Chengdu, China, 2024: 92–99. doi: 10.1109/ICCC62609.2024.10942273.

[2] LIU Lihao, YANG Fan, SHANG Li, *et al*. GNN-cap: Chip-scale interconnect capacitance extraction using graph neural network[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2024, 43(4): 1206–1217. doi: 10.1109/TCAD.2023.3331942.

[3] PATIDAR S and BODADE R M. Evaluation trends and development in integrated circuit parasitic extraction[C]. 2024 IEEE International Students' Conference on Electrical, Electronics and Computer Science (SCEECS), Bhopal, India, 2024: 1–7. doi: 10.1109/SCEECS61402.2024.10482256.

[4] ZEMANIAN A H. A finite-difference procedure for the exterior problem inherent in capacitance computations for VLSI interconnections[J]. *IEEE Transactions on Electron Devices*, 1988, 35(7): 985–992. doi: 10.1109/16.3355.

[5] SUMANT P S and CANGELLARIS A C. Algebraic multigrid Laplace solver for the extraction of capacitances of conductors in multi-layer dielectrics[J]. *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, 2007, 20(5): 253–269. doi: 10.1002/jnm.650.

[6] YU Wenjian, SHEN Shan, YANG Dingcheng, *et al*. Deep learning inspired capacitance extraction techniques[C]. The 30th Asia and South Pacific Design Automation Conference, Tokyo, Japan, 2025: 106–112. doi: 10.1145/3658617.3703148.

[7] WU Shengkun, XIE Biwei, and LI Xingquan. An adaptive partition strategy of Galerkin boundary element method for capacitance extraction[C]. The 28th Asia and South Pacific Design Automation Conference, Tokyo, Japan, 2023: 541–546. doi: 10.1145/3566097.3567903.

[8] YU Wenjian, WANG Zeyi, and GU Jiangchun. Fast capacitance extraction of actual 3-D VLSI interconnects using quasi-multiple medium accelerated BEM[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2003, 51(1): 109–119. doi: 10.1109/TMTT.2002.806923.

[9] CHAI Wenwen, JIAO Dan, and KOH C K. A direct integral-equation solver of linear complexity for large-scale 3D capacitance and impedance extraction[C]. The 46th Annual Design Automation Conference, San Francisco, USA, 2009: 752–757. doi: 10.1145/1629911.1630107.

[10] SHI Weiping, LIU Jianguo, KAKANI N, *et al*. A fast hierarchical algorithm for 3-D capacitance extraction[C]. The 35th Annual Design Automation Conference, San Francisco, USA, 1998: 212–217. doi: 10.1145/277044.277101.

[11] YANG Ming and YU Wenjian. Floating random walk capacitance solver tackling conformal dielectric with on-the-fly sampling on eight-octant transition cubes[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2020, 39(12): 4935–4943. doi: 10.1109/TCAD.2020.2968544.

[12] YU Wenjian, ZHANG Bolong, ZHANG Chao, *et al*. Utilizing macromodels in floating random walk based capacitance extraction[C]. 2016 Design, Automation & Test in Europe Conference & Exhibition, Dresden, Germany, 2016: 1225–1230.

[13] XU Jiahao, ZHANG Yibin, GAO Shenghan, *et al*. A 2-D multi-dielectric capacitance solver based on floating random walk method[C]. 2023 China Semiconductor Technology International Conference (CSTIC), Shanghai, China, 2023: 1–3. doi: 10.1109/CSTIC58779.2023.10219380.

[14] WEI Xin, YAN Changhao, ZHOU Hai, *et al*. An efficient FPGA-based floating random walk solver for capacitance extraction using SDAccel[C]. 2019 Design, Automation & Test in Europe Conference & Exhibition, Florence, Italy, 2019: 1040–1045. doi: 10.23919/DATE.2019.8714992.

[15] YU Wenjian, XU Zhezhao, LI Bo, *et al*. Floating random walk-based capacitance simulation considering general floating metals[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, 37(8): 1711–1715. doi: 10.1109/TCAD.2017.2782770.

[16] ARORA N D, RAOL K V, SCHUMANN R, *et al*. Modeling and extraction of interconnect capacitances for multilayer VLSI circuits[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1996, 15(1): 58–67. doi: 10.1109/43.486272.

[17] SAKURAI T and TAMARU K. Simple formulas for two- and three-dimensional capacitances[J]. *IEEE Transactions on Electron Devices*, 1983, 30(2): 183–185. doi: 10.1109/T-ED.1983.21093.

[18] CHOUDHURY U and SANGIOVANNI-VINCENTELLI A L. Automatic generation of analytical models for interconnect capacitances[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1995, 14(4): 470–480. doi: 10.1109/43.372374.

[19] LI Zhixing and SHI Weiping. Layout capacitance extraction using automatic pre-characterization and machine learning[C]. 2020 21st International Symposium on Quality Electronic Design, Santa Clara, USA, 2020: 457–464. doi: 10.1109/ISQED48828.2020.9136970.

[20] YANG Dingcheng, LI Haoyuan, YU Wenjian, *et al*. CNN-cap: Effective convolutional neural network-based capacitance models for interconnect capacitance extraction[J]. *ACM Transactions on Design Automation of Electronic Systems*, 2023, 28(4): 56. doi: 10.1145/3564931.

[21] ABOUELYAZID M S, HAMMOUDA S, and ISMAIL Y. Accuracy-based hybrid parasitic capacitance extraction using rule-based, neural-networks, and field-solver methods[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2022, 41(12): 5681–5694. doi: 10.1109/TCAD.2022.3161199.

陈家瑞：男，副教授，研究方向为集成电路设计自动化.
吴昭怡：女，硕士生，研究方向为集成电路设计自动化.
游勇杰：男，高级工程师，研究方向为集成电路设计自动化.
陈忆鹭：男，讲师，研究方向为集成电路设计自动化.
林智锋：男，副研究员，研究方向为集成电路设计自动化.

责任编辑：马秀强

A Probability-Based Parasitic Extraction Algorithm for Global-Routed VLSI Designs

CHEN Jiarui[①] WU Zhaoyi[①] YOU Yongjie[②]
CHEN Yilu[③] LIN Zhifeng[④]

[①](*College of Computer and Data Science, Fuzhou University, Fuzhou* 350108, *China*)
[②](*Shanghai LEDA Technology Co., Ltd., Shanghai* 201203, *China*)
[③](*School of Computer and Information Engineering, Xiamen University of Technology, Xiamen* 361024, *China*)
[④](*Center for Discrete Mathematics and Theoretical Computer Science, Fuzhou University, Fuzhou* 350108, *China*)

Abstract:

Objective Parasitic extraction is a critical stage in the VLSI design flow, as it determines the parasitic parameters of interconnect wires, directly affecting delay evaluation, timing analysis, and performance verification. With the increasing complexity of modern designs, accurate estimation of parasitic parameters has become a central challenge in routing. Developing a fast and accurate extraction algorithm is therefore essential to enable high-performance routing solutions.

Methods Pattern matching is a widely used technique for full-layout parasitic extraction. Given an interconnect layout, the method divides it into small sections and determines the parasitics of each section with a pre-built pattern library. However, with billions of transistors placed on a single chip, the continuous growth of design complexity makes full-layout parasitic extraction increasingly challenging.

Inspired by pattern matching, this paper presents a probability-based parasitic extraction algorithm tailored for modern VLSI designs. The proposed method consists of two main stages: (1) layout analysis and (2) parasitic extraction. Given a global-routed netlist and technology files containing pre-characterized parasitic values, layout analysis captures coupling segment information and generates a probability-based look-up table for efficient wire-spacing computation. Parasitic extraction then constructs the RC tree for each net and produces accurate interconnect parasitic parameters using the spacing information derived from layout analysis.

For layout analysis, a partitioning strategy is employed to identify coupling segments that are parallel to and overlap with the target wire segment. In practice, coupling segments far from the target wire exert negligible effects on parasitics; therefore, the chip layout is divided into regions to improve identification efficiency. During parasitic extraction, coupling segments in both the same layer and in abutting layers are considered. If the target wire fully traverses the grids in an adjacent layer, all segments in those grids are treated as cross segments; otherwise, only partially overlapping segments are included.

Once the coupling segments are determined, wire spacing must be calculated. In parasitic extraction, spacing represents the distance between a wire and its nearest neighbor. Because of the vast number of wires in modern circuits, computing exact spacing for every wire is prohibitively expensive. To address this, a probability-based average spacing model is proposed.

In multilayer circuit designs, extraction also requires accurate reconstruction of routing information from layout data. In the standard Design Exchange Format (DEF), routing topology is represented by wires and vias. To handle this efficiently, a construction algorithm is developed to build connected RC trees from distributed wires and vias. Leveraging the probability-based wire-spacing model together with the technology files, the algorithm extracts parasitic parameters while accounting for coupling effects.

The technology file “.captbl” provides interconnect parasitic tables indexed by wire width and spacing,

with widths varying across different metal layers due to process constraints. Interpolation methods are first applied to obtain the unit resistance as a function of wire spacing and width. Wire resistance is then modeled by multiplying this unit resistance by wire length. Similarly, capacitance is extracted using interpolation, with additional coupling effects between neighboring layers captured through a grid-based recognition strategy that identifies the number of cross segments. Relative coupling capacitance is then determined accordingly.

Results and Discussions Experiments were conducted on twelve industrial designs to evaluate the proposed extraction algorithm. The results demonstrate that the method achieves high parasitic accuracy while being 21.6% faster than the commercial tool Innovus. The average capacitance error is 1.15% with a standard deviation of 3.09%, and the average resistance error is 0.08% with a standard deviation of 2.63%. Notably, for all twelve circuits, the standard deviation of both capacitance and resistance errors remains below 5%. These findings confirm that the proposed algorithm provides both accuracy and efficiency for full-chip parasitic extraction, offering a practical foundation for developing high-performance routing algorithms.

Conclusions This paper presents a probability-based parasitic extractor for addressing full-chip extraction challenges. A partitioning strategy with grid-based data representation is developed to capture coupling segments efficiently. Based on these segments, a probability-driven mathematical model is proposed to calculate wire spacing, with a pre-computed look-up table accelerating the computation. An efficient construction algorithm is further presented to build connected RC trees from distributed wires and vias, followed by a coupling-aware RC extraction method to produce accurate interconnect parasitics. Experimental evaluation on twelve industrial benchmarks demonstrates strong correlation between the extracted parasitics and those obtained from the commercial tool Innovus.

Key words: Very large scale integration; Parasitic extraction; Timing analysis; Global routing