3D IC封装技术中硅通孔研究进展综述

张芊帆　何　茜　田　雨　丰光银*

(华南理工大学微电子学院　广州　511442)

摘　要：三维集成电路(3D IC)以其低延迟和高密度等优势，成为后摩尔时期的重要研究方向之一。其中硅通孔(TSV)作为3D IC中层间互连的关键技术，相关热、电和信号问题已有了广泛的研究。为更好地了解TSV技术的原理及研究现状，该文概述了近年来TSV技术在3D IC设计中的研究进展。首先，针对TSV热问题，综述了3D IC的热建模方法和TSV的热管理策略。其次，针对电源完整性问题，介绍了布局优化、背面供电网络(BPDN)技术等解决方案。之后，针对信号完整性问题，阐述了电磁屏蔽、应用低介电常数材料、新型互连等方法。最后，对TSV目前仍存在的局限性进行了总结，并在此基础上重点展望了多物理场协同优化、纳米级TSV(nTSV)与背面供电网络集成设计、新型材料与TSV阵列以及智能优化方法在未来的发展空间。

关键词：三维集成电路；硅通孔；热管理；电源完整性；信号完整性

中图分类号：TN43　**文献标识码**：A　**文章编号**：1009-5896(2025)09-3057-13

DOI: 10.11999/JEIT250377　**CSTR**: 32379.14.JEIT250377

1　引言

近年来，由于传统制造工艺越来越接近物理极限[1]，摩尔定律已进入了迟滞期。传统二维集成电路设计作为经典的电路设计，其发展受限于平面制造工艺。单靠缩小晶体管尺寸会导致晶体管间电容效应增大，晶体管间的相互干扰严重，热量堆积等问题。因此研究人员开始从整个电路结构上做出改进，提出了如异质集成[2]、先进封装[3]等电路设计。三维集成电路(Three-Dimensional Integrated Circuit, 3D IC)[4]作为代表技术之一，是一种有别于传统二维集成电路的全新技术。其可以将各层的不同芯片堆叠于同一垂直方向上，以实现更高集成度的目标。它的优点是可在有限的空间内加入更多的晶体管，以进一步提升整体芯片性能，因此是后摩尔时代重要的发展方向之一。

硅通孔(Through-Silicon Via, TSV)是在3D IC设计中支撑层间互连的核心工艺，在器件性能、尺寸以及成本等方面能给3D封装带来极大的优势[5,6]。如图1所示，TSV是一种直接贯穿硅片厚度的垂直互连结构，主要由深硅刻蚀、绝缘层沉积、金属填充(如Cu和W)和回填工艺制成[7]。TSV具有低延迟、高带宽和高密度等优点，通过TSV连接的3D IC设计可以使互连长度大大缩短，同时还能使功耗与延迟降低。TSV还可以使逻辑芯片与存储芯片实现异质集成，因而在高性能计算、高带宽存储、移动终端及芯粒(Chiplet)互连等方向起着重要作用。

TSV的发源最早可追溯至IBM公司的Smith和Stern[8]在1967年公布的贯穿硅片的互连方式。在20世纪80年代，日本日立(Hitachi)、富士通(Fujitsu)开展了TSV相关实验，并将其应用于图像传感器和MEMS器件中[9]。进入21世纪以后，TSV技术实现了飞速发展，进入了商用化阶段。早在2007年，三星公司就率先将其引入动态随机存取存储器(Dynamic Random Access Memory, DRAM)封装中，即在堆叠式内存模块运用了TSV技术，如图2所示。此外，各大厂也陆续开放出了具有TSV互连的3D封装产品[10]。由于这还是一种相对较新的连接方法，因此固态技术协会(Joint Electron Device Engineering Council, JEDEC[11]于2013年制定了高带宽内存的TSV结构标准。

然而，TSV的加入虽然使得3D IC设计更为多样化，但也带来了一些新的难题，主要集中于以下3点：(1)热管理问题：TSV密集排布会形成高热的通量路径，从而影响芯片的热可靠性[12]。(2)电源

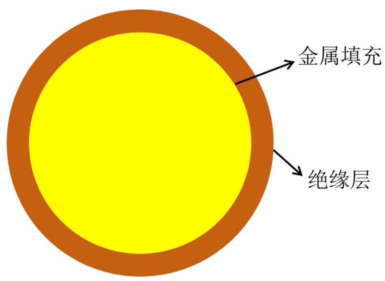


图 1 TSV结构示意图

收稿日期：2025-05-07；改回日期：2025-08-18

*通信作者：丰光银　gyfeng88@scut.edu.cn

基金项目：国家自然科学基金(U24B20163, 62474069)

Foundation Items: The National Natural Science Foundation of China (U24B20163, 62474069)

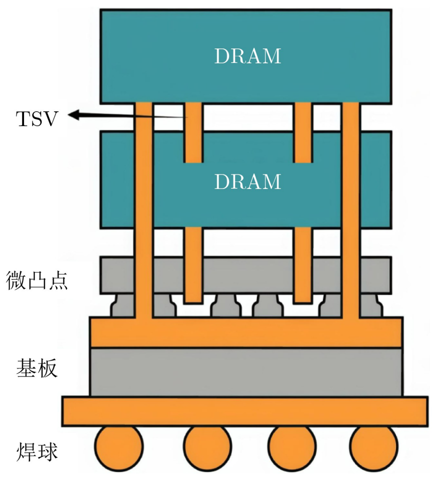


图 2 加载TSV的DRAM封装图

完整性问题：TSV阻抗的不稳定性会导致电源网络压降增加、电迁移以及地弹噪声的发生，进而使得整个供电系统运行不稳定[13]。(3)信号完整性问题：高速信号经过TSV传输时会产生串扰、反射和延迟不匹配等问题，降低3D IC整体的传输精度[14]。

近年来，TSV的研究热点已从结构设计和制造工艺转移到多物理建模、电源分配网络(Power Delivery Network, PDN)、信号路径优化以及热控结构设计等方面[15–17]。国内外在TSV的优化设计及多物理分析方面都取得了丰富的成果。得克萨斯大学的Pathak等人[18]系统地讨论了TSV技术中热应力和电迁移问题并提出了一种快速仿真方法；美国佐治亚理工学院Kim等人[19]提出了芯粒与中介层协同优化PDN设计方法。中国电子科技集团曹明鹏等人[20]提出了对偶单元法进行三维电热耦合仿真分析；中国科学院微电子研究所Jiao等人[21]设计了空心TSV结构降低芯片内部热应力。这些工作为后续开展TSV优化设计和3D IC的发展奠定了扎实的研究基础。

综上所述，TSV作为3D集成系统的核心垂直互连技术，一方面显著提升了集成密度，另一方面也引入了以热、电源与信号为代表的挑战。故本文针对这些关键瓶颈的最新研究进展进行了相应的调研和整理，内容包含以下几个方面：(1) TSV热管理策略，包括3D IC热模型构建与TSV热管理方案。(2) TSV导致的功耗控制问题及电源完整性设计。(3)TSV对信号完整性的影响及其互连优化策略。最后，本文总结了研究中提及的共性问题，并指出TSV及其在先进封装体系中的未来发展趋势。

2 TSV热管理

由于3D IC的飞速发展，芯片封装密度呈现指数级提升，其中在采用TSV进行垂直互连的3D IC中，如果大量使用TSV进行互连，虽能大幅提升整体芯片的封装密度，但会引发功耗密度急剧上升，进而使部分区域的热量积聚，引发相关热问题。所以设计性能优异的3D IC时，TSV的热管理问题是重点之一。TSV热管理面临双重挑战[20]：一是TSV技术通过硅材料贯穿芯片，限制原芯片的导热路径，此时热量会堆集在层间，造成局部过热；二是TSV的布局密度会直接影响热传导的效率，不同层的热传导效率不同会导致区域温差过大，进而影响芯片的整体性能和可靠性。同时不均匀的热分布还可能导致材料热失效，甚至造成芯片永久性损坏。

近年来，研究人员提出了多种方法用于解决TSV的热问题。其中最为常用的解决方法过程是先采用热堆叠模拟、有限元分析等技术对3D IC进行热建模，再在此基础上给出TSV的热管理方案。因此本章将着重介绍有关3D IC热建模及TSV热管理方案方向的研究。

2.1 传统3D IC热建模的应用

目前，学术界对3D IC的热建模研究已有一套较为丰富的理论体系，相关的研究从基础理论到工程应用都有涉及，而这其中紧凑型热建模是一项较为可行的热建模工作。Sridhar等人[22]在早期提出了一种紧凑的瞬态热模型，名为3D-ICE。该模型主要是对采用层间微流冷却的3D IC进行快速模拟。通过使用该模型，研究人员可以准确地预测在进行动态热管理时芯片的温度变化趋势，以更好地对后续TSV的热管理方案做出更好的优化。同时该模型还能在保证仿真精度的同时，显著提高仿真速度(高达975倍)。

除此之外，在热建模过程中，准确获取热特性参数对构建高精度热分析模型非常关键。罗山焱等人[23]使用了等效热路的方法，对整体3D IC结构进行了热建模和分析，得到了TSV条件下有源层的热特性。结果表明，TSV器件可以通过改变截面和材料等不同参数实现研究者期望的散热效果。Oukaira等人[24]则在热阻网络建模时，引入了“虚拟TSV”这一概念，虚拟TSV在热建模过程中仅用于增强热传导路径，可不承担电信号的传输。该模型还可通过修改虚拟TSV热阻、功耗分布、布局等关键变量，为设计者提供可调控的热分析平台。研究使用有限元仿真验证模型的误差范围在5.6%以内，有较好的准确性。

2.2 基于神经网络的3D IC热建模

随着芯片的整体结构趋于复杂化，研究人员使用传统的方法对芯片进行热建模的难度增大。基于不同算法的3D IC热建模方法具有强大的非线性建

模能力，可以在较短时间内完成对复杂3D IC的热建模，故已成为目前解决复杂3D IC热管理问题的重要手段。Liu等人[25]开发了一种名为“DeepOHeat”的创新框架。该框架结合算子学习和物理信息神经网络，使计算机可以快速完成从多个偏微分方程到温度场函数映射的学习。该框架还支持非参数化的热源配置，使其在面对复杂多样的3D IC设计时依然能够实现高效、高精度的温度预测。Kumar等人[26]则提出了一种基于机器学习的快速瞬态热仿真方法，该方法可以实现大规模2.5D/3D IC设计的精细化热分析。研究中主要使用了ML模型预测在不同热源配置下各层的热衰减曲面，使得该方法可以在保持高精度的同时，将计算时间缩短至分钟级。该方法还支持多芯片堆叠的场景，为后续有关TSV的动态热管理提供了实用工具。

总之，在热建模方法的选择过程中，需要综合考虑建模技术所能达到的精度水平、计算所需要的时间以及完成建模所需要的计算资源。这些要素都会影响最终建模方案的确定。

2.3 基于布局与材料优化的TSV热管理方案

3D IC面临的热相关问题已成为制约芯片性能提升的关键因素，热问题应在3D IC的设计初期充分考虑并给出相应的热管理策略，否则在制造完成后会造成如性能下降、电压降问题加剧以及封装失效等不良的后果[27]。在热建模研究中，已有研究人员初步发现TSV具有一定的散热功效。故研究人员在热管理方案研究上，探讨了TSV的散热功能。Wang等人[28]提出了一种由热再分布层(Thermal Redistribution Layer, TRDL)和热硅通孔(Thermal TSV, TTSV)组成的冷却系统。其中引入了TTSV，不同于普通的TSV，其主要功能为提供垂直热通道，以达到散热的目标。通过优化TSV/TTSV的布局，既能提升散热效果，又能优化电路的整体性能。同时，研究中TRDL的金属网格结构能够显著增强层内热传导效率，进而降低热点区域的温度，改善温度均匀性。结果表明，使用了冷却系统的电路最高温度可以降低4.43 °C，整体平面温度分布从集中变均匀，说明该方案可以有效提升芯片热可靠性。

最新的研究还表明使用新型材料代替传统金属作为TSV的填充材料也有助于提高3D IC的热性能。Xu等人[29]提出了一种基于TSV的3D IC数值近似模型，研究了使用不同填充材料(包括单壁碳纳米管、多壁碳纳米管、石墨烯纳米带和铜)的散热性能，热传输过程中还考虑了横向传热。结果表明，以单壁碳纳米管作为填充材料的TSV的热性能明显优于其他填充材料。除此之外，随着科学技术的快速发展，利用深度学习来对TSV布局进行优化从而实现热管理的方法也被使用。Wang等人[30]基于等效热导率模型和粒子群优化算法，开发了一种用于三维集成系统热管理的高效TSV阵列设计方法。科研人员对算法施加不同的热约束集(峰值温度、平均温度、顶部温差和底部温差)，利用该方法确定了TSV阵列的参数，然后通过有限元仿真证明了开发方法的可行性和有效性。

2.4 TSV热应力问题

在3D IC的垂直堆叠中，由于不同材料之间的热膨胀系数失配，以及TSV与周围硅衬底、介电层和金属互连之间的热导率差异，在器件工作过程中会导致材料内部产生显著的温度梯度。这种非均匀温度场会导致局部热膨胀不均，从而在TSV附近形成复杂的应力集中现象。这种热机械应力可能引发界面分层、铜扩散和裂纹萌生，最终导致TSV结构的性能退化甚至失效，从而严重影响器件的可靠性。因此，科研工作者对热应力进行了深入研究并提出了许多方法缓解热应力问题。

Liang等人[31]采用有限元分析法研究了硅各向异性在热循环载荷下对堆叠三维封装芯片中硅通孔结构热应力的影响。除此之外，Liao等人[32]使用正交实验研究了TSV的直径、高度、间距和填充材料对模型整体热应力的影响，并在此基础上使用浅沟槽隔离技术(STI)对热效应进行改善。最新的研究还探索了金属间化合物接头大小、芯片厚度、芯片尺寸和负载温度对热应力的影响，结果表明温度载荷对3D封装的影响最大，IMC接头的直径排在第二位[33]。

针对TSV热应力的影响，Kino等人[34]提出了一种负热膨胀系数(Negative Coefficient of Thermal Expansion, NCTE)材料，利用该材料可以有效降低3D IC中TSV的热应力，其中加入了该材料的TSV结构，如图3所示。通过使用具有NCTE

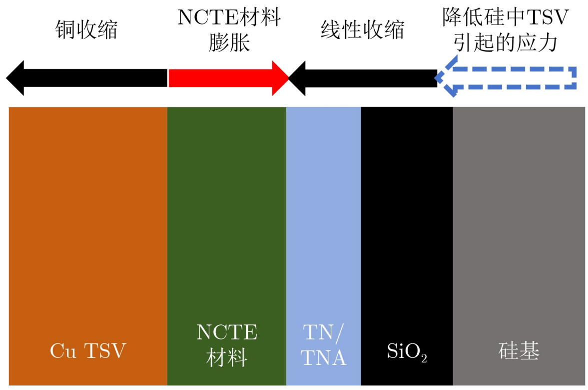


图 3 具有NCTE材料的TSV结构示意图[34]

特性的氮化锰(MnN)作为TSV衬底材料，TSV的热应力得以抑制，从而改善整体3D IC的性能。其中，MnN具有与常规阻挡层类似的电阻率，故其还可运用于TSV电迁移控制、电阻封装等设计之中。研究结果表明：与传统结构相比，当温度从400 °C降至23 °C时，NCTE特性材料能使硅衬底表面最大热应力降低60%。

2.5 基于微流冷却的混合冷却TSV热管理方案

TSV的热管理方案，除了改变TSV本身的布局结构和材料特性，还可以通过外部干预的方案进行冷却，其中微流冷却是一种重要的外在散热机制。其主要是在芯片内部或表面上设计多个微米级流体通道，并在该通道内通入冷却液，利用冷却液的对流来高效移除芯片堆积的热量。最近，有研究人员提出了混合式散热方案，即同时使用TTSV与微流冷却进行散热。相较于单一散热机制，该方案展现出更好的性能优势。Shi等人[35]提出了将微通道液体作为散热剂，TTSV作为热传导路径的混合3D IC冷却方案。该方案比起仅使用TTSV的热管理方案，获得了更好的冷却效果，同时整体芯片的消耗功率也减少了56%。Wang等人[36]则提出了一种融合TSV结构的微流冷却3D IC的建模方法。该方法将混合冷却方案的3D IC结构中每一层的热传导网络抽象为“热源→硅→微通道→环境”的节点网络，结合多种热因素完成了多物理场的建模。仿真结果表明，相比于单一散热，混合散热温度明显降低，并且由于TTSV的影响，最大降温率可达10.75%。该研究在热电结构协同设计方面提供了一个新颖的研究框架。

TSV散热乃至3D IC整体电路散热的优化选择是一个多目标决策过程，需要综合考虑多种因素，如芯片架构的复杂程度、动态功耗分布、器件可靠性以及散热成本等。未来有关热管理的研究将会更为注重材料-结构-系统的一体化，并为高性能3D IC的实用化提供坚实支撑。

2.6 方案对比与适用场景小结

本章2.1节和2.2节主要讲述了3D IC热建模方面内容，而2.3～2.5节讨论了多种不同的TSV热管理方案。为了更加直观地对比不同TSV散热方案的性能优劣与适用范围，本节综合比较了前面讨论的方案，如表1所示。

3 功耗控制与电源完整性

功耗控制和电源完整性是影响系统性能、可靠性和使用寿命的两个关键因素。功耗控制旨在优化整体功耗和降低热损耗，电源完整性则侧重于在高负载条件下供电网络的稳定性与噪声抑制能力。在采用TSV作为垂直供电路径的堆叠结构中，TSV有限的金属截面积使得其在高频工作状态下易产生电源电压降、电子迁移(Electron Migration, EM)、局部过热及电压波动等问题。

为解决这些问题，研究人员提出了各种优化策略，如TSV布局优化、PDN网络建模、分布式去耦电容器设计以及背面供电技术等。同时还引入动态电压频率调整(Dynamic Voltage and Frequency Scaling, DVFS)等方法，以进一步提升系统的能效和可靠性。

3.1 电源TSV布设策略与PDN优化方法

为缓解TSV引发的电源完整性问题，研究人员从结构层面提出了多种供电路径优化方案。其中，TSV布局优化以及重分布层(ReDistribution Layer, RDL)设计颇为关键。针对TSV布设策略，有研究对混合内存立方体(Hybrid Memory Cube, HMC)架构中聚簇式TSV布线压降集中的问题，提出了分布式PDN结构[13]。该方案将供电TSV分布在每个子阵列附近，可在不增加TSV数量的情况下显著缩短供电路径，降低等效电阻和电源电压降，并在电迁移老化过程中维持更高的供电能力与访问性能。

在另一项研究中，Xu与Friedman[37]提出了一种基于网格结构的RDL设计，依靠在RDL层构建

表 1 不同TSV散热方案的性能优劣与适用范围

方案名称	参考文献	主要优势	主要劣势	适用场景
热再分布和热硅通孔组成的冷却系统	[28]	可以实现高效散热，工艺兼容性强	垂直散热依赖TTSV密度，横向散热受TRDL影响，热耦合效应未完全解决	移动设备与物联网芯片、射频与光电集成
碳材料基TSV	[29]	具有超高导热系数，能显著提升垂直散热效率，降低芯片温度，在高频与高温环境下更稳定	材料制备与集成难度大，成本高。界面热阻可能削弱整体散热效果	高性能计算与AI芯片、航空航天与汽车电子
调整TSV参数	[31] [32] [33]	降低TSV周围热应力，减少热耦合，节省芯片面积，系统性解决热问题	增加制造复杂性，提高成本，需进一步考虑电性能与热性能的权衡	高功耗3D IC、对热应力敏感的器件
具有NCTE材料的TSV结构	[34]	具有高效应力补偿，减小禁布区，提高芯片集成密度，不影响导热性能	电阻率较高，仅在特定温度范围内有效，且材料制备困难，成本较高	高频通信与射频器件、高密度存储器
TTSV与微流冷却混合散热	[35] [36]	TSV改善纵向导热，微通道强化横向散热，实现高效散热	增加功耗和复杂度，制造成本高，具有流体泄漏风险	高性能计算芯片、功耗分布不均的芯片

金属网格连接多个P/G TSV和电源节点，有效抑制了传统点对点RDL的电压降，减轻了系统的面积限制。图4对比展示了两种RDL结构：前者以单线连接为主，该结构很容易形成热点和压降集中；后者凭借构建多路径供电网络结构，有效分摊了电流负载，降低了电源电压降。该结构特别适用于TSV数量受限或者分布不均的系统，可以显著提升PDN结构的稳健性和功耗控制能力。

3.2 去耦电容(DECAP)与电源调控结构

TSV存在寄生电感与电阻，瞬态电流变化很容易引发较大的电源尖峰噪声，这会在一定程度上影响供电稳定性以及系统可靠性。为有效缓解这一问题，Huang等人[38]提出一种分层主动电压调控机制。其上层由全局电压调节模块(Voltage Regulation Module, VRM)与中介层主动去耦电容(Decoupling Capacitor, DECAP)模块构成，下层则是各die内的分布式全集成电压稳压器(Fully-Integrated Voltage Regulator, FIVR)的局部稳压系统。上下层协同实现了电源噪声控制与多电压域支持。通过在全局电压网络和局部电压网络之间设置FIVR，可达成供电网络的有效解耦。同时，引入主动开关式去耦电容阵列进行动态电压补偿，有效抑制了衬底与TSV耦合引起的电源噪声。该方案最高可抑制71.1%的电源网络噪声，而功耗开销仅为1.11%，适用于异构SoC系统、异构堆叠存算一体架构等新型封装方案。

3.3 背面供电在移动SoC中的应用

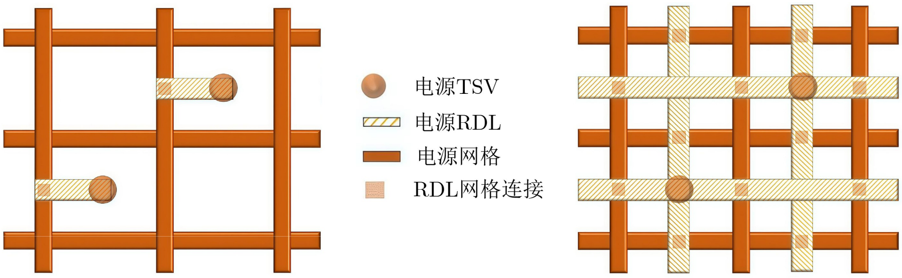
随着AI加速以及移动SoC对高计算密度、低功耗与高带宽供电需求的同步增长，顶层金属层引入电源的传统方式显现出一系列结构性瓶颈，如供电金属层占用信号布线资源、TSV出现拥塞以及电源路径延长等情况。为解决这些问题，研究人员选择使用纳米级TSV(nTSV)构成背面供电网络(Backside Power Delivery Network, BPDN)，成功将电源引入芯片背部。背面供电有3种实施方案，按电源网络与器件层的耦合从浅到深分别为带电源轨的BPDN方案、电源过孔型方案和直接连接方案。带电源轨的BPDN方案指仅在衬底背面布设粗金属轨并以少量nTSV接入前端金属网，电源过孔型方案指通过密集nTSV 将背面供电网格直接连至接触层，直接连接方案则是在超薄硅片上以背面源/漏直接接触孔实现最短供电路径。其中带电源轨的BPDN方案的典型案例是Arm平台在5 nm级设计中引入埋置式电源轨与背面电源网格[39]，该研究显著降低了多核系统的电源电压降和功率密度瓶颈。关于电源过孔型方案，业内厂商Intel提出了一种背面供电过孔(Power Via)的反面供电结构[40]，其在高性能CPU上实现了无须顶层供电金属的完整供电网络，有效地缩短了路径，减小了电源电压降，改善了信号布线密度。直接连接方案的典型案例有Radosavljević等人[41]提出的60 nm间距堆叠CMOS反相器，它通过Power Via配合背面源/漏直接接触(BSCON)把VDD与VSS从芯片背面直接送入有源区，进一步压缩供电阻抗并验证了对IR-drop与电感压降噪声的显著抑制。

基于以上背景，Zhu等人[42]利用28 nm与16 nm节点的Cortex-A53多核平台，构建并且对比了采用微凸点与混合键合堆叠方式的3D供电网络。同时提出了一种针对混合键合堆叠结构的PDN建模方法。实验证明，采用1 μm混合键合的3D IC在相同的PDN资源条件下，可将最大电源电压降降低17 mV，系统运行频率提升76%。同时文章指出，在传统堆叠中TSV无法穿越区域供电，故设计合理的TSV布局和界面金属层优化对于提升供电完整性尤为关键。随着背面供电技术和nTSV制造工艺的不断进步，移动SoC和AI加速芯片将会向更低功耗与更高集成密度的方向发展。

3.4 多层堆叠下的功耗建模与动态调控方法

3D IC系统中存在多个电压域与异构计算模块，传统静态电压配置已难以适应其功耗波动与热分布变化，功耗建模和TSV资源分配策略会变得日益复杂。此时引入结构感知、运行时可调的动态管理机制能有效进行功耗控制。

DVFS机制是当前主流的运行时功耗控制策略



(a) 单线连接　　(b) 多路径供电

图 4 RDL结构[37]

之一。Haj-Yahya等人[43]提出了SysScale框架，于移动处理器里基于多电压域划分引入了独立DVFS调控机制，结合性能预测与硬件计数器，动态调节电压和频率，达成在负载变化时的功耗与性能的协同优化。实验显示在SPEC与图像处理任务中不仅可以保持性能稳定性，而且最高节能可达36.8%。Maioli等人[44]提出了一种适用于能量受限系统的DVFS方案，借助能量感知调控片上电源与时钟系统，实现了3.75倍能效提升以及12倍执行加速。其“按需供电”的策略对3D堆叠中冷启动模块或低活跃子系统的功耗管理具有一定启发意义。

在多芯粒多层堆叠结构中，系统的功耗分布和供电完整性一直属于核心问题。对于合理分配TSV、封装过孔(PKG via)、球栅阵列(Ball Grid Array, BGA)等关键垂直互连资源，研究人员提出了一系列的解决方案。Kim等人[45]提出了一种基于遗传算法的电源完整性优化方法，系统地模拟多电源域环境下TSV, PKG via, BGA及板级过孔的数量分配，通过构建不同垂直互连资源和电源电压降之间的等效电阻模型，遗传算法可以在较大规模的求解空间中搜索满足功耗约束的最优组合，从而提升3D-IC供电的稳定性。这项工作为DVFS和供电路径结构的联合优化提供了方法支持，为解决背面供电结构中由于TSV资源稀缺导致的路径问题提供了良好的解决办法。

3.5 方案对比与适用场景小结

3.1节至3.3节主要讲述了几种物理改进的方案，3.4节则从算法、建模角度展开。为了更加直观地对比不同硬件方案的优劣势与适用范围，本节综合比较了3.1节至3.3节讨论的方案，如表2所示。

表2展示的方案中可以分为两种：传统正面PDN优化与背面供电。传统正面PDN优化有分布式供电TSV布局、网格化RDL以及主动去耦-FIVR分层稳压，这些方案有较成熟的工艺基础，且相较于背面供电方案成本可控，缺点是对IR-drop和布线拥塞的改善幅度有限。背面供电的3种方案在背面引入电源的深度依次加大：埋置式电源轨方案只需在硅片背面加宽金属轨并用少量nTSV接入顶层金属，前端工艺几乎无须改动，故常被视为背面供电走向量产的首选切入方案；过孔方案可在路径缩短与制程复杂度间取得平衡，但是需要晶圆减薄、背面对准及密集nTSV电镀等新工艺，良率和成本压力高于电源轨方案，目前主要处于5 nm及以下节点的试产阶段；直接接触方案供电阻抗最低，但对硅片减薄和对准精度要求极高，当前仍处于实验阶段。

4 信号完整性与高带宽互连设计

近年来3D集成电路封装逐渐向高密度和高速互连方向发展。TSV为垂直互连的核心器件，所面临的信号完整性(Signal Integrity, SI)问题不容忽视。相较于传统2D IC的短距离互连，TSV垂直结构与寄生特性在GHz频段下会出现传输延迟、信号反射和电磁串扰等问题，影响系统通信质量与稳定。

TSV通常为直径2～10 μm、高度10～50 μm的铜填充硅通孔，等效电路可简化为寄生电阻与衬底电容构成的RC延迟网络。在高频条件下，趋肤效应引发的导体表面电流聚集现象会造成信号幅度衰减与波形失真。高密度TSV阵列中电磁耦合易引发串扰，造成眼图闭合与误码率增加[46]。此外，TSV连接接口处的阻抗不连续易引起信号反射，高频信号穿透硅衬底时产生的介质损耗将使传输质量进一步恶化[47]。

为解决以上技术问题，当前研究主要从TSV结构优化、电磁屏蔽设计、电路补偿以及新3D互连方式几个角度展开，为保障高速三维互连系统的可靠性提供了关键技术支撑。

4.1 TSV结构与布局优化

TSV的结构布局直接影响着电磁耦合程度。传

表 2 功耗控制与电源完整性硬件解决方案

方案名称	参考文献	主要优势	主要劣势	适用场景
分布式PDNTSV布局	[13]	可显著降低供电路径阻抗，减少电源压降，延长器件寿命并提升能效	Bank平面面积增加约30%，布线与时序收敛复杂度提高	高带宽 3D-DRAM、HMC
基于网格结构的RDL 设计	[37]	网格结构RDL可提升电流承载能力，在TSV数量相同条件下降低IR-drop	需新增网格金属，工艺成本和布线阻塞增加	TSV数量受限或分布不均的高电流异构3D-SoC/2.5D 封装
主动去耦 +FIVR分层稳压	[38]	抑制71.1%衬底与 TSV 耦合引起的电源噪声且功耗开销仅1.11%	片上面积占用大；设计复杂	多层异构 TSV3D-IC和其他高电流、多电压域的 3DSoC
埋置式电源轨-BPDN	[39]	降低IR-drop，释放前端布线资源，改善功率密度	需背面深刻蚀与绝缘处理，热-机械失配待优化	高并行移动SoC、AINPU
背供过孔-BPDN	[40]	去掉顶层粗电源金属，缩短供电路径，兼顾工艺微缩与性能	晶圆减薄与密集nTSV良率挑战大，背面测试链尚不成熟	高性能CPU/GPU、数据中心加速器
直接背面接触	[41]	供电阻抗较另两种背面供电方案最小，抑制IR-drop与瞬态噪声，潜在性能最佳	需求极薄硅片与亚纳米级对准，工艺窗口窄，仅实验验证	超高频数字IP

统TSV以网格矩阵布置，信号TSV间距较小而易形成强耦合通道，在并行高速信号系统中会产生较强的近端串扰与远端串扰。差分TSV则可以将一对信号以相反相位进行传输，产生的耦合噪声在接收端处因极性相反互相抵消，从而抑制外界干扰。Liu等人[48]提出了一种差异化TSV结构，如图5(a)所示，该结构将一根粗TSV分为4个细TSV，在保持焊盘面积不变的情况下用4根约2 μm 直径的细TSV替代1根10 μm粗TSV。该结构能使峰值热应力下降约22%，KOZ半径缩小8 μm，同时在1～40 GHz频段提高串扰抑制约15 dB，在几乎不影响信号完整性前提下实现了热电双重改进。基于这种结构基础，Liu等人[46]进一步提出了一种八边形TSV阵列结构，如图5(b)所示，八边形阵列在外圈设置了4个接地TSV形成环状屏蔽，在中心设置信号TSV，从而能够在相同面积下实现更低的串扰与辐射。仿真结果表明，相较于常规TSV矩阵，八边形阵列结构可将串扰降低约44%。

4.2 电磁屏蔽设计与介质材料优化

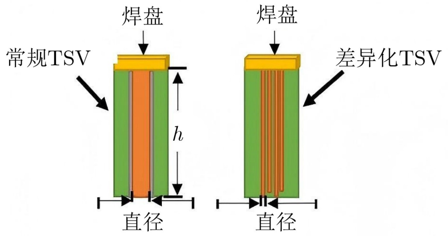
采用合理的电磁屏蔽机制和绝缘材料对于提升TSV信号完整性同样重要。同轴型TSV(Coaxial TSV)结构是较有代表性的一种：将信号铜柱包裹于金属接地环中形成同轴传输通道，从而有效控制返回电流路径，抑制电场泄漏与串扰。Zhao等人[49]提出了同轴型TSV阻抗建模方法并在1～40 GHz频段进行了仿真，证明了同轴TSV在高频条件下能有效提升阻抗连续性，抑制高频段信号传输过程中的损耗与串扰风险。该方法适用于毫米波高速互连应用。此外，插入接地TSV屏蔽墙也是一种有效的电磁屏蔽方法。通过在信号TSV之间加入多个接地TSV，形成准静电屏蔽结构。此方法可显著改善远端串扰影响，在高密度并行通道中改善信号完整性[50]。

另一方面，TSV与硅基间的介质材料会影响寄生电容与能量耗散。传统衬垫介质采用介电常数约为3.9的SiO_2，容易形成强耦合路径。为了降低耦合电容，近年来开始采用介电常数为2.5～3.0的低介电常数聚合物衬垫(如苯并环丁烯树脂(Benzocyclobutene, BCB)、聚酰亚胺等)。Chandrakar等人[51]基于等效电路模型对比分析了不同衬垫材料的耦合影响，发现使用BCB聚合物衬垫可以显著降低TSV因串扰引起的信号延迟。Tian等人[52]分析了新型低介电常数聚合物、环形空气隙绝缘结构等前沿方案在TSV应用中的效果。研究指出在高频条件下，构建局部空气隙和使用聚合物绝缘衬垫能有效降低TSV寄生电容和耦合噪声，以满足极小尺寸和超高密度堆叠需求。Oh等人[53]提出了一种基于环形空气隙绝缘的屏蔽TSV结构。通过在信号TSV外围形成超低介电常数的空气隙，可将TSV间的寄生电容降低约38.4%，串扰噪声衰减超过30 dB。该结构在20～50 GHz频段展现出低损耗和高隔离的优异特性。

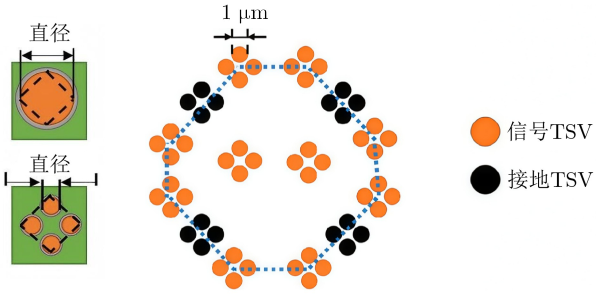
4.3 信号补偿与封装互连改良技术

除优化布局与介质材料外，在电路层面引入主动补偿机制也是改善信号完整性的有效手段。Kim等人[54]提出将无源均衡器(Passive Equalizer, PEQ)嵌入TSV通道中，构建频率响应可调的补偿结构。研究提出的两种PEQ设计如图6所示，其中电感-电阻复合结构可减少高频信号损耗，扩宽带宽，纯电阻网络结构能够降低反射信号与时间抖动。仿真结果显示，集成PEQ的TSV结构能够有效分离返回路径、降低串扰，并显著提升眼图开口与抗干扰能力，适用于下一代高带宽存储系统中多点TSV网络的SI提升。

在高电流密度条件下，高电流会对基于TSV的RDL凸块施加应力，导致封装系统中的电迁移和串扰。因此考虑RDL层的影响并选择合理的凸块形状也非常重要。Chandrakar等人[55]对比研究了圆柱形、锥型和桶型3种微凸块的性能。指出锥形微凸块设计在各种条件下都能表现出较好的性能。锥型微凸块能结合RDL优化垂直互连链路的阻抗连续性。研究发现，在10 GHz频率下该结构可将串扰延迟降低约25%、反射损耗下降10%、动态功耗下降

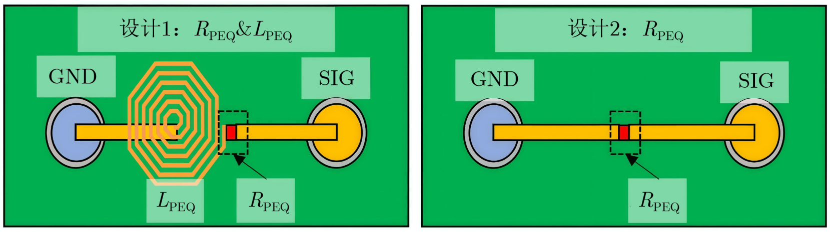


(a) 常规TSV及差异化TSV的结构对比[48]



(b) 八边形TSV结构[46]

图 5 差异化TSV结构及八边形TSV阵列示意图



(a) 采用电感-电阻复合结构 (b) 纯电阻网络

图 6 两种PEQ设计图[54]

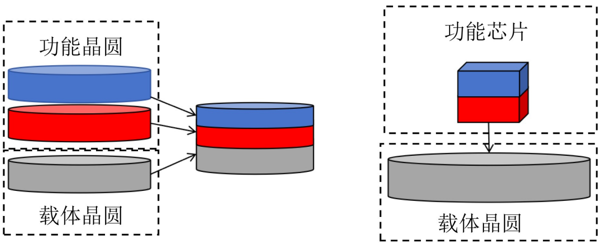
20%，为高频3D封装提供了高密度、低损耗的凸块结构优化思路。

4.4 新型3D互连技术

为进一步满足高密度、高带宽3D集成的需求，新型互连方式不断发展，无凸点混合键合(Bumpless Hybrid Bonding, BHB)便是其中代表性技术之一。如图7所示，晶圆对晶圆(Wafer on Wafer, WoW)和芯片对晶圆(Chip on Wafer, CoW)为代表的无凸点封装方式通过直接铜-铜与介质-介质接触，可在保证热和机械可靠性的同时缩短垂直互连路径，降低寄生电阻、电容并释放前端布线资源，是高性能3D封装的重要方向。

Tsai等人[56]对12层WoW堆叠的无凸点TSV结构的电气特性与可靠性进行了系统的评估，指出该结构在20 GHz以内能保持插入损耗低于2 dB，并在3.2 Gbps速率下展现出良好的眼图开口和低抖动性能，适用于HBM等高密度高速封装场景。Ohba等人[57]则提出了Bumpless Build Cube(BBCube)三维封装架构，结合WoW与CoW工艺，实现了无凸点、高密度和低寄生的异构集成封装结构。该架构通过减小TSV连接长度、提升键合面积利用率等方式，在不增加芯片面积和功耗的前提下，实现了超过2倍的带宽密度提升，在高速传输过程中展现出了更优的信号完整性与传输一致性。

最新的研究则进一步将互连间距推进至亚微米级。比利时微电子研究中心imec[58]提出了一款400 nm互连间距的BHB芯片。该芯片将逻辑电路与静态随机存取存储器进行了三维堆叠，垂直互连密度达到了每平方毫米一百万条互连(1 MI/mm^2)，为后续将互连间距进一步缩小至小于1 μm奠定了基础。



(a) WoW封装方式 (b) CoW封装方式

图 7 无凸点封装方式图

在工业界，据台积电2023年年报，台积电已经实现了系统级芯片对晶圆(SoIC-CoW)5 nm对5 nm节点逻辑堆叠的量产。同时，台积电提出系统级晶圆对晶圆(SoIC-WoW)可在7 nm逻辑层与深沟电容(Deep-Trench-Capacitor,DTC)类DRAM层融合，用于高性能计算加速器。在产线节拍与良率方面，Choi等人[59]提出了激光辅助压合键合(Laser-AssistedBondingwithCompression,LABC)。该技术可在20 μm互连间距下一次性完成大于50 万凸点与芯片的键合，单循环时间低于5 s，显著提升了芯片互连的量产效率。

5 总结与展望

作为后摩尔时代的重要技术之一，3D IC技术为整体芯片设计的发展提供了一个高密度、高性能的研究方案。3D IC设计中的关键互连工艺——硅通孔(TSV)，相比于传统的键合线，拥有更短的互连线，这意味着TSV基的3D IC将拥有更短的延迟和更高的集成度。因此本文系统性地调研了近五年来国内外在TSV研究方向上的研究进展。针对TSV的热管理问题，总结了传统热建模以及基于算法的热建模方法，同时探究了热管理方案中TSV的散热功效。针对TSV的电源完整性问题，具体分析了分布式PDN设计、去耦电容、DVFS技术以及背面供电体系对电源完整性的改善效果。最后针对TSV在高速传输中的信号完整性问题，综述了结构优化、电磁屏蔽、低介电常数方案。

尽管现有研究已在TSV多物理场建模仿真、热管理优化设计以及集成工艺等方面取得了重要进展，未来基于TSV的3D IC设计仍面临诸多挑战。后续，TSV技术的研究将可能向以下方向发展：

(1)更高精度的多物理场耦合建模：目前3D IC正朝向超大规模异质集成、高速数据传输及极限能效控制方向演进，3D IC设计对TSV的热、电和信号耦合效应提出了更高要求。这也需要EDA工具将电、热和信号多物理场协同仿真更好地集成到设计流程中。

(2)背面供电网络与nTSV的协同优化：芯片尺寸的不断缩小和堆叠层数的增加，会使得传统正面供电结构无法满足对应的供电密度。未来将需要进一步优化背面供电网络并实现nTSV与3D IC设计的兼容，以实现更高层数的堆叠和更优的能效比。

(3)新型材料与新型TSV阵列结构：应用碳纳米材料(如石墨烯、碳纳米管)作为TSV填充或衬垫材料，可以降低热膨胀失配应力，增强电迁移抗力；应用空气隙或低介电常数材料作为绝缘衬垫，可有效减小寄生电容，提升高速信号传输性能。而创新的TSV阵列设计，不仅可提升互连密度，还能增强冗余容错能力。

(4)基于人工智能的TSV调控方案：目前，TSV布局设计依赖于人工经验。未来若能引入人工智能技术完成TSV布局、电源网络分配等环节的自动化优化，能够大幅缩短设计周期，推动3D集成系统设计实现范式转变。

未来先进封装与异质集成技术会不断发展进步，TSV作为支撑垂直互连的重要基础单元，将会继续在高性能计算、人工智能、移动通信等领域发挥不可替代的作用。

参 考 文 献

[1] BOHR M. A 30 year retrospective on Dennard's MOSFET scaling paper[J]. *IEEE Solid-State Circuits Society Newsletter*, 2007, 12(1): 11–13. doi: 10.1109/N-SSC.2007.4785534.

[2] ZHANG Shuye, LI Zhenfeng, ZHOU Hongzhi, *et al.* Challenges and recent prospectives of 3D heterogeneous integration[J]. *e-Prime-Advances in Electrical Engineering, Electronics and Energy*, 2022, 2: 100052. doi: 10.1016/j.prime.2022.100052.

[3] CHEN Zhiwen, ZHANG Jiaju, WANG Shizhao, *et al.* Challenges and prospects for advanced packaging[J]. *Fundamental Research*, 2024, 4(6): 1455–1458. doi: 10.1016/j.fmre.2023.04.014.

[4] LAU J H. Evolution, challenge, and outlook of TSV, 3D IC integration and 3D silicon integration[C]. The 2011 International Symposium on Advanced Packaging Materials (APM), Xiamen, China, 2011: 462–488. doi: 10.1109/ISAPM.2011.6105753.

[5] VARTANIAN V, SMITH L, HUMMLER K, *et al.* Cost analysis of TSV process and scaling options[J]. *International Symposium on Microelectronics*, 2014, 2014(1): 1–7. doi: 10.4071/isom-TA11.

[6] KIM D H and LIM S K. Impact of through-silicon-via scaling on the wirelength distribution of current and future 3D ICs[C]. Proceedings of the 2011 IEEE International Interconnect Technology Conference, Dresden, Germany, 2011: 1–3. doi: 10.1109/IITC.2011.5940324.

[7] 郑俊平. 三维集成电路(3D IC)中硅通孔(TSV)链路的多场分析[D]. [博士论文], 西安电子科技大学, 2018.
ZHENG Junping. Multi-field analysis of Through-Silicon Via (TSV) links in 3D ICs[D]. [Ph. D. dissertation], Xidian University, 2018.

[8] SMITH M G and EMANUEL S. Methods of making thru-connections in semiconductor wafers[P]. US, 3343256A, 1967.

[9] KONDO K, KADA M, and TAKAHASHI K. Three-Dimensional Integration of Semiconductors: Processing, Materials, and Applications[M]. Cham: Springer, 2015. doi: 10.1007/978-3-319-18675-7.

[10] WANG Xiaodong, VASUDEVAN D, and LEE H H S. Global built-in self-repair for 3D memories with redundancy sharing and parallel testing[C]. 2011 IEEE International 3D Systems Integration Conference (3DIC), Osaka, Japan, 2012: 1–8. doi: 10.1109/3DIC.2012.6262967.

[11] JEDEC. JEDEC Standard JESD235 High bandwidth memory (HBM) DRAM[S]. Arlington County: JEDEC Solid State Technology Association, 2013.

[12] CHEN Dongdong, WANG Xianglong, YANG Yintang, *et al.* Intelligent codesign strategy for thermal management and cost control of 3-D integrated system with TTSV[J]. *IEEE Transactions on Electron Devices*, 2023, 70(10): 5265–5272. doi: 10.1109/TED.2023.3302825.

[13] BOSE B and THAKKAR I. Characterization and mitigation of electromigration effects in TSV-based power delivery network enabled 3D-stacked DRAMs[C]. Proceedings of the 2021 Great Lakes Symposium on VLSI, USA, 2021: 101–107. doi: 10.1145/3453688.3461503.

[14] HARB S M S and EISENSTADT W R. Impact of crosstalk on signal integrity of TSVs in 3D integrated circuits[J]. *Advances Science, Technology and Engineering Systems Journal*, 2018, 3(1): 109–114. doi: 10.25046/aj030113.

[15] CUESTA D, RISCO-MARTÍN J L, AYALA J L, *et al.* Thermal-aware floorplanner for 3D IC, including TSVs, liquid microchannels and thermal domains optimization[J]. *Applied Soft Computing*, 2015, 34: 164–177. doi: 10.1016/j.asoc.2015.04.052.

[16] ZHU Tianxiang, WANG Qipan, LIN Yibo, *et al.* MORE-Stress: Model order reduction based efficient numerical algorithm for thermal stress simulation of TSV arrays in 2.5D/3D IC[C]. 2025 Design, Automation & Test in Europe Conference (DATE), Lyon, France, 2025: 1–7. doi: 10.23919/DATE64628.2025.10993234.

[17] XIA Qianfu, ZHANG Xinrui, MA Binghe, *et al.* A state-of-the-art review of through-silicon vias: Filling materials, filling processes, performance, and integration[J]. *Advanced*

Engineering Materials, 2025, 27(1): 2401799. doi: 10.1002/adem.202401799.

[18] PATHAK M, PAK J, PAN D Z, *et al*. Electromigration modeling and full-chip reliability analysis for BEOL interconnect in TSV-based 3D ICs[C]. 2011 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), San Jose, USA, 2011: 555–562. doi: 10.1109/ICCAD.2011.6105385.

[19] KIM J, CHEKURI V C K, RAHMAN N M, *et al*. Chiplet/Interposer co-design for power delivery network optimization in heterogeneous 2.5-D ICs[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2021, 11(12): 2148–2157. doi: 10.1109/TCPMT.2021.3113664.

[20] 曹明鹏, 吴晓鹏, 管宏山, 等. 基于对偶单元法的三维集成微系统电热耦合分析[J]. 物理学报, 2021, 70(7): 074401. doi: 10.7498/aps.70.20201628.

CAO Mingpeng, WU Xiaopeng, GUAN Hongshan, *et al*. Electrothermal coupling analysis of three-dimensional integrated microsystem based on dual cell method[J]. *Acta Physica Sinica*, 2021, 70(7): 074401. doi: 10.7498/aps.70.20201628.

[21] JIAO Binbin, QIAO Jingping, JIA Shiqi, *et al*. Low stress TSV arrays for high-density interconnection[J]. *Engineering*, 2024, 38: 201–208. doi: 10.1016/j.eng.2023.11.023.

[22] SRIDHAR A, VINCENZI A, RUGGIERO M, *et al*. 3D-ICE: Fast compact transient thermal modeling for 3D ICs with inter-tier liquid cooling[C]. 2010 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), San Jose, USA, 2010: 463–470. doi: 10.1109/ICCAD.2010.5653749.

[23] 罗山焱, 徐学良, 雷生吉, 等. 3D IC的热特性分析及预测[J]. 微电子学, 2024, 54(4): 665–670. doi: 10.13911/j.cnki.1004-3365.240118.

LUO Shanyan, XU Xueliang, LEI Shengji, *et al*. Thermal characteristics analysis and estimation in 3D ICs[J]. *Microelectronics*, 2024, 54(4): 665–670. doi: 10.13911/j.cnki.1004-3365.240118.

[24] OUKAIRA A, OUMLAZ M, ZBITOU J, *et al*. Integrated thermal management strategies for 3D chip stacking with through-silicon vias (TSV)[C]. The 4th International Conference on Innovative Research in Applied Science, Engineering and Technology (IRASET), FEZ, Morocco, 2024: 1–4. doi: 10.1109/IRASET60544.2024.10548169.

[25] LIU Ziyue, LI Yixing, HU Jing, *et al*. DeepOHeat: Operator learning-based ultra-fast thermal simulation in 3D-IC design[C]. The 60th ACM/IEEE Design Automation Conference (DAC), San Francisco, USA, 2023: 1–6. doi: 10.1109/DAC56929.2023.10247998.

[26] KUMAR A, CHANG N, GEB D, *et al*. ML-based fast on-chip transient thermal simulation for heterogeneous 2.5D/3D IC designs[C]. 2022 International Symposium on VLSI Design, Automation and Test (VLSI-DAT), Hsinchu, China, 2022: 1–8. doi: 10.1109/VLSI-DAT54769.2022.9768082.

[27] KANDLIKAR S G and GANGULY A. Fundamentals of heat dissipation in 3D IC packaging and thermal-aware design[M]. LI Yan and GOYAL D. 3D Microelectronic Packaging: From Architectures to Applications. 2nd ed. Singapore: Springer, 2021: 369–395. doi: 10.1007/978-981-15-7090-2_13.

[28] WANG Fengjuan, LI Yue, YU Ningmei, *et al*. Effectiveness of thermal redistribution layer in cooling of 3D ICs[J]. *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, 2021, 34(3): e2847. doi: 10.1002/jnm.2847.

[29] XU Peng, HUANG Huan, ZHANG Bingqi, *et al*. Thermal performance analysis of carbon materials based TSV in three dimensional integrated circuits[J]. *IEEE Access*, 2023, 11: 75285–75294. doi: 10.1109/ACCESS.2023.3297222.

[30] WANG Xianglong, YANG Yintang, CHEN Dongdong, *et al*. A high-efficiency design method of TSV array for thermal management of 3-D integrated system[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2023, 42(6): 1733–1741. doi: 10.1109/TCAD.2022.3213610.

[31] LIANG Jingyang, NING Minjie, DING Chao, *et al*. The effect of silicon anisotropy on the thermal stress of TSV structure of 3D packaging chip under thermal cyclic loads[C]. The 22nd International Conference on Electronic Packaging Technology (ICEPT), Xiamen, China, 2021: 1–4. doi: 10.1109/ICEPT52650.2021.9567933.

[32] LIAO Shuaidong, HUANG Chunyue, ZHANG Huaiquan, *et al*. Thermal stress study of 3D IC based on TSV and verification of thermal dissipation of STI[C]. 2021 22nd International Conference on Electronic Packaging Technology (ICEPT), Xiamen, China, 2021: 1–5. doi: 10.1109/ICEPT52650.2021.9568038.

[33] SAZALI S B, HASSAN H B, YUSOF N, *et al*. Optimization of design parameters using Taguchi method for thermal stress analysis in a 3D IC[C]. 2024 IEEE 14th Symposium on Computer Applications & Industrial Electronics (ISCAIE), Penang, Malaysia, 2024: 1–4. doi: 10.1109/ISCAIE61308.2024.10576559.

[34] KINO H, FUKUSHIMA T, and TANAKA T. Suppression of TSV-induced stress by using negative thermal expansion material[C]. 2024 International 3D Systems Integration Conference (3DIC), Sendai, Japan, 2024: 1–3. doi:

10.1109/3DIC63395.2024.10830164.

[35] SHI Bing, SRIVASTAVA A, and BAR-COHEN A. Co-design of micro-fluidic heat sink and thermal through-silicon-vias for cooling of three-dimensional integrated circuit[J]. *IET Circuits, Devices & Systems*, 2013, 7(5): 223–231. doi: 10.1049/iet-cds.2013.0026.

[36] WANG Kangjia, SUN Hongchang, and WANG Kuizhi. A micro-channel cooling model for a three-dimensional integrated circuit considering through-silicon vias[J]. *Micro and Nanosystems*, 2021, 13(1): 49–54. doi: 10.2174/1876402912666200123154001.

[37] XU Kan and FRIEDMAN E G. Grid-based redistribution layers within 3-D power networks[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2021, 11(4): 672–682. doi: 10.1109/TCPMT.2021.3068350.

[38] HUANG P T, TSAI T H, YANG P J, *et al*. Hierarchical active voltage regulation for heterogeneous TSV 3D-ICs[C]. 2020 IEEE 33rd International System-on-Chip Conference (SOCC), Las Vegas, USA, 2020: 242–247. doi: 10.1109/SOCC49529.2020.9524797.

[39] PRASAD D, NIBHANUPUDI S S T, DAS S, *et al*. Buried power rails and back-side power grids: Arm® CPU power delivery network design beyond 5nm[C]. 2019 IEEE International Electron Devices Meeting (IEDM), San Francisco, USA, 2019: 19.1. 1–19.1. 4. doi: 10.1109/IEDM19573.2019.8993617.

[40] HAFEZ W, AGNIHOTRI P, ASORO M, *et al*. Intel PowerVia technology: Backside power delivery for high density and high-performance computing[C]. 2023 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits), Kyoto, Japan, 2023: 1–2. doi: 10.23919/VLSITechnologyandCir57934.2023.10185208.

[41] RADOSAVLJEVIć M, HUANG C Y, GALATAGE R, *et al*. Demonstration of a stacked CMOS inverter at 60nm gate pitch with power via and direct backside device contacts[C]. 2023 International Electron Devices Meeting (IEDM), San Francisco, USA, 2023: 1–4. doi: 10.1109/IEDM45741.2023.10413678.

[42] ZHU Lingjun, JO C, and LIM S K. Power delivery solutions and PPA impacts in micro-bump and hybrid-bonding 3D ICs[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2022, 12(12): 1969–1982. doi: 10.1109/TCPMT.2022.3221025.

[43] HAJ-YAHYA J, ALSER M, KIM J, *et al*. SysScale: Exploiting multi-domain dynamic voltage and frequency scaling for energy efficient mobile processors[C]. 2020 ACM/IEEE 47th Annual International Symposium on Computer Architecture (ISCA), Valencia, Spain, 2020: 227–240. doi: 10.1109/ISCA45697.2020.00029.

[44] MAIOLI A, QUINONES K A, AHMED S, *et al*. Dynamic voltage and frequency scaling for intermittent computing[J]. *ACM Transactions on Sensor Networks*, 2025, 21(2): 16. doi: 10.1145/3714470.

[45] KIM H, LEE S, PARK D, *et al*. Power integrity design of mobile 3D-IC based on the allocation of optimal number of TSV, BGA, and via[C]. 2023 IEEE Electrical Design of Advanced Packaging and Systems (EDAPS), Rose-Hill, Mauritius, 2023: 1–3. doi: 10.1109/EDAPS58880.2023.10468263.

[46] LIU Ziyu, JIANG Han, ZHU Ziyuan, *et al*. Crosstalk noise of octagonal TSV array arrangement based on different input signal[J]. *Processes*, 2022, 10(2): 260. doi: 10.3390/pr10020260.

[47] CHO K, KIM Y, LEE H, *et al*. Signal integrity design and analysis of differential high-speed serial links in silicon interposer with through-silicon via[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2019, 9(1): 107–121. doi: 10.1109/TCPMT.2018.2843442.

[48] LIU Ziyu, JIANG Han, ZHU Zhiyuan, *et al*. Thermal-mechanical and signal reliability of a new differentiated TSV[J]. *IEEE Transactions on Electron Devices*, 2022, 69(10): 5766–5772. doi: 10.1109/TED.2022.3199332.

[49] ZHAO Zhibo, LI Jinkai, YUAN Haoyun, *et al*. Electrical characterization of through-silicon-via-based coaxial line for high-frequency 3D integration (Invited Paper)[J]. *Electronics*, 2022, 11(20): 3417. doi: 10.3390/electronics11203417.

[50] ARAGA Y, WATANABE N, SHIMAMOTO H, *et al*. Analysis and evaluation of noise coupling between through-silicon-vias[J]. *IEICE Electronics Express*, 2021, 18(11): 20210139. doi: 10.1587/elex.18.20210139.

[51] CHANDRAKAR M and MAJUMDER M K. Impact of polymer liners on crosstalk induced delay of different TSV shapes[J]. *IETE Journal of Research*, 2024, 70(1): 686–699. doi: 10.1080/03772063.2022.2108915.

[52] TIAN Miao and GU Xiaokun. Alternative insulation liners for through-silicon vias: A comprehensive review[J]. *Materials Science in Semiconductor Processing*, 2023, 166: 107726. doi: 10.1016/j.mssp.2023.107726.

[53] OH S, ZHENG Ting, and BAKIR M S. Electrical characterization of shielded TSVs with airgap isolation for RF/mmWave applications[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2024, 14(2): 202–210. doi: 10.1109/TCPMT.2024.3358102.

[54] KIM H, PARK J, LEE S, *et al*. Signal integrity analysis of through-silicon-via (TSV) with passive equalizer to separate return path and mitigate the inter-symbol interference (ISI) for next generation high bandwidth memory[J]. *IEEE*

Transactions on Components, Packaging and Manufacturing Technology, 2023, 13(12): 1973–1988. doi: 10.1109/TCPMT.2023.3334789.

[55] CHANDRAKAR S, GUPTA D, and MAJUMDER M K. Impact of TSV bump and redistribution layer on crosstalk delay and power loss[J]. *Memories-Materials, Devices, Circuits and Systems*, 2023, 4: 100040. doi: 10.1016/j.memori.2023.100040.

[56] TSAI Y C, LEE C H, CHANG H C, *et al*. Electrical characteristics and reliability of wafer-on-wafer (WOW) bumpless through-silicon via[J]. *IEEE Transactions on Electron Devices*, 2021, 68(7): 3520–3525. doi: 10.1109/TED.2021.3082497.

[57] OHBA T, SAKUI K, SUGATANI S, *et al*. Review of bumpless build cube (BBCube) using wafer-on-wafer (WOW) and chip-on-wafer (COW) for tera-scale three-dimensional integration (3DI)[J]. *Electronics*, 2022, 11(2): 236. doi: 10.3390/electronics11020236.

[58] CHEW S A, DE VOS J, and BEYNE E. Wafer-to-wafer hybrid bonding at 400-nm interconnect pitch[J]. *Nature Reviews Electrical Engineering*, 2024, 1(2): 71–72. doi: 10.1038/s44287-024-00019-8.

[59] CHOI K S, JOO J, CHOI G M, *et al*. Chip-on-wafer (CoW) technology utilizing laser-assisted bonding with compression (LABC) for bump counts exceeding 500, 000 at a 20 μm pitch[C]. 2024 IEEE 74th Electronic Components and Technology Conference (ECTC), Denver, USA, 2024: 943–948. doi: 10.1109/ECTC51529.2024.00153.

张芊帆：女，博士生，研究方向为3D-IC多物理场协同优化.
何 茜：女，硕士生，研究方向为3D-IC多物理场协同优化.
田 雨：男，硕士生，研究方向为谐波平衡分析预处理器的设计.
丰光银：男，副教授，博士生导师，研究方向为毫米波收发前端芯片、高能效收发机架构、3D-IC多物理场协同优化.

责任编辑：马秀强

Review of Research Progress on TSV Technology in 3D IC Packaging

ZHANG Qianfan HE Xi TIAN Yu FENG Guangyin

(*School of Microelectronics*, *South China University of Technology*, *Guangzhou* 511442, *China*)

Abstract:

Significance Three-Dimensional Integrated Circuits (3D ICs) have emerged as a key research direction in the post-Moore era due to their advantages in low latency and high integration density. As electronic devices demand higher performance and smaller form factors, 3D ICs offer a compelling solution by vertically stacking multiple chip layers to achieve enhanced integration. A core enabler of 3D IC technology is Through-Silicon Via (TSV) technology, which facilitates high-density vertical interconnects across layers. TSVs have contributed significantly to performance improvements in 3D ICs but also pose challenges in thermal management, power integrity, and signal integrity, all of which can affect device reliability and operational stability. Addressing these challenges is essential for the continued advancement of 3D IC systems. This review outlines recent research on TSV technology, with an emphasis on thermal, electrical, and signal integrity issues, as well as current strategies for mitigating these limitations.

Progress This review systematically summarizes the progress in TSV technology, focusing on the following areas:

Thermal Management: Thermal dissipation is a critical concern in 3D ICs due to elevated power densities resulting from multilayer stacking. While TSVs improve interconnect performance, they can also introduce vertical heat flow paths that lead to localized overheating and reduced reliability. To manage this, various thermal modeling approaches—such as Finite Element Analysis (FEA) and thermal stacking simulations, have been developed to predict temperature distributions and optimize thermal performance. These models inform the layout of TSVs and guide the incorporation of Thermal TSVs (TTSVs) to enhance heat dissipation. Researchers have also explored the use of high-thermal-conductivity materials, such as carbon nanotubes and graphene, to improve thermal pathways. Optimizing TSV density and employing multi-layer thermal redistribution techniques have further advanced thermal management, contributing to better device performance and longer operational lifetimes.

Power Integrity: Power integrity is a major design constraint in 3D ICs, given the complex power delivery networks required in stacked architectures. TSVs, acting as vertical power conduits, can introduce issues such as voltage drops, electromigration, and power noise. Several approaches have been proposed to address these issues. Layout optimization—particularly through uniform TSV distribution and the integration of Backside Power Delivery Networks (BPDNs), helps reduce power delivery path lengths and mitigate voltage loss. Dynamic Voltage and Frequency Scaling (DVFS) is also employed to adapt power usage under varying workloads, particularly in high-performance computing environments. Additional methods include the use of Decoupling Capacitors (DECAPs) and Fully Integrated Voltage Regulators (FIVRs), which help suppress power noise and maintain stability across multiple voltage domains.

Signal Integrity: TSV-based interconnects must maintain signal integrity at increasingly high frequencies, but parasitic inductance and capacitance inherent to TSVs can degrade signal quality through reflection, crosstalk, and delay mismatch. These effects become especially pronounced in high-density, high-speed interconnect architectures. To address this, electromagnetic shielding—using grounded TSVs and metallic isolation structures, has been shown to reduce crosstalk and enhance signal fidelity. The use of low-dielectric constant (low-ε) materials further minimizes parasitic capacitance and improves signal propagation speed. Differential TSV designs and advanced interconnect architectures have also been proposed to reduce interference and enhance signal integrity. These improvements are essential for achieving reliable high-speed data transmission in storage and processing applications.

Conclusions While TSV technology has advanced substantially in addressing the thermal, power, and signal integrity challenges of 3D ICs, several limitations persist. These include scalability constraints, power delivery reliability under high-density integration, and diminished signal transmission quality at high frequencies. These challenges highlight the need for continued innovation in TSV design and integration to meet the demands of next-generation 3D IC systems. Several promising research directions are emerging. First, there is a growing need for higher-precision multiphysics coupling models. As 3D ICs progress toward large-scale heterogeneous integration, high-speed data communication, and extreme energy efficiency, more accurate modeling of the thermal, electrical, and signal interactions associated with TSVs is required. This calls for enhanced integration of multiphysics simulations into the Electronic Design Automation (EDA) workflow to enable co-simulation across electrical, thermal, and signal domains. Second, co-optimization of BPDNs and nano-TSVs (nTSVs) is becoming increasingly important. As chip dimensions decrease and stacking complexity grows, traditional front-side power delivery approaches no longer meet the required power densities. Improved BPDN strategies, in conjunction with nTSV integration, will support higher stacking capability and improved energy efficiency. Third, the exploration of new materials and TSV array structures offers additional opportunities. Carbon-based nanomaterials, used as TSV fillers or liners, can alleviate thermal expansion mismatch and improve resistance to electromigration. Incorporating air gaps or low-ε dielectrics as insulating liners can reduce parasitic capacitance and enhance high-speed signal performance. Meanwhile, novel TSV array architectures can increase interconnect density and improve redundancy and fault tolerance. Finally, the adoption of AI-driven TSV optimization holds considerable promise. TSV layout design currently depends heavily on manual heuristics. The application of artificial intelligence to automate TSV placement and power network distribution can significantly reduce design time and accelerate the transition toward more intelligent 3D integration design paradigms.

Key words: Three-Dimensional Integrated Circuit (3D IC); Through-Silicon Via (TSV); Thermal management; Power integrity; Signal integrity