# MOS管选通的硅通孔键合前测试

窦贤锐*① 梁华国① 黄正峰① 鲁迎春① 陈 田② 刘 军②
①(合肥工业大学微电子学院 合肥 230601)
②(合肥工业大学计算机与信息学院(人工智能学院) 合肥 230601)

**摘 要**：在集成芯片的制造过程中，硅通孔(TSV)中可能会出现许多缺陷，这些缺陷会影响通过硅通孔信号的完整性，因此在早期生产阶段检测这些缺陷至关重要。现有的测试方法存在测试面积和时间开销大、测试精度低的问题。该文选择N型金属氧化物半导体场效应管(NMOS)和P型金属氧化物半导体场效应管(PMOS)作为选通门，以减小共享测试的面积开销；采用两级电压比较器放大测试TSV和参考电容的电压差，可以检测大于等于50 Ω的电阻性开路缺陷和小于等于9 MΩ的泄漏缺陷。 与其他方案对比，该方案具有电阻性开路缺陷检测精度高、最小的测试面积和时间开销的优点。

**关键词**：集成芯片；硅通孔；键合前测试；比较器
**中图分类号**：TN407 **文献标识码**：A **文章编号**：1009-5896(2025)09-3286-06
**DOI**: 10.11999/JEIT250285 **CSTR**: 32379.14.JEIT250285

## 1 引言

最近，由于物理限制，通过微缩增加半导体芯片密度几乎达到了极限[1]。集成芯片技术正在成为产业界解决后摩尔时代高性能、低成本芯片需求的重要技术路线。集成芯片技术利用先进封装将多个芯粒集合构成一个系统级的芯片，具有提高互连带宽、更好的电气性能和异构集成等优势[2,3]。

在先进封装领域，硅通孔(Through Silicon Via, TSV)代表重要的垂直金属通孔，可促进芯片不同层之间的互连[4,5]。TSV作为3D封装不可或缺的工艺技术，对其进行测试以保证互连的有效性和可控性。然而，由于制造工艺固有的缺陷，TSV很容易出现各种缺陷，包括TSV填充物材料中的空隙和裂纹以及氧化物绝缘层中的针孔。这些缺陷不会直接影响TSV功能，而是在电特性以及热和机械可靠性方面降低TSV通道的性能[6,7]。同时，它们的发生导致TSV信号的传播衰减甚至发生巨大变化[8]。

传统的晶圆探针很难应用于测试TSV，因为探针在测试过程中可能会损坏TSV，而且TSV过于密集，探针无法进行测试。因此，使用内建自测试(Built-In Self-Test, BIST)的方法是首选。BIST方法可以分为定量测试和定性测试。

关于定量测试，文献[9]设计了一个弱电流源作为测试结构的中心部分，该弱电流源可以测量TSV的放电速度并使用数字码对其进行量化，进而识别开路故障和泄漏缺陷(200 MΩ)。由于开路故障和泄漏缺陷同时导致放电时间缩短，无法有效识别故障类别。Liu等人[10]运用充电时间和放电时间两个维度，有效区分不同的故障类别，且将泄漏缺陷检测精度提高到250 MΩ。然而该方法无法有效识别电阻性开路缺陷。文献[11]提出一种对TSV电阻-电容网络充电并计数所需的电压脉冲数量的TSV测试方法，用于检测电阻性开路缺陷和泄漏缺陷。Yi等人[12]发现泄漏缺陷和电阻性开路缺陷对输入脉冲的上升和下降时间有不同的影响，进而通过两组数据区分电阻开路缺陷和泄漏缺陷。该方法一定程度上可以量化缺陷大小，但是因驱动电路选择的局限性，导致泄漏缺陷的检测范围不到1 MΩ，无法检测弱泄漏缺陷。Liu等人[13]设计了一种涉及弱电流源的测试策略，利用TSV的充电信号和冗余电容器之间的相位差异以充电预定的负载电容器。通过统计充电时间的变化，该方案能够辨别出TSV中是否存在大于0.4 kΩ的电阻性开路缺陷或泄漏缺陷(20 MΩ)。然而该方案需要两个测试电压用以区分泄漏缺陷和电阻性开路缺陷，增加了测试的复杂性。虽然这些定量测试方法在固定工艺、电压和温度(Processes, Voltages, Temperatures, PVT)下缺陷与响应存在一定对应关系，然而受限于PVT变

收稿日期：2025-04-17；改回日期：2025-07-28；网络出版：2025-08-04
*通信作者： 窦贤锐 dxr@hfut.edu.cn
基金项目：国家自然科学基金(62027815, 62174048, 62274052)，安徽省研究生教育教学改革研究重点项目(2022jyjxggyj053)，教育部产学研合作协同育人项目(220802455302758)
Foundation Items: The National Natural Science Foundation of China (62027815, 62174048, 62274052), The Key Project of Teaching Reform Research for Postgraduate Education in Anhui Province (2022jyjxggyj053), The Ministry of Education, Industry-University-Research Co-Operation Collaborative Education Project (220802455302758)

化，难以根据测试响应判别缺陷大小。基于充放电法，Wang等人[14]虽然能够根据测试响应计算出泄漏缺陷(10～100 MΩ)，且误差较小，但该方法在检测电阻性开路缺陷时仍然存在局限性。

基于定性测试方法，Chang等人[15]提出基于开尔文桥的弱故障检测方法，文章指出可以测试出1.5 Ω的电阻性开路缺陷，然而该文1.5～50 Ω的测试响应变化不到5 mV，难以检测。且该文若考虑TSV选通结构，测试精度将会变差。Liu等人[16]提出一种对称桥结构，该方法通过比较器的输出可以判别TSV是否发生故障及类型，具有电阻性开路缺陷检测精度高的优点。但是该文未指出开关对测试电路的影响，且工艺偏差产生时，参考电容的变化与TSV电容变化不具有一致性，会造成产量损失和测试逃逸。

为了应对上述挑战，本文提出一种MOS管选通的TSV键合前测试方法。通过对称的结构，使得参考电容与TSV具有一致的变化，以抵抗工艺变化引起的偏差。在充电过程中，使用比较器放大参考电容和测试TSV的电压差，以检测TSV是否发生缺陷。与现有方法对比，本文具有低面积和时间开销、高电阻性开路缺陷检测精度的优点。

## 2　相关工作

### 2.1　TSV电气模型

本文采用类似文献[16]的简单电气模型，以便确保公平比较。使用以下符号来表示图1给出的参数。

$C_{\mathrm{TSV}}$：TSV 的集总参数电容，其实际值取决于TSV直径和高度，以及隔离层的介电性能。对于无故障的 TSV，$C_{\mathrm{TSV}}$ 的值范围为几十fF到几百fF，以下所有仿真均设置为60 fF。

$C_{\mathrm{TSVU}}$, $C_{\mathrm{TSVD}}$：二者相加等于$C_{\mathrm{TSV}}$，当TSV发生电阻性开路缺陷时，TSV电容被分开成两个并联的电容，二者的值取决于开路电阻的位置。

$R_{\mathrm{open}}$：TSV发生电阻性开路缺陷时的等效电阻值。开路缺陷越严重，对应的电阻值越大。无故障时，该值等效为0。对于开路故障，该值等效为无穷大。

$R_{\mathrm{leak}}$：由于针孔缺陷导致TSV与硅衬底直接连通的等效泄漏电阻值。泄漏缺陷越严重，对应的泄漏电阻值越小。

### 2.2　比较器

比较器的子电路图如图2(a)所示，其主要功能是比较两个输入VN和VP的电压大小。理想情况下，若输入电压VP>VN，则输出端口VOUT是高电平，否则，VOUT是低电平。比较器输出电压与输入电压差值(VP–VN)的关系如图2(b)所示，当比较器的差值较小时，输出不完全是高电平或者低电平，而是处于中间电平，图中横线上的值为比较器的差值。

## 3　MOS管选通的TSV测试方法

所提TSV键合前测试方案如图3所示。测试电路主要由3个小模块构成，分别是测试模块，压差放大模块和输出模块。

### 3.1　测试模块

测试的输入控制信号是Test Start信号，上升沿时测试，下降沿后对电路放电重置。文献[12,13,16]中均表明，缺陷在充电时的差别大于放电，且泄漏缺陷和电阻性开路缺陷在充电时具备不同的响应。因此，本方案仅使用上升沿测试TSV充电时的响应。

选通开关的驱动端是NMOS管，接收端是PMOS管。选用NMOS管的原因是由于NMOS管具有强0弱1的特性，因此重置信号时参考电容放电较快且彻底。PMOS作为接收端，因其强1弱0的特性，能

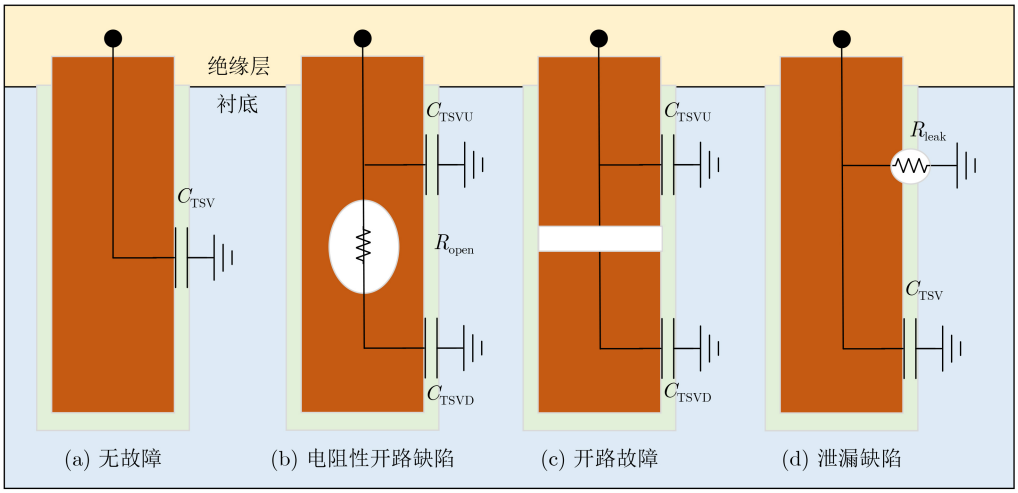
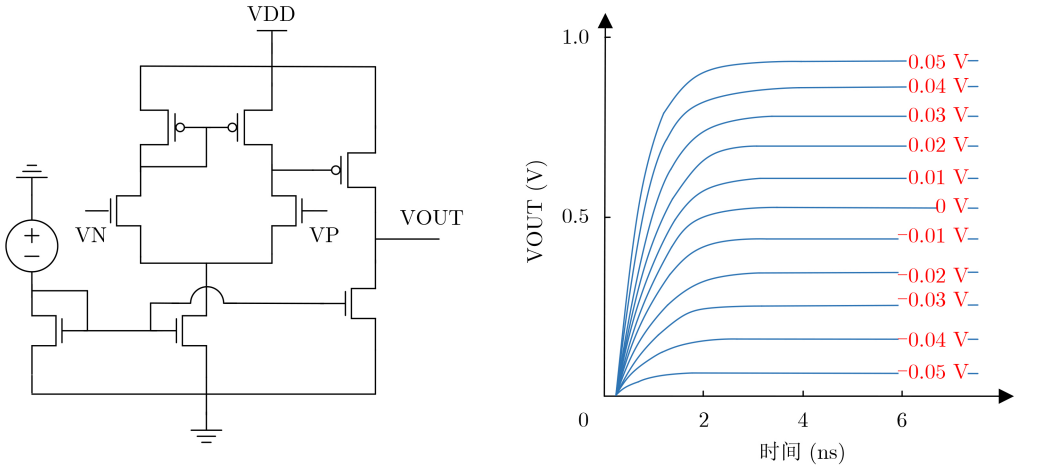



图 1 TSV电气模型




(a) 比较器电路子图 (b) 比较器不同输入差值 (VP−VN) 的输出电压曲线图

图 2 比较器

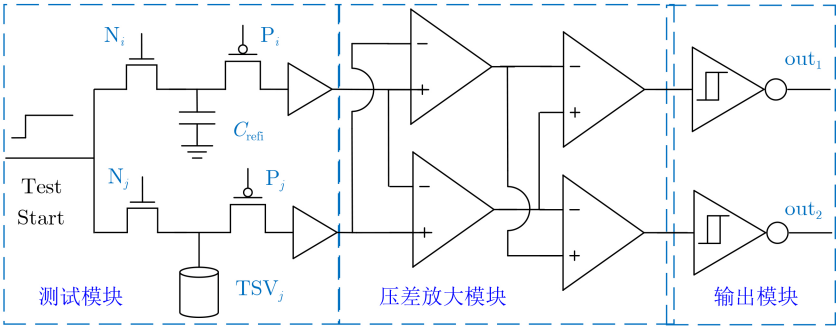



图 3 MOS管选通的TSV键合前测试方法

较好地屏蔽低电压时测试TSV和参考电容的电压差别，在较高电压时导通。

图3中$C_{\mathrm{refi}}$和$\mathrm{TSV}_j$分别表示参考电容和TSV，二者具有对称结构。多个TSV选通测试中，1个TSV或参考电容、1个NMOS和1个PMOS构成1个可选的测试单元。本方案设定2个参考电容分别连接上下2个缓冲器，所有TSV等分成2组连接上下2个缓冲器以减小MOS管连接带来的电容影响。

### 3.2 压差放大模块

由2.2节可知，比较器的2个输入电压不等时，会根据输入大小输出大于或小于阈值的电压。压差放大模块基于这一理论，通过两个比较器，将TSV信号和参考电容信号交叉输入到两个比较器，进而产生相对高和低的2个输出波形。通过2级比较器的设置，提高区分缺陷信号和参考电容信号的能力。

### 3.3 输出模块

根据2.2节可知，当比较器的输入电压相等时，输出电压是一个在阈值附近的值，受PVT影响，则无故障时输出可能是11或00，且是一个中间电平值。这里使用施密特触发器控制阈值电压以确保无故障时的两个输出同时为高电平或者低电平而不是中间电平。

## 4 实验结果与分析

为了验证所提方法的有效性，使用Nangate 45 nm开放式单元库评估其故障检测能力。详细的实验参数在表1中列出。

### 4.1 MOS管宽长比对测试精度的影响

MOS管的宽长比与实验精度的关系如表2所示，根据实验结果可知，随着NMOS宽长比的增大，电阻性开路缺陷的检测精度提高，但是泄漏缺陷检测精度下降。随着PMOS宽长比的增大，两种缺陷的精度均降低。因此，可以根据测试要求设置具体的宽长比。例如，减小NMOS晶体管的宽长比可以提高泄漏缺陷的检测精度。

### 4.2 PVT影响

不同PVT下测试响应如表3所示，随着温度的

表 1 实验参数

| 参数 | 值 |
|---|---|
| 无故障TSV | $C_{\mathrm{TSV}}$=60 fF, $R_{\mathrm{leak}}$=1 TΩ |
| 电压VDD | 1 V(10%) |
| NMOS,PMOS: W/L | 4/1(180 nm/45 nm) |
| $C_{\mathrm{refi}}$ | 60 fF |
| 比较器分辨率 | 13 mV |

提高，对电阻性开路缺陷测试精度基本无影响，泄漏缺陷的检测精度提高。随着电压增加，电阻性开路缺陷检测精度提高，泄漏缺陷检测精度下降。虽然在不同的PVT条件下，测试精度存在波动，但这些波动的范围是可以接受的。例如，当温度变化在27 °C左右时，电阻性开路缺陷的检测精度降低1 Ω，泄漏缺陷的检测精度波动范围为1 MΩ。在电压波动中，即便波动10%，电阻性开路缺陷检测精度降低到94 Ω，仍是较高的检测精度。

### 4.3 与其他方案对比

与其他实验对比如表4所示。文献[9,10,14]的方案具有较高的泄漏缺陷检测精度，然而这3个方案难以检测电阻性开路缺陷，且测试面积和时间开销大。从实验结果中可知，文献[16]的方案是一个具有竞争力的方案，该方案的测试时间和面积开销均大于本方案；且该方案冗余电容与测试TSV工艺不具备一致性，随着工艺偏差改变，正常的TSV测试生成错误的测试结果，而部分有缺陷的TSV测试响应是正确的测试结果，进而造成产量损失和测试逃逸问题。综合表中数据，本方案具有测试面积和时间开销小、电阻性开路缺陷检测精度高的优点。

**表 2　测试精度与MOS管宽长比的关系**

| MOS管宽长比 | $R_{\text{open}}$(Ω) | $R_{\text{leak}}$(MΩ) |
|---|---|---|
| NMOS: 4/1; PMOS: 4/1 | 50 | 9 |
| NMOS: 6/1; PMOS: 4/1 | 47 | 5 |
| NMOS: 8/1; PMOS: 4/1 | 44 | 3 |
| PMOS: 6/1; NMOS: 4/1 | 51 | 8.4 |
| PMOS: 8/1; NMOS: 4/1 | 52 | 8.0 |

**表 3　不同PVT下的测试精度**

| 工艺 | 温度(℃) | 电压(V) | $R_{\text{open}}$(Ω) | $R_{\text{leak}}$(MΩ) |
|---|---|---|---|---|
| TT | 27 | 1.0 | 50 | 9 |
| SS | 27 | 1.0 | 88 | 25 |
| FF | 27 | 1.0 | 47 | 3 |
| TT | –30 | 1.0 | 53 | 7 |
| TT | 0 | 1.0 | 51 | 8 |
| TT | 60 | 1.0 | 51 | 10 |
| TT | 125 | 1.0 | 52 | 12 |
| TT | 27 | 0.9 | 94 | 14 |
| TT | 27 | 1.1 | 29 | 7 |

**表 4　与其他BIST方案对比**

| 方法 | $R_{\text{open}}$(Ω) | $R_{\text{leak}}$(MΩ) | 面积(μm²) | 时间(μs) |
|---|---|---|---|---|
| [9] | 30k | 200 | 73.80 | 15.0 |
| [10] | - | 250 | 76.99 | 20.0 |
| [14] | - | 100 | 81.25 | 2.2 |
| [16] | 266 | 33 | 132.00 | 1.2 |
| 本文 | 50 | 9 | 31.17 | 0.2 |

## 5　结论

考虑到现有TSV键合前测试面积和时间开销大、测试精度低的问题，本文提出MOS管选通的测试方案。为了抵抗工艺偏差的影响，本方案具有对称性。实验结果表明，本方案能检测$R_{\text{open}}$≥50 Ω的电阻性开路缺陷、$R_{\text{leak}}$≤9 MΩ的泄漏缺陷。且与其他方案对比，具备最小的测试面积和时间开销。而且，由于NMOS作为驱动端，PMOS作为接收端，当多个TSV共享测试结构时，增加的面积开销仅为1个NMOS和1个PMOS，使得平均测试面积开销进一步减小。

## 参 考 文 献


[1] DEBENEDICTIS E P, BADAROGLU M, CHEN An, *et al*. Sustaining Moore's law with 3D chips[J]. *Computer*, 2017, 50(8): 69–73. doi: 10.1109/MC.2017.3001236.

[2] THADESAR P A, GU Xiaoxiong, ALAPATI R, *et al*. Through-silicon Vias: Drivers, performance, and innovations[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2016, 6(7): 1007–1017. doi: 10.1109/TCPMT.2016.2524691.

[3] HWANG Y, MOON S, NAM S, *et al*. Chiplet-based system PSI optimization for 2.5D/3D advanced packaging implementation[C]. 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), San Diego, USA, 2022: 12–17. doi: 10.1109/ECTC51906.2022.00010.

[4] LAU J H. Recent advances and trends in multiple system and heterogeneous integration with TSV interposers[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2023, 13(1): 3–25. doi: 10.1109/TCPMT.2023.3234007.

[5] LAU J H. Recent advances and trends in advanced packaging[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2022, 12(2): 228–252. doi: 10.1109/TCPMT.2022.3144461.

[6] JUNG D H, KIM Y, KIM J J, *et al*. Through Silicon Via (TSV) defect modeling, measurement, and analysis[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2017, 7(1): 138–152. doi: 10.1109/TCPMT.2016.2631731.

[7] ZHAO Yi, KHURSHEED S, and AL-HASHIMI B M. Online fault tolerance technique for TSV-based 3-D-IC[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2015, 23(8): 1567–1571. doi: 10.1109/TVLSI.2014.2343156.

[8] CHANDRAKAR M and MAJUMDER M K. Performance

analysis using air gap defected through silicon via: Impact on crosstalk and power[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2022, 12(11): 1832–1840. doi: 10.1109/TCPMT.2022.3225142.

[9] XU Kangkang, YU Yang, and FANG Xu. The detection of open and leakage faults for Prebond TSV test based on weak current source[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2022, 41(9): 2768–2779. doi: 10.1109/TCAD.2021.3114357.

[10] LIU Jun, CHENG Songren, CHEN Tian, *et al*. A self-biased current reference source-based pre-bond TSV test solution[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2024, 32(4): 774–781. doi: 10.1109/TVLSI.2023.3344272.

[11] DAS S, SU F, and CHAKRAVARTY S. A PVT-resilient no-touch DFT methodology for prebond TSV testing[C]. 2018 IEEE International Test Conference (ITC), Phoenix, USA, 2018: 1–10. doi: 10.1109/TEST.2018.8624691.

[12] YI Maoxiang, BIAN Jingchang, NI Tianming, *et al*. A pulse shrinking-based test solution for Prebond through silicon via in 3-D ICs[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2019, 38(4): 755–766. doi: 10.1109/TCAD.2018.2821559.

[13] LIU Jun, CHEN Zhi, CHEN Tian, *et al*. Voltage skew-based test technique for pre-bond TSVs in 3-D ICs[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2024, 71(8): 3930–3934. doi: 10.1109/TCSII.2024.3373897.

[14] WANG Lihang, DONG Gang, ZHI Changle, *et al*. Prebond TSV detection for coexistence of open and leakage faults based on current charging and discharging[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2025, 15(5): 1091–1103. doi: 10.1109/TCPMT.2025.3543693.

[15] CHANG Hao, HUANG Zhengfeng, and NI Tianming. Kelvin bridge structure based TSV test for weak faults[C]. 2021 IEEE International Test Conference in Asia (ITC-Asia), Shanghai, China, 2021: 1–6. doi: 10.1109/ITC-Asia53059.2021.9808492.

[16] LIU Jun, CHEN Zhi, CHENG Songren, *et al*. A symmetric bridge-based pre-bond TSV faults detection method[J]. *IEEE Transactions on Instrumentation and Measurement*, 2024, 73: 2004710. doi: 10.1109/TIM.2024.3427774.

窦贤锐：男，博士生，研究方向为数字集成电路的可靠性设计、可测性设计，机器学习.

梁华国：男，教授，研究方向为容错计算与硬件安全、嵌入式系统综合与测试、智能控制系统.

黄正峰：男，教授，研究方向为数字集成电路的硬件容错设计，数字集成电路的抗辐射加固设计，数字集成电路的可靠性、可测性设计.

鲁迎春：男，副教授，研究方向为集成电路硬件安全技术、集成电路抗辐照加固技术、集成电路测试技术.

陈 田：女，副教授，研究方向为人工智能；3D芯片与Chiplet、集成电路可测性设计；基于脑电波与生理信号的人机交互系统、情感计算.

刘 军：男，副教授，研究方向为嵌入式系统、基于机器学习的故障测试和机器学习加速等软件、硬件结合方面.

责任编辑：余 蓉

# MOS-gated Prebond Through-Silicon Via Testing

DOU Xianrui[①] LIANG Huaguo[①] HUANG Zhengfeng[①] LU Yingchun[①]
CHEN Tian[②] LIU Jun[②]

[①](*School of Microelectronics, Hefei University of Technology, Hefei* 230601, *China*)
[②](*School of Computer Science and Information Engineering* (*School of artificial Intelligence*), *Hefei University of Technology, Hefei* 230601, *China*)

**Abstract**:

**Objective** As the miniaturization of semiconductor chips approaches physical limitations, integrated chip technologies have become essential to meet the demand for high-performance, low-cost devices in the post-Moore era. Through-Silicon Via (TSV) is a key process in advanced packaging that requires precise testing to ensure reliable interconnections. Quantitative test methods can estimate defect sizes based on test responses; however, variations in Process, Voltage, and Temperature (PVT) hinder accurate defect characterization, making the associated overhead of data capture and analysis difficult to justify. Current techniques often require long test time, with some necessitating two test cycles. While leakage defect detection has reached high accuracy, the detection of resistive open defects—sometimes only tens of milliohms in fault-free states, remains

inadequate. This study presents a method that improves detection accuracy for resistive open defects and reduces both test area and time overhead, offering a more efficient and practical TSV testing solution.

**Methods**　Previous studies indicate that rising-edge testing provides higher resolution than falling-edge testing and enables simultaneous differentiation of multiple defect types. Based on this principle, a symmetric testing scheme through a single rising-edge test is proposed. To reduce the area overhead associated with shared test structures, MOS gates are employed as selection switches. NMOS transistors, due to their strong 0 and weak 1 characteristics, are placed at the driving end to enable rapid discharge and reset of the reference capacitor voltage. PMOS transistors, exhibiting strong 1 and weak 0 characteristics, are positioned at the receiving end to block interference from low-voltage signals. A two-stage comparator is then employed to amplify the voltage difference between the reference capacitor and the test TSV during the charging phase, producing two intermediate voltage levels. These are subsequently converted into standard high or low logic levels by a Schmitt trigger inverter. Based on the output logic level, both the presence and type of defect can be determined from a single test.

**Results and Discussions**　The effectiveness of the proposed method is verified through HSPICE simulations using the Nangate 45 nm open cell library. The detection accuracy for different defect types is modulated by adjusting the Width-to-Length (W/L) ratio of the MOS transistors, as shown in (Table 2). For instance, reducing the W/L ratio of NMOS transistors enhances the detection sensitivity to leakage defects. Specific W/L ratios can therefore be selected to meet targeted testing requirements. (Table 3) presents the results under PVT variations. Although the accuracy shows minor fluctuations, these remain within acceptable limits. A temperature variation of approximately 27 °C results in only a 1 Ω deviation in resistive open defect detection, and a 1 MΩ range in leakage defect accuracy. Even under the worst-case PVT condition, the minimum detection threshold for resistive open defects reaches 94 Ω, which exceeds the capability of existing methods.

**Conclusions**　A prebond TSV testing scheme based on MOS gating is proposed to address the high area and time overheads and limited accuracy of conventional approaches. The scheme adopts a symmetric structure between the reference capacitor and the test TSV to mitigate capacitance variation caused by fabrication inconsistencies. A two-stage comparator amplifies the voltage difference between the defective TSV and the reference capacitor during charging, thereby enhancing detection resolution. Simulation results indicate that the method detects resistive open defects equal of above 50 Ω and leakage defects equal of below 9 MΩ. Compared with existing methods, the proposed approach significantly reduces both testing area and time. When multiple TSVs share the testing circuitry, only one NMOS and one PMOS transistor are added, further minimizing the average area overhead.

**Key words**: Integrated chip; Through-Silicon Via (TSV); Prebond test; Comparator