

忆阻数字逻辑电路设计

王晓媛* 金晨曦 周鹏飞

(杭州电子科技大学电子信息学院 杭州 310018)

摘要: 该文简要概述了忆阻器理论的提出、应用现状及其在电子技术领域发展的现状,介绍了忆阻器在数字逻辑电路设计中的重要意义,并结合惠普(HP)忆阻器的二值特性及其电路特性,对忆阻器在数字逻辑电路设计中的发展、趋势及可应用前景进行了综述,可为忆阻器在数字逻辑电路中的后续研究及相关应用提供一定的参考。

关键词: 忆阻器; 数字逻辑电路; 二值特性

中图分类号: TN601; TN791

文献标识码: A

文章编号: 1009-5896(2020)04-0851-11

DOI: 10.11999/JEIT190864

Memristive Digital Logic Circuit Design

WANG Xiaoyuan JIN Chenxi ZHOU Pengfei

(School of Electronics and Information, Hangzhou Dianzi University, Hangzhou 310018, China)

Abstract: A brief overview of the theory of memristor, the state of applied research and its current status in the field of electronic technology are proposed. The importance of memristor in the design of digital logic circuits is also introduced. Combined with the binary characteristics and circuit characteristics of Hewlett Packard(HP) memristor, the development status, trend and applicable prospects of memristor in digital logic circuit design are reviewed, which provide certain reference for further research based on memristor in digital logic circuit design and other related applications.

Key words: Memristor; Digital logic circuit; Binary characteristic

1 引言

忆阻器是一种具有记忆特性和非线性特性的新型电路元件,是与传统电路元件中的电阻、电容和电感相并列第4类基本电路元件。1971年,基于对称性原理,文献[1]中首次预测了忆阻器的存在,并指出“基于电路理论和准静态电磁分析理论,忆阻器的存在不是凭空想象,而是有据可查的”。但由于当时并没有实际的忆阻器被发现,导致这一理论没有得到广泛关注。直到2008年惠普(Hewlett-Packard, HP)忆阻器的成功制备[2],首次将忆阻器这一理论概念与实际的物理器件实现关联,证实了这一预测的有效性。同时,在真正意义上开启了世界范围内对忆阻器的研究热潮。近年来,HP忆阻器凭借其非易失性、突触特性及纳米尺度等优势,

在非易失性存储器、神经网络、大规模集成电路及非线性电路等诸多领域显现出巨大的应用潜力^[3-6]。

忆阻器非易失性及纳米尺度的特点,为其在存储方面的应用提供了独特的优势潜能,使其完全有可能在下一代低功耗、高密度存储系统中扮演起领军角色^[7-10];而其优良的突触模拟特性,使得忆阻器可以作为模仿、记忆和学习的基本模块。早在2014年,文献[11]就有提出分布在神经元轴突整个长度上的钾离子通道和钠离子通道实为局部有源忆阻器。然而,忆阻器值得引起人们关注的绝不仅仅局限于此,忆阻器提供了一种非传统的计算架构,即将信息存储和处理组合在一起,完全区别于当今的主流计算技术,且有助于解决目前流行的计算范式无法有效地应对现代新兴的应用程序必须处理越来越大的数据量这一问题,可以说基于忆阻器的数字逻辑电路为探索先进计算机架构开辟了新的道路^[12,13]。而此方面研究的展开,主要得益于HP忆阻器的二值特性。

由于HP忆阻器的二值特性是忆阻器在数字逻辑电路中得以应用的重要基础,本文首先对HP忆阻器的二值特性及其电路特性进行了回顾,并在此基础上,总结概括出两类忆阻器数字逻辑电路;其

收稿日期: 2019-11-07; 改回日期: 2020-02-04; 网络出版: 2020-03-02

*通信作者: 王晓媛 youyuan-0213@163.com

基金项目: 国家自然科学基金(61871429), 浙江省自然科学基金(LY18F010012)

Foundation Items: The National Natural Science Foundation of China (61871429), The Natural Science Foundation of Zhejiang Province (LY18F010012)

次, 详尽地介绍了忆阻器数字逻辑电路理论发展及应用现状; 最后, 对忆阻器在数字逻辑电路中的现状进行了总结, 并对其应用前景进行了展望。

2 HP忆阻器二值特性及其电路特性

HP忆阻器的二值特性也称为阈值特性, 即纳米尺度的HP忆阻器, 在外电场的作用下, 其内部掺杂区与非掺杂区的分界面(以下简称“分界面”)会迅速漂移至其两极中的某一极, 从而使其呈现出对应的两个极值阻态: 高阻态(R_{OFF})、低阻态(R_{ON})。在忆阻器存储和逻辑电路应用方面, 大多利用HP忆阻器的这一特性。

HP忆阻器的结构呈图1(a)所示的三明治结构, 将1块纳米级的二氧化钛(TiO_2)夹在两个铂(Pt)电极中间, 通过对其中的1/2进行“掺杂”形成了含有一定氧空穴的 TiO_{2-x} 掺杂区。根据HP忆阻器的电路特性可知, 掺杂区一侧为HP忆阻器的“正极”, 非掺杂区一侧为HP忆阻器“负极”。因此, 当给HP忆阻器施加正向电压时, 如图1(b)所示, 其分界面将向负极移动, 导致其掺杂区的宽度 W_1 趋近整个忆阻器长度 D , 使得忆阻器等效电阻为 R_{ON} 。反之, 当施加反向电压时, 如图1(c)所示, 分界面在外加电场的作用下向忆阻器的正极移动, 使非掺杂层的宽度 W_2 增大接近 D , 此时, 忆阻器的等效电阻达到 R_{OFF} 。

依据上述HP忆阻器的二值特性, 在实际的电路中, 通过施加不同方向的外加电场于HP忆阻器两端, 即可实现忆阻器阻态在 R_{ON} 和 R_{OFF} 间的切换, 如当给HP忆阻器两端施加零偏置的周期性激励信号时, 可测量得到忆阻器的 $v-i$ 特性曲线具有两种不同的斜率。以输入信号为正弦信号 $v=0.4\sin(\pi t)$ 为例, 通过MATLAB仿真可得到如图2所示的 $v-i$ 特性曲线, 当施加正向电压且达到正向阈值电压时, 忆阻器的阻态将从 R_{OFF} 切换为 R_{ON} , 而当对忆阻器施加反向电压且达到其反向阈值电压时, 忆阻器的阻态将从 R_{ON} 转换为 R_{OFF} 。

基于忆阻器的数字逻辑电路, 根据其逻辑状态变量的不同可将其分别两类, 一类是以忆阻器的忆阻值作为逻辑运算的操作数, 如忆阻实质蕴涵逻辑

电路(material IMPLication, IMPLY)和忆阻器辅助逻辑电路(Memristor-Aided loGIC, MAGIC); 另一类是以电压量作为操作数的忆阻数字逻辑电路, 如忆阻器比例逻辑(Memristor Ratioed Logic, MRL)。但无论是上述哪一类忆阻数字逻辑电路, 其电路功能的实现均需遵循HP忆阻器的上述二值特性。

3 忆阻器数字逻辑电路

按照忆阻器逻辑电路发展的时间顺序, 本文对由忆阻器构成的实质蕴涵逻辑电路(IMPLY)、忆阻器/CMOS混合逻辑电路、忆阻器辅助逻辑电路(MAGIC)、CMOS/忆阻器阈值逻辑、类CMOS忆阻器互补逻辑以及并行输入处理忆阻器逻辑等进行主要介绍。此外, 对忆阻器在其它数字逻辑电路中的相关应用, 也予以综述介绍。

3.1 忆阻实质蕴涵逻辑电路

实质蕴涵逻辑由怀海德和罗素于1910年构建, 是4种基本逻辑运算之一^[14], 其真值表如图3(a)所示。2008年, HP实验室发现通过一种简单的电路结构就可以实现基于忆阻器的实质蕴涵逻辑的计算^[15-16], 电路结构如图3(b)所示。在该电路中使用了 P, Q 两个相同参数的忆阻器和两个三态电压驱动器, 其中三态电压驱动器用以提供实现运算所必需的 V_{COND} 和 V_{SET} 两种电压, 并可以在不需要驱动的情况下呈现高阻态。在该电路中使用忆阻器的阻值作为逻辑状态变量, 高阻值 R_{OFF} 表示逻辑“0”, 低阻值 R_{ON} 表示逻辑“1”。电路将 P, Q 两个忆阻器的初始状态作为输入, 忆阻器 Q 的次态作为输出。实际上, 忆阻实质蕴涵逻辑电路更重要的研究意义在于, 通过拓展该电路的结构可实现基本的布尔逻辑运算。如图4所示, 应用图4(a)所示的结构以及图4(b)所展示的过程, 通过多步实质蕴涵逻辑运算即可实现基本逻辑“或”运算。

2012年, 文献[17]提出了3种忆阻实质蕴涵逻辑新的综合方法, 并与在文献[16]中所提出的方法进行了比较。结果表明, 通过使用变量的互补表示和多输入操作, 可以极大地减少计算给定布尔函数所需的计算序列的长度, 其所提出的NAND-OR方法

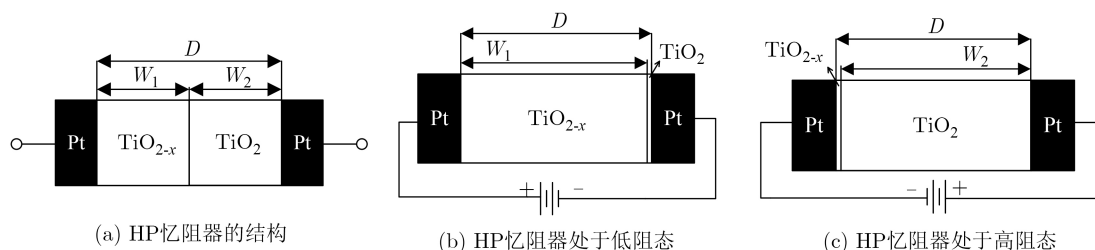


图1 HP忆阻器阻值变化机制

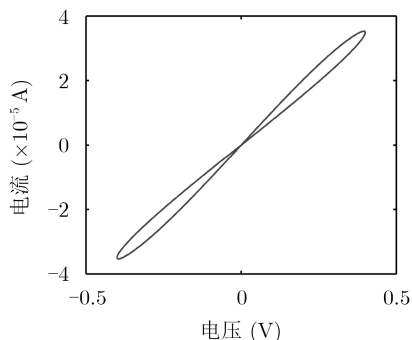


图 2 HP 忆阻器 v - i 特性曲线

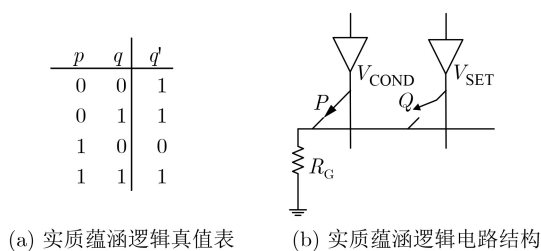


图 3 忆阻实质蕴涵逻辑

最多需要 $2^{n-1}+1$ 个步骤即可完成给定的 n 输入布尔逻辑。文献[18]中提出了一种 CMOS/忆阻器电路架构用以完成实质蕴涵逻辑的计算，以减少计算序列长度并实现并行运算。文献[19]介绍了在 CMOS/分子(CMOS/MOLecular, CMOL)架构上实现基于实质蕴涵逻辑的“或非”门设计。文献[20]提出了一组使用互补电阻开关(Complementary Resistive Switch, CRS)通过实质蕴涵逻辑实现基本逻辑功能的方法，并将其扩展至 8 位加法器和 4 位乘法器的算术电路。文献[21]提出了一种基于纳米交叉开关的结构，用于完善忆阻实质蕴涵逻辑中忆阻器不能达到最小电阻值的限制。文献[22]提出了一种基于实质蕴涵的“或非”门的 FPGA 体系结构，在该结构中使用忆阻器实现逻辑功能，并使用嵌入式存储器存储数据。文献[23,24]中介绍了基于实质蕴涵逻辑的忆阻器驱动门(Memristors-As-Drivers Gate, MAD Gate)，并指出 MAD 门对于任何布尔逻辑运

算都可将延迟减少到单个步骤，同时可将每个门的实现减少到最多使用 3 个忆阻器，以达到减小器件面积的目的。文献[25]将忆阻实质蕴涵逻辑与电流镜结合在一起，可以解决蕴涵逻辑的受限扇出问题，从而使更多操作得以并行运行。

研究证明通过引入因式形式、多忆阻器蕴涵、乘积和以及多级进化算法等方法可以显著减少蕴涵逻辑的平均操作数[26-31]。同时基于忆阻器的实质蕴涵逻辑还被广泛用于加法器、线性反馈移位寄存器、多路分配器、编码器、解码器、幅度比较器、T 触发器、计数器、乘法器、比较器等数字逻辑电路中[32-44]。

3.2 忆阻器/CMOS混合逻辑电路

为了能与现行的标准 CMOS 逻辑相兼容，文献[45]中提出了一种混合 CMOS/忆阻逻辑概念，并将其称之为忆阻器比例逻辑 (Memristor Ratioed Logic, MRL)。MRL 逻辑门的电路结构如图 5 所示，其中图 5(a)为“或”门，图 5(b)为“与”门。MRL “或”门和“与”门分别由两个极性相反的忆阻器串联组成，同时使用了 CMOS 反相器用于提供完整的逻辑门并恢复退化信号。在 MRL 逻辑门中使用电压作为逻辑状态变量，高电平为逻辑“1”，低电平为逻辑“0”。MRL 逻辑门的输入为每个忆阻器的浮动端口，输出则为连接两个忆阻器的公共节点。为了验证 MRL 逻辑门的可行性，文中设计了一个 8 位全加法器作为案例进行研究。研究表明：(1)与传统的 CMOS 逻辑相比，使用 MRL 逻辑门节省了约 50% 的面积；(2)无电流阈值的线性忆阻器更适合应用于 MRL 逻辑，与使用非线性忆阻器的逻辑电路相比，基于线性忆阻器件的 MRL 逻辑门的速度更快、面积更小、功耗更低。

在文献[46,47]中提出了一种基于 MRL 逻辑的通用逻辑门，配合使用 COMS 反相器，该逻辑门将“与”门、“或”门和“异或”门的功能集成于一体，同时还设计了基于该通用逻辑门的 2×2 乘法器。文献[48]设计了基于 MRL 逻辑的“异或”门和

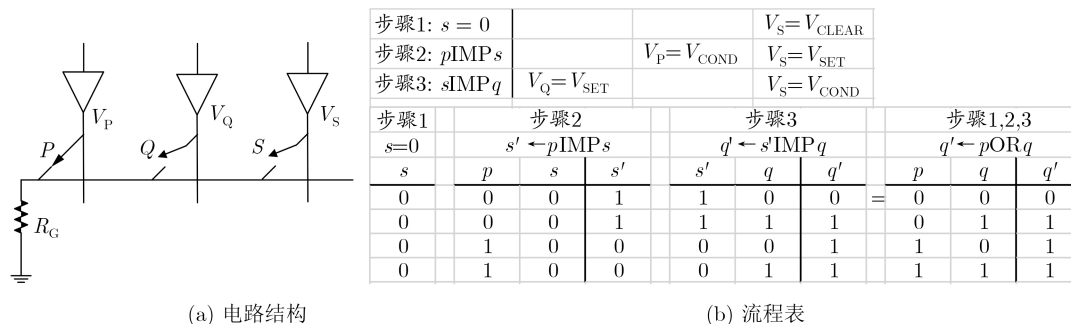


图 4 使用实质蕴涵逻辑完成“或”运算

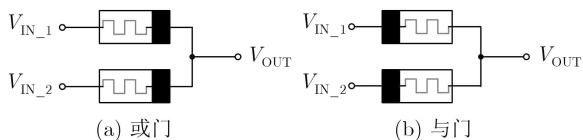


图5 2输入MRL逻辑门电路结构

“同或”门，该逻辑门能在一个时钟周期内以电压形式产生输出。此外，MRL逻辑门也被用于设计各种数字逻辑电路^[49-51]。

3.3 忆阻器辅助逻辑电路

Kvatinsky等人^[52]于2014年提出了一种新的忆阻逻辑方法——忆阻器辅助逻辑(Memristor Aided loGIC, MAGIC)。MAGIC逻辑门的电路构成如图6所示。MAGIC逻辑门仅由忆阻器简单连接构成且仅有一个控制电压，在简化了逻辑电路操作的同时，实现了降低电路的复杂性。在MAGIC逻辑门中使用忆阻器的阻值作为逻辑状态变量，将 M_{IN} 忆阻器的阻值作为输入， M_{OUT} 忆阻器的阻值作为输出。与实质蕴涵逻辑不同，MAGIC逻辑中的输入和输出是分离的，并且输出被写入专用的输出忆阻器中。

如图6所示，MAGIC逻辑门的拓扑结构与常见的基于忆阻器的交叉开关存储阵列的结构类似，因此，将其应用于存储器中可同时实现数据的存储和逻辑计算，而这种特性恰恰有助于实现不同于传统的冯·诺依曼架构的新型计算机架构^[53-63]。文献^[64]对MAGIC逻辑门进行了扩展，扩展后的逻辑门(“或”逻辑门除外)不仅能用作独立的逻辑门，而且还可以在交叉开关阵列中得到应用。文献^[65]提出了一种非理想的MAGIC“或非”门模型并进行了仿真，探讨了实际电路实现中可能出现的工艺变化和寄生效应产生的影响。此外，MAGIC逻辑门也被用于设计如二进制比较器等数字逻辑电路^[66]。

3.4 CMOS / 忆阻器阈值逻辑

阈值逻辑较布尔逻辑具有更强大的计算能力，

高性能阈值逻辑电路的发展将有助于展开与计算机有关的重要应用。 n 输入线性阈值门(Linear Threshold Gate, LTG)的传递函数如式(1)所示

$$f(x_1, x_2, \dots, x_n) = \begin{cases} 1, & \sum_{i=1}^n w_i x_i \geq T \\ 0, & \text{其他} \end{cases} \quad (1)$$

其中， x_i 是布尔输入变量， w_i 是第 i 个输入的整数权重， T 是整数阈值。文献^[67]研究了各种LTG的实现方式，指出目前大多数实现方式中权重 w_i 都是固定值，难以对其数值进行更改，但忆阻器的电阻切换的特性恰恰能够较容易地实现对权重 w_i 的改变。

文献^[68]使用忆阻器实现了可编程阈值门，忆阻器的阻值作为阈值门的输入权重，通过更改忆阻器的忆阻值对阈值门进行编程，实现了不同的布尔函数。图7展示了一个3输入阈值门的电路结构，其中①是防止电流倒流的电流镜；②是防止负载的隔离器；③是保持输入脉冲周期的周期扩展器；④是保持忆阻值的脉冲整形器。文中还提出了一种基于上述忆阻器可编程阈值门的阈值门阵列架构，并通过对其功率、面积和延迟指标进行评估发现，与基于CMOS的查找表(Look-Up-Table, LUT)相比，该忆阻阈值架构的功耗和有效面积减少了约75%，但与此同时也会带来一定的延时处罚。

文献^[69]通过混合CMOS/忆阻器实现了一种可编程阈值逻辑门。一个4输入可编程阈值逻辑门的电路结构如图8(a)所示。图8(b)上的阴影区域显示了忆阻器可以用于实施阈值门的电阻状态的范围。在该逻辑门中，忆阻器用于实现比例二极管电阻逻辑，而CMOS电路则用于信号的放大以及反相，加之忆阻器件在该电路结构中可辅助实现了较好的缩放比例功能和非易失性模拟存储器特性，使得该阈值逻辑门可以很方便地实现现场配置。由于在逻辑操作过程中，忆阻器件的状态不会发生改变，使得这种实现方式更具有鲁棒性。文中还通过实验得到

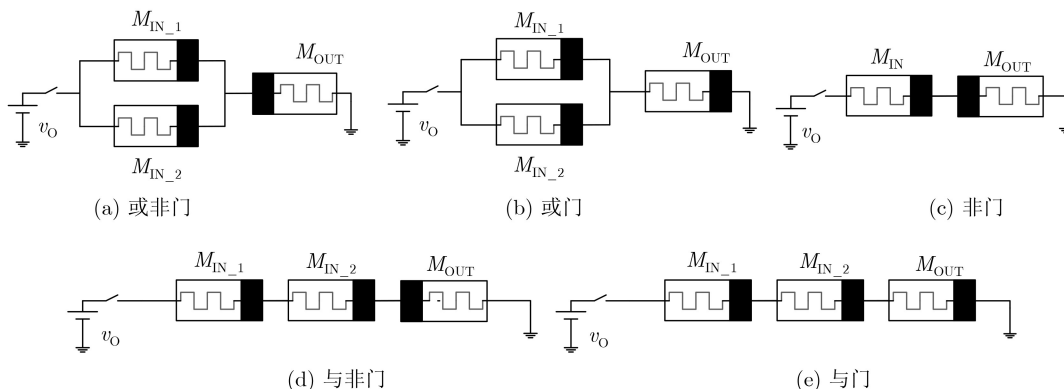


图6 2输入MAGIC逻辑门电路结构

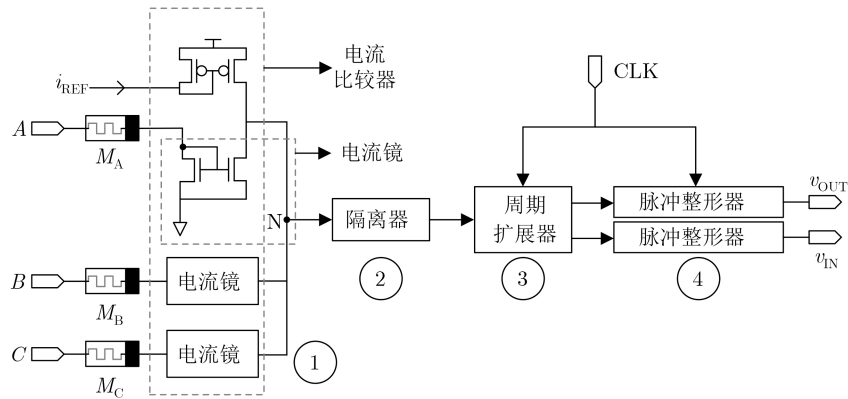
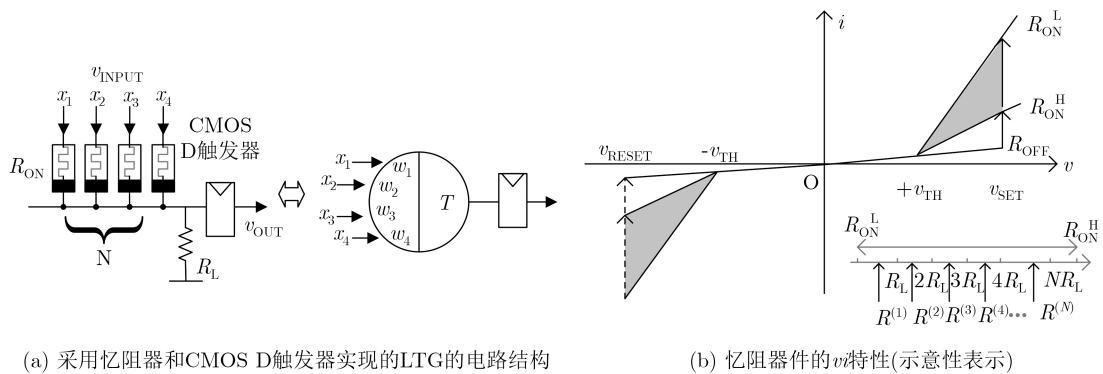


图7 3输入阈值门电路图



(a) 采用忆阻器和CMOS D触发器实现的LTG的电路结构

(b) 忆阻器件的v特性(示意性表示)

图8 忆阻LTG门电路结构

了一种由集成CMOS触发器、硅二极管和Ag/a-Si/Pt忆阻器件构成的4输入对称线性阈值门，进一步验证了该可编程阈值逻辑门的可行性。

文献[70]提出了用于忆阻器交叉开关的新型阈值门，以及一种新型的混合阈值-布尔逻辑设计方法，并用其设计了两个32位加法器(使用两个不同的一位全加法器作为基本单元)。研究者们还设计了许多种不同的改进型的忆阻CMOS阈值逻辑单元，并将其应用于FFT, Vedic乘法计算电路、加法器等应用中，能有效地减少功耗和片上面积[71-77]。

3.5 类CMOS忆阻器互补逻辑

Fourkas等人在文献[78]中提出了一种类CMOS的电路设计范式，用于创建忆阻互补逻辑电路。图9展示了布尔逻辑门的类COMS忆阻电路实现。电路中的忆阻器被显示为3端器件，以强调与CMOS对应器件的相似性。类CMOS忆阻器互补逻辑使用电压表示逻辑状态，输入信号用正电压表示逻辑“1”，负电压表示逻辑“0”。输出电压以接近V_{DD}的电压值对应逻辑“1”，接近GND的则对应逻辑“0”。图10展示了基于类CMOS通用布尔逻辑门的半加法器以及用于实现逻辑函数 $F = (AB + CD)'$ 的电路。

在文献[79]中对类CMOS方法进行了改进。如

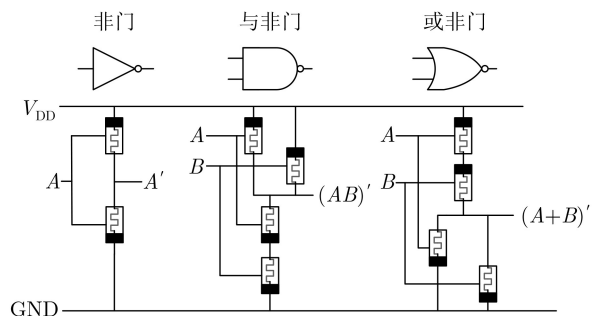


图9 通用布尔逻辑门集类CMOS纳米级电路设计

图11所示为一个改进后的二输入类CMOS与非门，在该结构中忆阻器具有两端口特性，以及能在同时施加输入电压时适当隔离忆阻器组。该电路由忆阻器和一些辅助晶体管组成，其中，后者有助于在施加相同输入逻辑信号时对多个忆阻器进行正确的访问操作。在该逻辑门中有4个开关(三态电压驱动器M1-M4)，用于决定逻辑门的功能并能完成以下3种操作：(1)施加输入信号；(2)通过V_{DD}和GND信号读取逻辑输出；(3)关闭电路[80]。

3.6 并行输入处理忆阻器逻辑

Papandroulidakis等人[81]提出了一种新型的忆阻逻辑概念，它能够并行执行数字逻辑运算，并希望加速新一代的忆阻逻辑芯片的实现。图12(a)

所示为6种二输入布尔逻辑门的结构，图12(b)所示为使用该忆阻逻辑门构建的计算电路。该逻辑门使用电压作为逻辑状态，0 V表示逻辑“0”，而逻辑“1”对应的电压介于已定义的开关阈值的第1个(较低)和第2个(较高)之间。值得注意的是在经过一次逻辑计算之后，逻辑门中的忆阻器需要有一个复位步骤，否则将会导致错误的输出。该电路结构中，负载电阻 R_L 要求最好是一个小于 R_{ON} 的电阻，以保证其上面的压降较小，进而保证忆阻电路中的全部忆阻器不会在逻辑操作过程中产生误操作，从而可以准确地从该串联负载电阻 R_L 中读出电路的输出。当逻辑门进行级联操作时，输出的电压值会逐级减少，因此，需要使用CMOS反相器以完成信号的恢复。

3.7 其它忆阻数字逻辑电路

除上述几种数字逻辑电路设计以外，忆阻器还

被用于3值逻辑电路的设计之中。文献[82–88]利用忆阻器、CNTFET等实现了3值逻辑，包括与门、或门等基本逻辑门，以及3进制解码器、两位加法器、比较器、乘法器等更复杂的数字逻辑电路设计。与传统的2值逻辑相比，3值逻辑具有单根信号线的信息携带量更高，电路串并行运算能力更强，电路复杂度更低等优点。

在文献[89–93]中介绍了忆阻器在FPGA中的应用。由于忆阻器相比于MOS晶体管具有面积和功耗都更小的特点，因此，可以通过使用忆阻器来减小专用集成电路(Application Specific Integrated Circuit, ASIC)与FPGA之间的差距。文献[94,95]设计了基于CRS的状态逻辑运算电路。

3.8 小结

自HP实验室发现忆阻器可以用于逻辑运算并实现了基于忆阻器的实质蕴涵电路，研究者们陆续

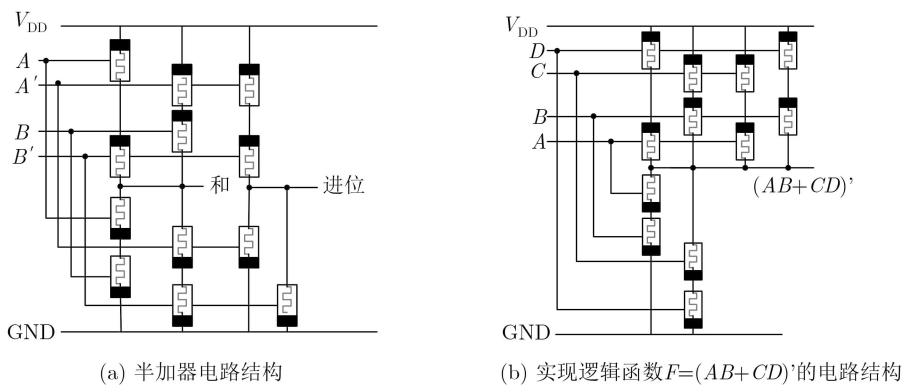


图 10 类CMOS忆阻互补逻辑实现组合逻辑

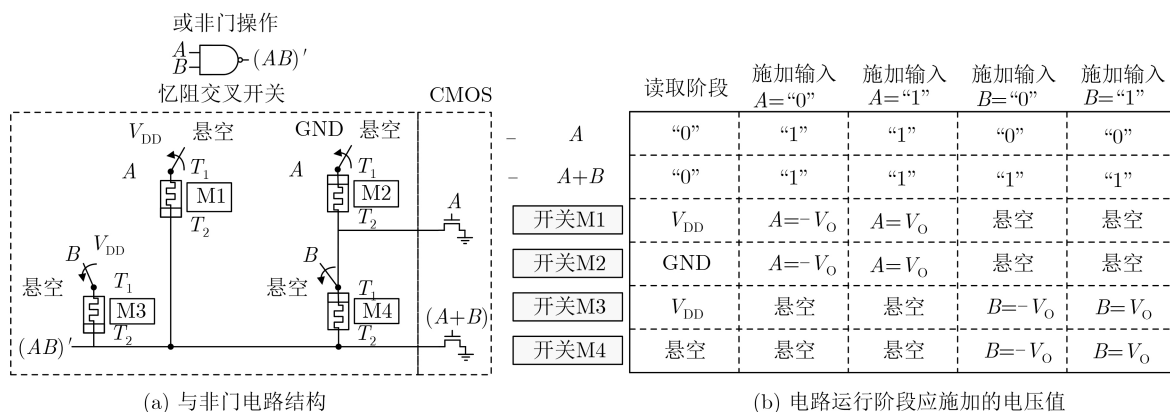


图 11 2输入“与非”门类CMOS电路

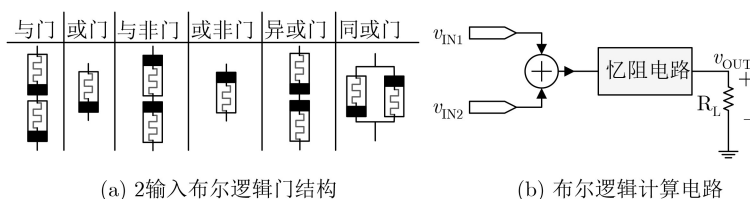


图 12 2输入布尔逻辑门及其运算电路结构

设计了诸多基于忆阻器的数字逻辑电路设计方案, 并证明了基于忆阻器的数字逻辑电路相对于CMOS实现的数字逻辑电路, 可以有效减少电路的面积和功耗。同时, 研究者们还发现忆阻器交叉开关结构不仅可以完成逻辑运算还可以用于存储信息, 这一特性使得忆阻器可以在存储器中完成逻辑运算, 有助于实现不同于传统的冯·诺依曼架构的新型计算机架构。此外, 由于忆阻器在不使用额外硬件的情况下可以处理两个以上的状态, 因此, 忆阻器也是实现3进制系统的一个很好的候选者^[82], 这使得3值逻辑与忆阻器的结合成为了可能, 也为3值及多值数字逻辑电路的设计提供了可能。独特的2值特性, 使忆阻器能够在数字逻辑电路中扮演一个非常重要的角色, 为未来数字逻辑电路的设计提供了更多的选择。

4 结束语

忆阻器作为第4类电路元件, 具有区别于传统电路元件电阻、电容和电感的显著特点, 即非易失性, HP忆阻器作为首个忆阻器的物理实现, 目前已被广泛应用于非易失性存储、大数据存储、可编程逻辑电路等领域; 除了具有非易失性特点外, HP忆阻器纳米尺度特点使其在集成电路方面的应用也占据一定优势。而作为非线性电路元件, 忆阻器在仿生及神经网络、非线性电路等方面也得到了广泛应用。自2008年, HP实验室将HP忆阻器应用于实质蕴涵逻辑开始, 研究者们陆续提出了MRL, MAGIC, CMOS/忆阻器阈值逻辑、类CMOS忆阻器互补逻辑、并行输入处理忆阻器逻辑等。其中, 忆阻器交叉开关在能存储数据的同时, 还能通过运用以上所述的逻辑方案来实现逻辑运算。事实上, 忆阻器在数字逻辑电路中的应用不只局限于本文所提及的各类电路, 利用HP忆阻器的2值特性还可以用于实现3值逻辑以及更多值的逻辑。总之, 忆阻器作为一种新型记忆元件, 有着广泛的应用前景和研究空间, 忆阻器的应用研究也必然会成为倍受瞩目的课题之一。

参考文献

- [1] CHUA L. Memristor-The missing circuit element[J]. *IEEE Transactions on Circuit Theory*, 1971, 18(5): 507–519. doi: [10.1109/TCT.1971.1083337](https://doi.org/10.1109/TCT.1971.1083337).
- [2] STRUKOV D B, SNIDER G S, STEWART D R, *et al.* The missing memristor found[J]. *Nature*, 2009, 453(7191): 80–83. doi: [10.1038/nature06932](https://doi.org/10.1038/nature06932).
- [3] PAL S, GUPTA V, KI W, *et al.* Design and development of memristor-based RRAM[J]. *IET Circuits, Devices & Systems*, 2019, 13(4): 548–557. doi: [10.1049/iet-cds.2018.5388](https://doi.org/10.1049/iet-cds.2018.5388).
- [4] ZHANG Mengsi and WANG Dongshu. Robust dissipativity analysis for delayed memristor-based inertial neural network[J]. *Neurocomputing*, 2019, 366: 340–351. doi: [10.1016/j.neucom.2019.08.004](https://doi.org/10.1016/j.neucom.2019.08.004).
- [5] XIE Lei, CAI Hao, WANG Chao, *et al.* Towards an automated design flow for memristor based VLSI circuits[J]. *Integration*, 2020, 70: 21–31. doi: [10.1016/j.vlsi.2019.09.009](https://doi.org/10.1016/j.vlsi.2019.09.009).
- [6] MIN Xiaotao, WANG Xiaoyuan, ZHOU Pengfei, *et al.* An optimized memristor-based hyperchaotic system with controlled hidden attractors[J]. *IEEE Access*, 2019, 7: 124641–124646. doi: [10.1109/ACCESS.2019.2938183](https://doi.org/10.1109/ACCESS.2019.2938183).
- [7] LASTRAS-MONTAÑO M A and CHENG K. Resistive random-access memory based on ratioed memristors[J]. *Nature Electronics*, 2018, 1(8): 466–472. doi: [10.1038/s41928-018-0115-z](https://doi.org/10.1038/s41928-018-0115-z).
- [8] PAL S, BOSE S, KI W H, *et al.* Design of power- and variability-aware nonvolatile RRAM cell using memristor as a memory element[J]. *IEEE Journal of the Electron Devices Society*, 2019, 7: 701–709. doi: [10.1109/JEDS.2019.2928830](https://doi.org/10.1109/JEDS.2019.2928830).
- [9] SHARIF K F and BISWAS S N. 6 Transistors and 1 memristor based memory cell[J]. *International Journal of Reconfigurable and Embedded Systems*, 2020, 9(1): 42–51. doi: [10.11591/ijres.v9.i1.pp42-51](https://doi.org/10.11591/ijres.v9.i1.pp42-51).
- [10] BISWAS B R and HARUN-UR-RASHID A B M. A data erasing writing technique based 1t1m quaternary memory circuit design[C]. The 10th International Conference on Electrical and Computer Engineering, Dhaka, Bangladesh, 2018: 317–320. doi: [10.1109/ICECE.2018.8636774](https://doi.org/10.1109/ICECE.2018.8636774).
- [11] SAH M P, KIM H, and CHUA L O. Brains are made of memristors[J]. *IEEE Circuits and Systems Magazine*, 2014, 14(1): 12–36. doi: [10.1109/MCAS.2013.2296414](https://doi.org/10.1109/MCAS.2013.2296414).
- [12] LINN E, ROSEZIN R, TAPPERTZHOFEN S, *et al.* Beyond von Neumann-logic operations in passive crossbar arrays alongside memory operations[J]. *Nanotechnology*, 2012, 23(30): 305205. doi: [10.1088/0957-4484/23/30/305205](https://doi.org/10.1088/0957-4484/23/30/305205).
- [13] GHOSE S, BOROUMAND A, KIM J S, *et al.* Processing-in-memory: A workload-driven perspective[J]. *IBM Journal of Research and Development*, 2019, 63(6): 3: 1-3: 19. doi: [10.1147/JRD.2019.2934048](https://doi.org/10.1147/JRD.2019.2934048).
- [14] WHITEHEAD A N and RUSSELL B. *Principia Mathematica*[M]. Cambridge: Cambridge University Press, 1912.
- [15] KUEKES P. Material implication: Digital logic with memristors[C]. The Memristor and Memristive Systems Symposium, Berkeley, USA, 2008.
- [16] BORGHETTI J, SNIDER G S, KUEKES P J, *et al.* ‘Memristive’ switches enable ‘Stateful’ logic operations via material implication[J]. *Nature*, 2010, 464(7290): 873–876. doi: [10.1038/nature08940](https://doi.org/10.1038/nature08940).
- [17] LEHTONEN E, POIKONEN J, and LAIHO M. Implication

- logic synthesis methods for memristors[C]. 2012 IEEE International Symposium on Circuits and Systems, Seoul, South Korea, 2012: 2441–2444. doi: [10.1109/ISCAS.2012.6271792](https://doi.org/10.1109/ISCAS.2012.6271792).
- [18] LEHTONEN E, TISSARI J, POIKONEN J, *et al.* A cellular computing architecture for parallel memristive stateful logic[J]. *Microelectronics Journal*, 2014, 45(11): 1438–1449. doi: [10.1016/j.mejo.2014.09.005](https://doi.org/10.1016/j.mejo.2014.09.005).
- [19] MANE P, TALATI N, RISWADKAR A, *et al.* Implementation of NOR logic based on material implication on CMOL FPGA architecture[C]. The 28th International Conference on VLSI Design, Bangalore, India, 2015: 523–528. doi: [10.1109/VLSID.2015.94](https://doi.org/10.1109/VLSID.2015.94).
- [20] YANG Yuanfan, MATHEW J, PONTARELLI S, *et al.* Complementary resistive switch-based arithmetic logic implementations using material implication[J]. *IEEE Transactions on Nanotechnology*, 2016, 15(1): 94–108. doi: [10.1109/TNANO.2015.2504841](https://doi.org/10.1109/TNANO.2015.2504841).
- [21] CHEN Qiao, WANG Xiaoping, WAN Haibo, *et al.* A logic circuit design for perfecting memristor-based material implication[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2017, 36(2): 279–284. doi: [10.1109/TCAD.2016.2578881](https://doi.org/10.1109/TCAD.2016.2578881).
- [22] MANE P, TALATI N, RISWADKAR A, *et al.* Reconfiguration on nanocrossbar using material implication[J]. *Sādhanā*, 2017, 42(1): 33–44. doi: [10.1007/s12046-016-0582-8](https://doi.org/10.1007/s12046-016-0582-8).
- [23] GUCKERT L and SWARTZLANDER E E. MAD gates-memristor logic design using driver circuitry[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2017, 64(2): 171–175. doi: [10.1109/TCSII.2016.2551554](https://doi.org/10.1109/TCSII.2016.2551554).
- [24] GUCKERT L and SWARTZLANDER E E. Optimized memristor-based multipliers[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2017, 64(2): 373–385. doi: [10.1109/TCSI.2016.2606433](https://doi.org/10.1109/TCSI.2016.2606433).
- [25] REVANNA N and SWARTZLANDER E E. Memristor based high fan-out logic gates[C]. 2016 IEEE Dallas Circuits and Systems Conference, Arlington, USA, 2016: 1–4. doi: [10.1109/DCAS.2016.7791136](https://doi.org/10.1109/DCAS.2016.7791136).
- [26] MARRANGHELLO F S, CALLEGARO V, MARTINS M G A, *et al.* Improved logic synthesis for memristive stateful logic using multi-memristor implication[C]. 2015 IEEE International Symposium on Circuits and Systems, Lisbon, Portugal, 2015: 181–184. doi: [10.1109/ISCAS.2015.7168600](https://doi.org/10.1109/ISCAS.2015.7168600).
- [27] MARRANGHELLO F S, CALLEGARO V, MARTINS M G A, *et al.* Factored forms for memristive material implication stateful logic[J]. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2015, 5(2): 267–278. doi: [10.1109/JETCAS.2015.2426511](https://doi.org/10.1109/JETCAS.2015.2426511).
- [28] MARRANGHELLO F S, CALLEGARO V, REIS A I, *et al.* SOP based logic synthesis for memristive IMPLY stateful logic[C]. The 33rd IEEE International Conference on Computer Design, New York, USA, 2015: 228–235. doi: [10.1109/ICCD.2015.7357108](https://doi.org/10.1109/ICCD.2015.7357108).
- [29] LALCHHANDAMA F, SAPUI B G, and DATTA K. An improved approach for the synthesis of Boolean functions using memristor based IMPLY and INVERSE-IMPLY gates[C]. 2016 IEEE Computer Society Annual Symposium on VLSI, Pittsburgh, USA, 2016: 319–324. doi: [10.1109/ISVLSI.2016.61](https://doi.org/10.1109/ISVLSI.2016.61).
- [30] WANG Xiaoxiao, TAN R, and PERKOWSKI M. Synthesis of memristive circuits based on stateful IMPLY gates using an evolutionary algorithm with a correction function[C]. 2016 IEEE/ACM International Symposium on Nanoscale Architectures, Beijing, China, 2016: 97–102. doi: [10.1145/2950067.2950087](https://doi.org/10.1145/2950067.2950087).
- [31] MARRANGHELLO F S, CALLEGARO V, REIS A I, *et al.* Four-level forms for memristive material implication logic[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2019, 27(5): 1228–1232. doi: [10.1109/TVLSI.2019.2890843](https://doi.org/10.1109/TVLSI.2019.2890843).
- [32] KVATINSKY S, SATAT G, WALD N, *et al.* Memristor-based material implication (IMPLY) logic: Design principles and methodologies[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2014, 22(10): 2054–2066. doi: [10.1109/TVLSI.2013.2282132](https://doi.org/10.1109/TVLSI.2013.2282132).
- [33] TEIMOORY M, AMIRSOLEIMANI A, AHMADI A, *et al.* Memristor-based linear feedback shift register based on material implication logic[C]. 2015 European Conference on Circuit Theory and Design, Trondheim, Norway, 2015: 1–4. doi: [10.1109/ECCTD.2015.7300100](https://doi.org/10.1109/ECCTD.2015.7300100).
- [34] CHAKRABORTY A and RAHAMAN H. Implementation of combinational circuits via material implication using memristors[C]. 2016 IEEE Distributed Computing, VLSI, Electrical Circuits and Robotics, Mangalore, India, 2016: 67–72. doi: [10.1109/DISCOVER.2016.7806227](https://doi.org/10.1109/DISCOVER.2016.7806227).
- [35] CHAKRABORTY A, DHARA A, and RAHAMAN H. Design of memristor-based up-down counter using material implication logic[C]. 2016 International Conference on Advances in Computing, Communications and Informatics, Jaipur, India, 2016: 269–274. doi: [10.1109/ICACCI.2016.7732058](https://doi.org/10.1109/ICACCI.2016.7732058).
- [36] REVANNA N and SWARTZLANDER E E. Memristor based adder circuit design[C]. The 50th Asilomar Conference on Signals, Systems and Computers, Pacific Grove, USA, 2016: 162–166. doi: [10.1109/ACSSC.2016.7869016](https://doi.org/10.1109/ACSSC.2016.7869016).
- [37] BANERJEE A, PAL S, BHATTACHARYYA S, *et al.*

- Memristor based modulo multiplier design for $(2^n - 1)$ and 2^n radix[C]. 2017 Devices for Integrated Circuit, Kalyani, India, 2017: 20–24. doi: [10.1109/DEVIC.2017.8073898](https://doi.org/10.1109/DEVIC.2017.8073898).
- [38] HAGHIRI S, NEMATI A, FEIZI S, *et al.* A memristor based binary multiplier[C]. The 2017 IEEE 30th Canadian Conference on Electrical and Computer Engineering, Windsor, Canada, 2017: 1–4. doi: [10.1109/CCECE.2017.7946783](https://doi.org/10.1109/CCECE.2017.7946783).
- [39] ROHANI S G and TAHERINEJAD N. An improved algorithm for IMPLY logic based memristive full-adder[C]. The 30th IEEE Canadian Conference on Electrical and Computer Engineering, Windsor, Canada, 2017: 1–4. doi: [10.1109/CCECE.2017.7946813](https://doi.org/10.1109/CCECE.2017.7946813).
- [40] HARON A, MAHDZAI F, LUQMAN A, *et al.* Implementation of digital equality comparator circuit on memristive memory crossbar array using material implication logic[J]. *IOP Conference Series: Materials Science and Engineering*, 2018, 341(1): 012025. doi: [10.1088/1757-899X/341/1/012025](https://doi.org/10.1088/1757-899X/341/1/012025).
- [41] LI Mengting, SUN Wenhao, LU Zhimin, *et al.* Memristor-based material implication logic design for full adders[C]. The 12th IEEE International Conference on ASIC, Guiyang, China, 2017: 271–274. doi: [10.1109/ASICON.2017.8252465](https://doi.org/10.1109/ASICON.2017.8252465).
- [42] WANG Xiaoping, WU Qian, CHEN Qiao, *et al.* A novel design for Memristor-based multiplexer via NOT-material implication[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, 37(7): 1436–1444. doi: [10.1109/TCAD.2017.2753204](https://doi.org/10.1109/TCAD.2017.2753204).
- [43] KARIMI A and REZAI A. Novel design for a memristor-based full adder using a new IMPLY logic approach[J]. *Journal of Computational Electronics*, 2018, 17(3): 1303–1314. doi: [10.1007/s10825-018-1198-5](https://doi.org/10.1007/s10825-018-1198-5).
- [44] KARIMI A and REZAI A. Novel design for Memristor-based n to 1 multiplexer using new IMPLY logic approach[J]. *IET Circuits, Devices & Systems*, 2019, 13(5): 647–655. doi: [10.1049/iet-cds.2018.5090](https://doi.org/10.1049/iet-cds.2018.5090).
- [45] KVATINSKY S, WALD N, SATAT G, *et al.* MRL-Memristor ratioed logic[C]. The 13th International Workshop on Cellular Nanoscale Networks and their Applications, Turin, Italy, 2012: 1–6. doi: [10.1109/CNNA.2012.6331426](https://doi.org/10.1109/CNNA.2012.6331426).
- [46] TEIMOORI M, AHMADI A, ALIREZAEI S, *et al.* A novel hybrid CMOS-memristor logic circuit using Memristor Ratioed Logic[C]. 2016 IEEE Canadian Conference on Electrical and Computer Engineering, Vancouver, Canada, 2016: 1–4. doi: [10.1109/CCECE.2016.7726661](https://doi.org/10.1109/CCECE.2016.7726661).
- [47] TEIMOORY M, AMIRSOLEIMANI A, AHMADI A, *et al.* A hybrid memristor-CMOS multiplier design based on memristive universal logic gates[C]. The 60th IEEE International Midwest Symposium on Circuits and Systems, Boston, USA, 2017: 1422–1425. doi: [10.1109/MWSCAS.2017.8053199](https://doi.org/10.1109/MWSCAS.2017.8053199).
- [48] XU Xiaoyan, CUI Xiaole, LUO Mengying, *et al.* Design of hybrid memristor-MOS XOR and XNOR logic gates[C]. 2017 International Conference on Electron Devices and Solid-State Circuits, Hsinchu, China, 2017: 1–2. doi: [10.1109/EDSSC.2017.8126414](https://doi.org/10.1109/EDSSC.2017.8126414).
- [49] LIU Bosheng, WANG Ying, YOU Zhiqiang, *et al.* A signal degradation reduction method for memristor ratioed logic (MRL) gates[J]. *IEICE Electronics Express*, 2015, 12(8): 20150062. doi: [10.1587/elex.12.20150062](https://doi.org/10.1587/elex.12.20150062).
- [50] MIRZAIIE N, ALZAHMI A, SHAMSI H, *et al.* Three-dimensional pipeline ADC utilizing TSV/design optimization and memristor ratioed logic[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2018, 26(12): 2619–2627. doi: [10.1109/TVLSI.2018.2810782](https://doi.org/10.1109/TVLSI.2018.2810782).
- [51] LIU Gongzhi, ZHENG Lijing, WANG Guangyi, *et al.* A carry lookahead adder based on hybrid CMOS-memristor logic circuit[J]. *IEEE Access*, 2019, 7: 43691–43696. doi: [10.1109/ACCESS.2019.2907976](https://doi.org/10.1109/ACCESS.2019.2907976).
- [52] KVATINSKY S, BELOUSOV D, LIMAN S, *et al.* MAGIC-Memristor-aided logic[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(11): 895–899. doi: [10.1109/TCSII.2014.2357292](https://doi.org/10.1109/TCSII.2014.2357292).
- [53] TALATI N, GUPTA S, MANE P, *et al.* Logic design within memristive memories using memristor-aided loGIC (MAGIC)[J]. *IEEE Transactions on Nanotechnology*, 2016, 15(4): 635–650. doi: [10.1109/TNANO.2016.2570248](https://doi.org/10.1109/TNANO.2016.2570248).
- [54] HUR R B and KVATINSKY S. Memory processing unit for in-memory processing[C]. 2016 IEEE/ACM International Symposium on Nanoscale Architectures, Beijing, China, 2016: 171–172. doi: [10.1145/2950067.2950086](https://doi.org/10.1145/2950067.2950086).
- [55] THANGKHIEW P L, GHARPINDE R, YADAV D N, *et al.* Efficient implementation of adder circuits in memristive crossbar array[C]. TENCON 2017-2017 IEEE Region 10 Conference, Penang, Malaysia, 2017: 207–212. doi: [10.1109/TENCON.2017.8227863](https://doi.org/10.1109/TENCON.2017.8227863).
- [56] HUR R B, WALD N, TALATI N, *et al.* SIMPLE MAGIC: Synthesis and in-memory mapping of logic execution for memristor-aided logic[C]. 2017 IEEE/ACM International Conference on Computer-Aided Design, Irvine, USA, 2017: 225–232.
- [57] HAJ-ALI A, BEN-HUR R, WALD N, *et al.* Efficient algorithms for in-memory fixed point multiplication using magic[C]. 2018 IEEE International Symposium on Circuits and Systems, Florence, Italy, 2018: 1–5. doi: [10.1109/](https://doi.org/10.1109/)

- ISCAS.2018.8351561.
- [58] THANGKHIEW P L, GHARPINDE R, CHOWDHARY P V, *et al.* Area efficient implementation of ripple carry adder using memristor crossbar arrays[C]. The 11th International Design & Test Symposium, Hammamet, Tunisia, 2016: 142–147. doi: [10.1109/IDT.2016.7843030](https://doi.org/10.1109/IDT.2016.7843030).
- [59] THANGKHIEW P L and DATTA K. Scalable in-memory mapping of boolean functions in memristive crossbar array using simulated annealing[J]. *Journal of Systems Architecture*, 2018, 89: 49–59. doi: [10.1016/j.sysarc.2018.07.002](https://doi.org/10.1016/j.sysarc.2018.07.002).
- [60] THANGKHIEW P L, GHARPINDE R, and DATTA K. Efficient mapping of Boolean functions to memristor crossbar using MAGIC NOR gates[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2018, 65(8): 2466–2476. doi: [10.1109/TCSI.2018.2792474](https://doi.org/10.1109/TCSI.2018.2792474).
- [61] THANGKHIEW P L and DATTA K. Fast in-memory computation of Boolean functions in memristive crossbar array[C]. The 8th International Symposium on Embedded Computing and System Design, Cochin, India, 2018: 105–109. doi: [10.1109/ISED.2018.8703986](https://doi.org/10.1109/ISED.2018.8703986).
- [62] WALD N and KVATINSKY S. Understanding the influence of device, circuit and environmental variations on real processing in memristive memory using Memristor Aided Logic[J]. *Microelectronics Journal*, 2019, 86: 22–33. doi: [10.1016/j.mejo.2019.02.013](https://doi.org/10.1016/j.mejo.2019.02.013).
- [63] CHAKRABORTY A, SAURABH V, GUPTA P S, *et al.* In-memory designing of Delay and Toggle flip-flops utilizing Memristor Aided loGIC (MAGIC)[J]. *Integration*, 2019, 66: 24–34. doi: [10.1016/j.vlsi.2018.12.005](https://doi.org/10.1016/j.vlsi.2018.12.005).
- [64] CHEN Lin, HE Zhong, WANG Xiaoping, *et al.* Several logic gates extended from magic-memristor-aided logic[C]. The 14th International Symposium on Neural Networks, Hokkaido, Japan, 2017: 170–179. doi: [10.1007/978-3-319-59072-1_21](https://doi.org/10.1007/978-3-319-59072-1_21).
- [65] G N M, LALCHHANDAMA F, DATTA K, *et al.* Modelling and simulation of non-ideal MAGIC NOR Gates on memristor crossbar[C]. The 8th International Symposium on Embedded Computing and System Design, Cochin, India, 2018: 124–128. doi: [10.1109/ISED.2018.8704015](https://doi.org/10.1109/ISED.2018.8704015).
- [66] WANG Xiaoping, YANG Yuanyuan, CHEN Lin, *et al.* A non-volatile comparator based on 1T1M crossbar arrays using memristor-aided logic[C]. The IECON 2017-43rd Annual Conference of the IEEE Industrial Electronics Society, Beijing, China, 2017: 5685–5689. doi: [10.1109/IECON.2017.8216986](https://doi.org/10.1109/IECON.2017.8216986).
- [67] BEIU V, QUINTANA J M, and AVEDILLO M J. VLSI implementations of threshold logic—a comprehensive survey[J]. *IEEE Transactions on Neural Networks*, 2003, 14(5): 1217–1243. doi: [10.1109/TNN.2003.816365](https://doi.org/10.1109/TNN.2003.816365).
- [68] RAJENDRAN J, MANEM H, KARRI R, *et al.* Memristor based programmable threshold logic array[C]. 2010 IEEE/ACM International Symposium on Nanoscale Architectures, Anaheim, USA, 2010: 5–10. doi: [10.1109/NANOARCH.2010.5510933](https://doi.org/10.1109/NANOARCH.2010.5510933).
- [69] GAO Ligang, ALIBART F, and STRUKOV D B. Programmable CMOS/memristor threshold logic[J]. *IEEE Transactions on Nanotechnology*, 2013, 12(2): 115–119. doi: [10.1109/TNANO.2013.2241075](https://doi.org/10.1109/TNANO.2013.2241075).
- [70] XIE Lei. Hybrid threshold-Boolean logic mapped on memristor crossbar[C]. The 12th Conference on Ph.D. Research in Microelectronics and Electronics, Lisbon, Portugal, 2016: 1–4. doi: [10.1109/PRIME.2016.7519462](https://doi.org/10.1109/PRIME.2016.7519462).
- [71] JAMES A P, KUMAR D S, and AJAYAN A. Threshold logic computing: Memristive-cmos circuits for fast fourier transform and vedic multiplication[J]. *IEEE Transactions on Very Large scale Integration (VLSI) Systems*, 2015, 23(11): 2690–2694. doi: [10.1109/TVLSI.2014.2371857](https://doi.org/10.1109/TVLSI.2014.2371857).
- [72] MAAN A K and JAMES A P. Voltage controlled memristor threshold logic gates[C]. 2016 IEEE Asia Pacific Conference on Circuits and Systems, Jeju, South Korea, 2016: 376–379. doi: [10.1109/APCCAS.2016.7803980](https://doi.org/10.1109/APCCAS.2016.7803980).
- [73] MAAN A K, JAYADEVI D A, and JAMES A P. A survey of memristive threshold logic circuits[J]. *IEEE Transactions on Neural Networks and Learning Systems*, 2017, 28(8): 1734–1746. doi: [10.1109/TNNLS.2016.2547842](https://doi.org/10.1109/TNNLS.2016.2547842).
- [74] PAPANDROULIDAKIS G, KHIAT A, SERB A, *et al.* Metal oxide-enabled reconfigurable memristive threshold logic gates[C]. 2018 IEEE International Symposium on Circuits and Systems, Florence, Italy, 2018: 1–5. doi: [10.1109/ISCAS.2018.8351192](https://doi.org/10.1109/ISCAS.2018.8351192).
- [75] MOZAFFARI S N and TRAGOUDAS S. Maximizing the number of threshold logic functions using resistive memory[J]. *IEEE Transactions on Nanotechnology*, 2018, 17(5): 897–905. doi: [10.1109/TNANO.2018.2822285](https://doi.org/10.1109/TNANO.2018.2822285).
- [76] PAPANDROULIDAKIS G, SERB A, KHIAT A, *et al.* Practical implementation of memristor-based threshold logic gates[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, 66(8): 3041–3051. doi: [10.1109/TCSI.2019.2902475](https://doi.org/10.1109/TCSI.2019.2902475).
- [77] DANABOINA Y K Y, SAMANTA P, DATTA K, *et al.* Design and implementation of threshold logic functions using memristors[C]. The 32nd International Conference on VLSI Design and 2019 18th International Conference on Embedded Systems, Delhi, India, 2019: 518–519. doi: [10.1109/VLSID.2019.00115](https://doi.org/10.1109/VLSID.2019.00115).
- [78] VOURKAS I and SIRAKOULIS G C. A novel design and modeling paradigm for memristor-based crossbar circuits[J].

- IEEE Transactions on Nanotechnology*, 2012, 11(6): 1151–1159. doi: [10.1109/TNANO.2012.2217153](https://doi.org/10.1109/TNANO.2012.2217153).
- [79] VOURKAS I and SIRAKOULIS G C. Memristor-based combinational circuits: A design methodology for encoders/decoders[J]. *Microelectronics Journal*, 2014, 45(1): 59–70. doi: [10.1016/j.mejo.2013.10.001](https://doi.org/10.1016/j.mejo.2013.10.001).
- [80] VOURKAS I and SIRAKOULIS G C. Employing threshold - based behavior and network dynamics for the creation of memristive logic circuits and architectures[J]. *Physica Status Solidi (C)*, 2015, 12(1/2): 168–174. doi: [10.1002/pssc.201400161](https://doi.org/10.1002/pssc.201400161).
- [81] PAPANDROULIDAKIS G, VOURKAS I, VASILEIADIS N, *et al.* Boolean logic operations and computing circuits based on memristors[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(12): 972–976. doi: [10.1109/TCSII.2014.2357351](https://doi.org/10.1109/TCSII.2014.2357351).
- [82] KHALID M and SINGH J. Memristor based unbalanced ternary logic gates[J]. *Analog Integrated Circuits and Signal Processing*, 2016, 87(3): 399–406. doi: [10.1007/s10470-016-0733-1](https://doi.org/10.1007/s10470-016-0733-1).
- [83] SOLIMAN N S, FOUDA M E, and RADWAN A G. Memristor-CNTFET based ternary logic gates[J]. *Microelectronics Journal*, 2018, 72: 74–85. doi: [10.1016/j.mejo.2017.12.008](https://doi.org/10.1016/j.mejo.2017.12.008).
- [84] MOHAMMED M U, VIJJAPURAM R, and CHOWDHURY M H. Novel CNTFET and memristor based unbalanced ternary logic gate[C]. The 61st IEEE International Midwest Symposium on Circuits and Systems, Windsor, Canada, 2018: 1106–1109. doi: [10.1109/MWSCAS.2018.8623845](https://doi.org/10.1109/MWSCAS.2018.8623845).
- [85] SOLIMAN N S, FOUDA M E, SAID L A, *et al.* Memristor-CNTFET based ternary comparator unit[C]. The 30th International Conference on Microelectronics, Sousse, Tunisia, 2018: 148–151. doi: [10.1109/ICM.2018.8704010](https://doi.org/10.1109/ICM.2018.8704010).
- [86] SOLIMAN N, FOUDA M E, ALHURBI A G, *et al.* Ternary functions design using memristive threshold logic[J]. *IEEE Access*, 2019, 7: 48371–48381. doi: [10.1109/ACCESS.2019.2909500](https://doi.org/10.1109/ACCESS.2019.2909500).
- [87] EBRAHIMI S, SABBAGHI-NADOOSHAN R, and TAVAKOLI M B. Design of a ternary logical circuit using the Au-DNA-Ag memristor[J]. *Journal of Electronic Materials*, 2019, 48(10): 6261–6268. doi: [10.1007/s11664-019-07413-1](https://doi.org/10.1007/s11664-019-07413-1).
- [88] CHEN Qilai, LIU Gang, TANG Minghua, *et al.* A univariate ternary logic and three-valued multiplier implemented in a nano-columnar crystalline zinc oxide memristor[J]. *RSC Advances*, 2019, 9(42): 24595–24602. doi: [10.1039/C9RA04119B](https://doi.org/10.1039/C9RA04119B).
- [89] FAROOQ U and ASLAM M H. Design and implementation of basic building blocks of FPGA using memristor-transistor hybrid approach[C]. The 5th International Conference on the Innovative Computing Technology, Pontevedra, Spain, 2015: 142–147. doi: [10.1109/INTECH.2015.7173484](https://doi.org/10.1109/INTECH.2015.7173484).
- [90] SAMPATH M, MANE P S, and RAMESHA C K. Hybrid CMOS-memristor based FPGA architecture[C]. 2015 International Conference on VLSI Systems, Architecture, Technology and Applications, Bangalore, India, 2015: 1–6. doi: [10.1109/VLSI-SATA.2015.7050461](https://doi.org/10.1109/VLSI-SATA.2015.7050461).
- [91] FAROOQ U, BHATTI M K, and ASLAM M H. A novel heterogeneous FPGA architecture based on memristor-transistor hybrid approach[C]. 2016 International Conference on Design and Technology of Integrated Systems in Nanoscale Era, Istanbul, Turkey, 2016: 1–6. doi: [10.1109/DTIS.2016.7483890](https://doi.org/10.1109/DTIS.2016.7483890).
- [92] ASLAM M H, FAROOQ U, AWAIS M N, *et al.* Exploring the effect of LUT size on the area and power consumption of a novel memristor-transistor hybrid FPGA architecture[J]. *Arabian Journal for Science and Engineering*, 2016, 41(8): 3035–3049. doi: [10.1007/s13369-016-2068-8](https://doi.org/10.1007/s13369-016-2068-8).
- [93] XIE Lei, DU NGUYEN H A D, TAOUIL M, *et al.* Non-volatile look-up table based FPGA implementations[C]. The 11th International Design & Test Symposium, Hammamet, Tunisia, 2016: 165–170. doi: [10.1109/IDT.2016.7843034](https://doi.org/10.1109/IDT.2016.7843034).
- [94] WANG Xiaoping, CHEN Lin, SHEN Yi, *et al.* A novel circuit design for complementary resistive switch-based stateful logic operations[J]. *Chinese Physics B*, 2016, 25(5): 058502. doi: [10.1088/1674-1056/25/5/058502](https://doi.org/10.1088/1674-1056/25/5/058502).
- [95] WANG Xiaoping, CHEN Kai, FENG Wei, *et al.* A neotype implementation method for CRS-based logic gates in crossbar array[C]. The 35th Chinese Control Conference, Chengdu, China, 2016: 5835–5840. doi: [10.1109/ChiCC.2016.7554270](https://doi.org/10.1109/ChiCC.2016.7554270).
- 王晓媛: 女, 1981年生, 副教授, 研究方向为新型记忆元件(忆阻器、忆容器和忆感器)理论及应用, 非线性电路系统设计和信息加密算法研究。
- 金晨曦: 男, 1996年生, 硕士, 研究方向为忆阻器、忆阻数字逻辑电路。
- 周鹏飞: 男, 1996年生, 硕士, 研究方向为忆阻器、忆阻数字逻辑电路。