

# 一种用于时延积分CMOS图像传感器的10 bit全差分双斜坡模数转换器

张鹤玖<sup>①</sup> 余宁梅<sup>\*①</sup> 吕楠<sup>②</sup> 刘磊<sup>①</sup>

<sup>①</sup>(西安理工大学自动化与信息工程学院 西安 710048)

<sup>②</sup>(西安理工大学信息技术与装备工程学院 西安 710082)

**摘要:** 为了满足时间延时积分(TDI)CMOS图像传感器转换全差分信号的需要,同时符合列并行电路列宽的限制,该文提出并实现了一种10 bit全差分双斜坡模数转换器(ADC)。在列并行单斜坡ADC的基础上,采用2个电容的上极板对差分输入进行采样,电容下极板接2个斜坡输出完成量化。基于电流舵结构的斜坡发生器同时产生上升和下降斜坡,2个斜坡的台阶电压大小相等。该电路使用SMIC 0.18  $\mu\text{m}$  CMOS工艺设计实现,ADC以19.49 kS/s的采样频率对1.32 kHz的输入进行采样,仿真得到无杂散动态范围和有效位数分别为87.92 dB和9.84 bit。测试显示该ADC的微分非线性误差和积分非线性误差分别为 $-0.7/+0.6$  LSB和 $-2.6/+2.1$  LSB。

**关键词:** 列并行模数转换器;全差分输入;电流舵斜坡发生器;比较器

中图分类号: TP335.1; TN432

文献标识码: A

文章编号: 1009-5896(2019)06-1466-06

DOI: 10.11999/JEIT180752

## A 10 bit Fully Differential Dual Slope Analog-to-digital Converter for Time Delay Integration CMOS Image Sensors

ZHANG Hejiu<sup>①</sup> YU Ningmei<sup>①</sup> LÜ Nan<sup>②</sup> LIU Ga<sup>①</sup>

<sup>①</sup>(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an 710048, China)

<sup>②</sup>(School of Information Technology and Equipment Engineering, Xi'an University of Technology, Xi'an 710082, China)

**Abstract:** A 10 bit fully differential dual slope Analog-to-Digital Converter (ADC) for Time Delay Integration (TDI) CMOS image sensors is realized based on column-parallel single-slope ADC. Top plates of the two capacitors are used for sampling differential inputs, and the bottom plates are connected to ramp generator for conversion. Current steering is used to generate the rising and falling ramp with the same step voltage simultaneously. The proposed ADC is fabricated in SMIC 0.18  $\mu\text{m}$  CMOS process. Simulated spurious free dynamic range and effective number of bits are 87.92 dB and 9.84 bit with the input frequency of 1.32 kHz at 19.49 kS/s sampling rate, respectively. Measured results show that the ADC has a differential nonlinearity of  $-0.7/+0.6$  LSB and integral nonlinearity of  $-2.6/+2.1$  LSB.

**Key words:** Column-parallel Analog-to-Digital Converter (ADC); Differential input; Current-steering ramp generator; Comparator

### 1 引言

随着智慧医疗、远程医疗的发展,便携式医疗器械成为研究热点。基于微流控及图像传感器技术的光流体显微镜因其易于系统集成、成本较低、便

于携带及可以实现实时检测等优点,在生物细胞检测领域受到广泛关注<sup>[1-4]</sup>。CMOS图像传感器是光流体显微镜中的重要模块,直接决定了成像质量,由于光流体显微镜的研究还处于起步阶段,大多数采用通用商业CMOS图像传感器<sup>[2,3]</sup>。通用商业芯片成本较高且结构冗余,研究适合于光流体显微镜应用需求的CMOS图像传感器是提高系统性能的关键。CMOS图像传感器的成像速度越快,获取的图像细节信息越多,通过相关图像处理算法重构图像的分辨率就越高,但有限的图像传感器单像素尺寸和光源强度会限制成像质量的提高<sup>[4]</sup>,所以设计需要在成像速度和质量之间进行折中。光流体显微镜

收稿日期: 2018-07-24; 改回日期: 2019-01-28; 网络出版: 2019-02-15

\*通信作者: 余宁梅 yunm@xaut.edu.cn

基金项目: 国家自然科学基金(61771388, 61801378), 西安市科技计划项目(201805037YD15CG21(11))

Foundation Items: The National Natural Science Foundation of China (61771388, 61801378), Xi'an Science and Technology Plan Project (201805037YD15CG21(11))

中，被拍摄物体在图像传感器表面以一定的速度沿像素列方向运动<sup>[2-4]</sup>，因此采用线阵图像传感器可以完成其图像的连续采集。线阵CMOS图像传感器只有一行像素单元，沿着固定方向以恒定速度扫描被测物体实现成像，理论上可以拍摄一幅宽度确定而长度无限的2维图片，但扫描速度过快仍会限制成像质量。基于线阵图像传感器的时间延迟积分(Time Delay Integration, TDI)技术只需要几行像素单元和累加电路，就可以在增加线阵CMOS图像传感器有效曝光时间的同时不降低扫描速度<sup>[5]</sup>，满足光流体显微镜高速高质量的成像需求。

模数转换器(Analog-to-Digital Converter, ADC)作为CMOS图像传感器中的核心模块通常采用易于扩展的列并行结构来实现，最常用的是单端输入的单斜坡ADC以及基于单斜坡的各种改进型ADC<sup>[6-11]</sup>。由于TDI CMOS图像传感器中模拟累加器的输出为差分电压信号<sup>[12]</sup>，将差分输出直接输入至全差分输入的ADC，可以避免增加转换电路，同时差分信号在传输过程中具有更好的抗干扰能力。

本文提出的全差分双斜坡ADC，是基于单斜坡ADC，将上升和下降斜坡输出至2个采样电容的下极板，在上极板进行采样。设计的ADC电路主要包括：高速高精度比较器、基于电流舵结构的双输出斜坡发生器以及相应的数字控制等模块。2个斜坡电压由同一个斜坡发生器同时产生，具有良好的一致性和线性度，整体电路结构简单，可扩展性强。

## 2 TDI CMOS图像传感器中的ADC

### 2.1 系统概述

CMOS图像传感器根据处理电路的实现方式可以分为芯片级、像素级和列级，列级是指每一列像素单元由一个处理电路转换，也被称为列并行结构，它是另外两种方式的折中，在获得较高的转换速度的同时降低了ADC的设计难度。在TDI CMOS图像传感器中，每一列不同行像素单元先由累加电路累加为一个模拟量，然后再进行A/D转换，所以处理电路布局仍然采用列并行的方式实现，本文中的TDI CMOS图像传感器电路框图如图1所示。

从图1中可以看出，列电路包括像素阵列、读出累加电路、全差分输入的ADC和数字处理电路，列共用电路包括双输出的斜坡发生器、基准参考电路和时序控制驱动电路。本文采用模拟累加器来实现同列不同行像素电压的累加，然后通过A/D转换后进行数字处理。本文提出的全差分双斜坡ADC可以直接对累加器输出的差分电压进行A/D转换，在不需要额外电路的同时获得更好的抗干扰能力。

### 2.2 全差分双斜坡ADC

本文提出的全差分双斜坡ADC的结构图和时序如图2所示，该ADC由1个比较器、1个双输出的斜坡发生器、2个采样电容、4个采样开关及计数存储等数字电路组成。2个采样电容 $C_{s1}$ 和 $C_{s2}$ 的上极板分别和比较器的2个输入端相连，下极板分别接斜坡发生器输出的下降斜坡 $V_{r-}$ 和上升斜坡 $V_{r+}$ ，通过控制开关 $S_1 \sim S_4$ 实现复位和采样，比较器输出至计数器，计数器同步控制斜坡发生器，转换的数字结果存在存储器中。

图2(b)给出了该ADC的工作时序图。首先复位信号 $T_r$ 为高电平时开始复位，开关 $S_3$ 和 $S_4$ 导通，采样电容 $C_{s1}$ 和 $C_{s2}$ 的上极板都接共模电压 $V_{cm}$ ，此时与其下极板相连的斜坡发生器的输出 $V_{r-}$ 和 $V_{r+}$ 保持

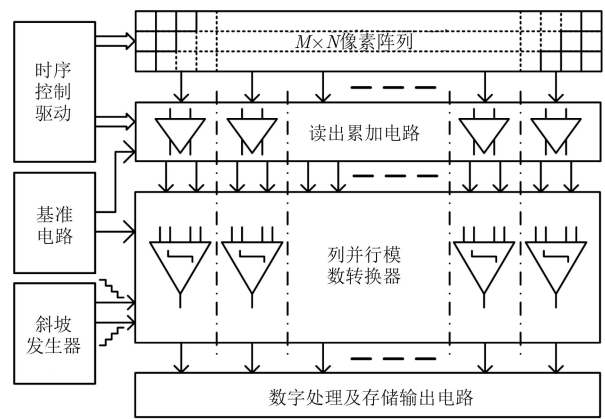
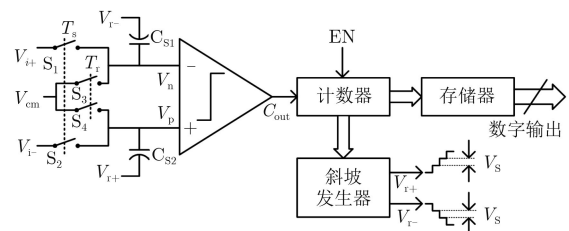
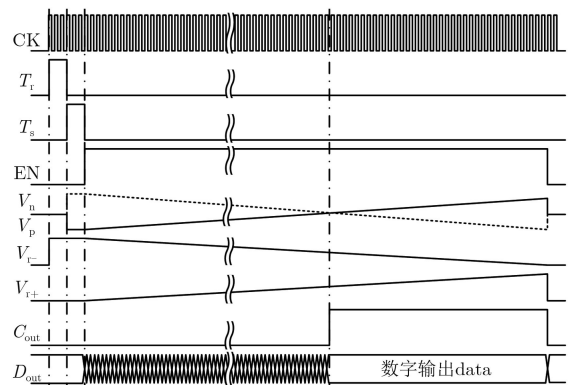


图1 TDI CMOS图像传感器的电路框图



(a) 模数转换器结构图



(b) 模数转换器时序图

图2 全差分双斜坡ADC

初始电压。然后  $T_r$  变为低电平，开关  $S_3$  和  $S_4$  断开，信号  $T_s$  为高电平，开关  $S_1$  和  $S_2$  导通，输入差分信号  $V_{i+}$  和  $V_{i-}$  在电容  $C_{s1}$  和  $C_{s2}$  上进行采样。采样结束后开关  $S_1$  和  $S_2$  断开，比较器使能信号 EN 置位，开始比较阶段，斜坡发生器在计数器的控制下输出开始变化，计数器每增加1位，斜坡电压  $V_r$  和  $V_{r+}$  分别降低和升高1个台阶电压，因为没有其它放电通路，比较器的输入  $V_n$  和  $V_p$  将分别跟随斜坡的变化而降低和升高1个相同的台阶电压，比较器进行1次比较，数字输出  $D_{out}$  跟随计数器的值刷新1次。设单个斜坡台阶电压大小为  $V_s$ ，那么第  $i$  个比较周期比较器正负端的电压可以分别表示为

$$V_p = V_{i-} + i \cdot V_s \quad (1)$$

$$V_n = V_{i+} - i \cdot V_s \quad (2)$$

那么比较器的输入差值  $V_d$  可以表示为

$$V_d = V_p - V_n = -[(V_{i+} - V_{i-}) - 2i \cdot V_s] \quad (3)$$

当  $i$  为0时，差分输入正端  $V_{i+}$  总是大于等于负端  $V_{i-}$ ，即初始  $V_p$  小于  $V_n$ ， $V_d$  为负值，所以比较器的输出  $C_{out}$  为低电平。随着  $i$  的增加， $V_p$  增大而  $V_n$  在减小，在某一比较周期， $V_p$  变的大于  $V_n$ ， $V_d$  由负值变为正值，比较器的输出由低电平跳变为高电平，这个跳变的上升沿使得存储器保持该周期计数器的值，即为对应的数字输出，A/D转换过程结束。

可以看出本文设计的全差分双斜坡ADC结构简单，适用于TDI CMOS传感器的列并行电路，其中比较器和斜坡发生器为最主要的模块，比较器可以识别的最小电压值和斜坡发生器的台阶电压精度决定了ADC的精度，比较器和斜坡发生器的速度共同决定了ADC的速度，所以本文将进行重点讨论。

### 2.3 比较器

比较器作为A/D转换过程的核心模块，通过比较待量化的模拟输入电压，输出高低电平进行A/D转换，其精度和速度决定了ADC的性能。比较器的精度小于ADC最低有效位(Least Significant Bit, LSB)电压值的一半，根据本文1.5 V的量化范围和10 bit分辨率的设计要求，则比较器的精度要求为0.73 mV，比较器工作频率等于时钟频率。

常见的比较器主要分为静态比较器和动态锁存比较器，前者就是运算放大器的开环应用，也称为开环放大器，而后者是利用交叉耦合MOS管的正反馈来实现比较。相比而言，动态比较器速度快、功耗低，但其输入失调电压较大，限制了应用精度。开环放大器的阶跃响应呈负指数曲线，而动态锁存比较器的阶跃响应呈正指数曲线，如果阶跃信号先经过开环放大器放大再由动态比较器比较，则

整体电路的响应时间更短，而且通过前置放大电路能减小动态比较器的失调对整体电路精度的影响，同时可以通过失调消除技术消除预放大电路中存在的失调<sup>[13-15]</sup>。

为了实现更短响应时间和更高精度，本文采用预放大电路、动态锁存电路及输出缓冲级电路共同组成的比较电路，比较器结构如图3所示。依据仿真结果，该锁存电路输入失调小于20 mV，设其输入失调为20 mV，为了达到比较器0.73 mV的精度要求，预放大的增益大于27.4倍。为了获得速度和增益折中，比较器采用3级预放大结构来实现，则每一级的增益大于3倍，即大于9.58 dB。

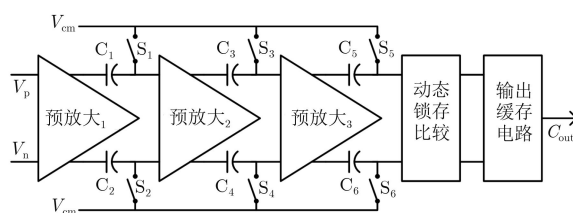


图3 带预放大的动态锁存比较器框图

比较器的比较周期为50 ns，设每一级预放大电路的增益为  $A_0$ ，带宽为  $BW_0$ ，则3级的总增益  $G$  为  $A_0^3$ ，为了满足速度要求，3级预放大的总延迟时间  $t_d$  不超过比较周期的1/4，则  $3/BW_0$  小于  $t_d$ ，所以单级预放大带宽  $BW_0$  大于38 MHz，而单级延迟时间  $\tau$  约小于4 ns。由于各级预放大的负载、输入电压不同，延迟时间也不同，所以实际设计时需要根据比较器的精度和每一级的输入输出情况来调整它们的带宽和增益，最终满足整体的速度和精度要求。

比较器的具体电路在图4中给出。图4(a)为比较器中采用的3级预放大电路原理图，晶体管M0和M1在电压  $V_{b0}$  和  $V_{b1}$  偏置下构成电流源，M4和M5采用二极管接法分别与交叉耦合管M6和M7并联作为负载。图4(b)为动态锁存比较电路图，在信号CK的控制下比较输入电压的大小，输出高电平或者低电平，当CK为低电平时比较器复位输出为高电平，当CK为高电平时对输入电压进行比较。图4(c)为输出缓冲电路图，因为动态锁存比较电路在CK为低电平时进行复位，此刻比较器的输出与输入电压无关，但结果会影响后续电路的判断，所以通过输出缓冲电路实现在CK为高电平时缓冲电路输出比较阶段的比较结果，在CK为低电平的复位阶段比较器的输出保持上一比较阶段的比较结果。

动态锁存比较器在输入差值较大时具有速度快的优点，但是其失调电压较大，严重影响比较器精度，通过在动态锁存比较器前加入预放大电路，可

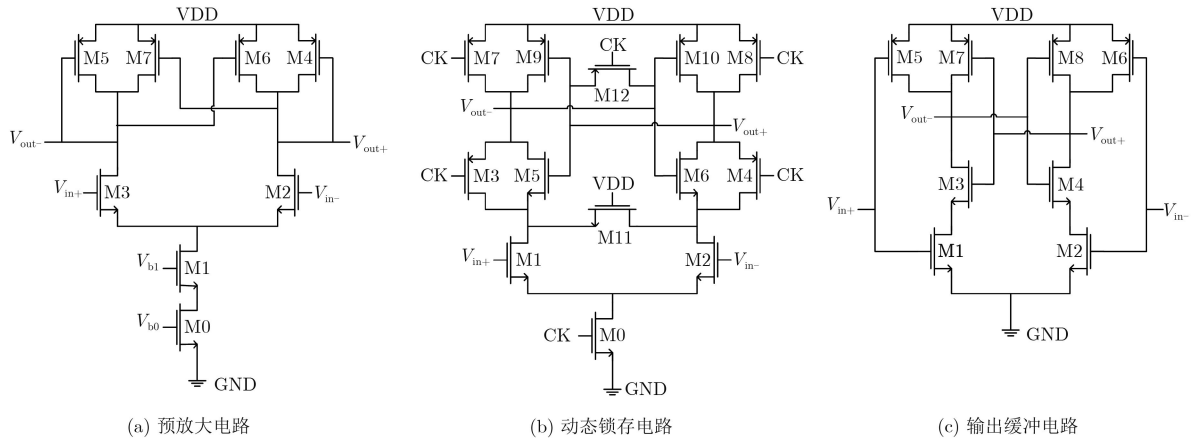


图4 比较器的电路图

以减小失调对电路的影响，也能获得更快的响应速度，提高了比较器的精度和速度。

### 2.4 斜坡发生器

本文提出的ADC要求斜坡发生器同时输出1个上升和1个下降斜坡，且斜坡台阶电压值一样。斜坡电压可以看作是数字模拟转换器的一种连续输出，有多种电路实现方式。基于电流舵的实现方式具有高速高精度的特点，而且可以同时输出1个上升斜坡和1个下降斜坡，2个斜坡电压具有相关性<sup>[16]</sup>，满足本文ADC的应用需要。

基于电流舵结构的斜坡发生器如图5所示，电路主要包括电流源阵列、开关及其驱动、输出缓冲及相应的数字控制等部分。电流源阵列采用共源共栅结构实现，使电流源具有更高的内阻。开关电路为互不交叠时钟控制下的差分开关，一条通路上两个差分开关不会出现同时关断的情况，则该通路上的电流源不会关断。输出缓冲电路通过负载电阻将两个输出电流转换为电压，然后由运放构成的单位增益缓冲器驱动后级多列电路。因为电流源阵列的总电流是一定的，而电流只能同时经过两个电阻中的一个，所以当两个电阻一样时，一侧电压 $V_{r+}$ 上升值一定等于另一侧电压 $V_{r-}$ 的下降值。

根据本文ADC的1.5 V量化范围和10 bit分辨

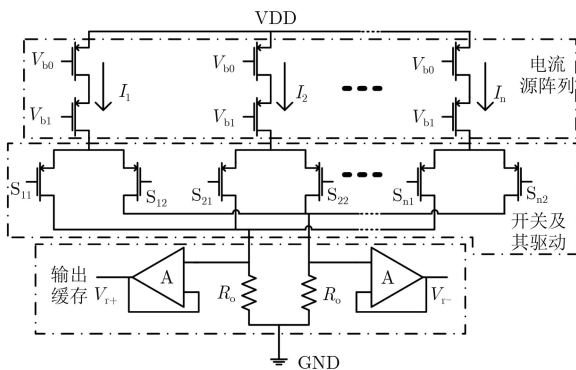


图5 斜坡发生器电路图

率要求，斜坡发生器的精度也为10 bit，产生单个台阶电压的时间为50 ns，上升斜坡和下降斜坡的范围均为0.75 V，那么单个台阶的高度约为0.73 mV。斜坡发生器采用3 bit二进制码加7 bit温度计码的分段方式来实现，从而获得精度与面积等方面的折中<sup>[17]</sup>。

### 3 仿真与测试

本文提出的ADC采用SMIC 0.18 μm标准CMOS工艺来设计实现，芯片电子显微照片如图6所示，左侧标识出区域为用于图像传感的64列列处理电路实验芯片。包括读出预处理及累加电路、本文提出的全差分双斜坡ADC、控制驱动及数字处理电路、斜坡发生器和偏置基准等电路。64列全差分双斜坡ADC共用一个斜坡发生器，斜坡发生器包括

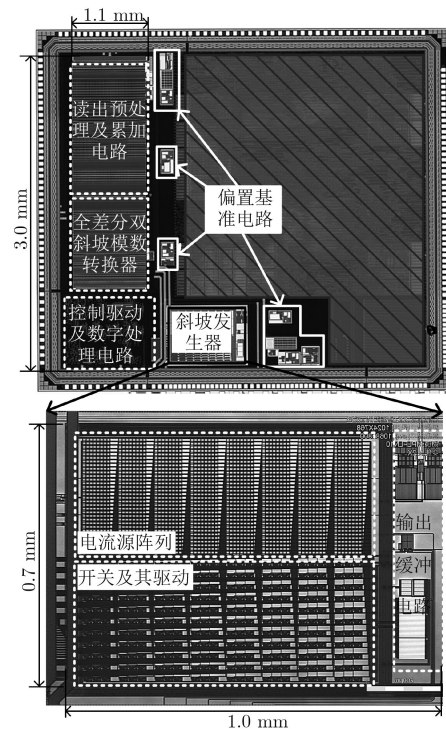


图6 实验芯片电子显微照片

电流源阵列、开关及其驱动和输出缓冲电路。64列处理电路的面积约为 $3.0\text{ mm}\times 1.1\text{ mm}$ ，其中单个ADC的模拟电路列部分的面积约为 $14\text{ }\mu\text{m}\times 720\text{ }\mu\text{m}$ ，斜坡发生器的面积约为 $0.7\text{ mm}\times 1.0\text{ mm}$ 。

模拟电路部分的电源电压是 $3.3\text{ V}$ ，时钟频率为 $20\text{ MHz}$ ，A/D转换时间为 $51.3\text{ }\mu\text{s}$ 。本文对提出的全差分双斜坡ADC的动态特性进行了仿真，仿真结果如图7所示。从图7中可以看出，该ADC以 $19.49\text{ kS/s}$ 的采样频率对 $1.32\text{ kHz}$ 的输入正弦信号采样，然后进行快速傅里叶变换分析，可以得出其信纳比(Signal to Noise And Distortion ratio, SINAD)约为 $61.01\text{ dB}$ ，信噪比(Signal Noise Ratio, SNR)约为 $62.02\text{ dB}$ ，总谐波失真(Total Harmonic Distortion, THD)约为 $-85.26\text{ dB}$ ，无杂散动态范围(Spurious Free Dynamic Range, SFDR)约为 $87.92\text{ dB}$ ，有效位数(Effective Number Of Bits, ENOB)达到 $9.84\text{ bit}$ 。

流片实现后对提出的全差分双斜坡ADC的静态特性进行了测试分析，结果如图8所示。从图8(a)中可以看出ADC的微分非线性误差(Differential NonLinearity, DNL)为 $-0.7/+0.6\text{ LSB}$ ，从图8(b)中可以看出ADC的积分非线性误差(Integral NonLinearity, INL)为 $-2.6/+2.1\text{ LSB}$ 。测试结果表明提出的ADC具有较好的线性度，满足光流体显微镜中TDI CMOS图像传感器的应用需求。在表1中对比了本文提出的ADC与其它参考结构的主要参数，本文由一个斜坡发生器产生双斜坡，利用双斜坡实现ADC的差分输入。

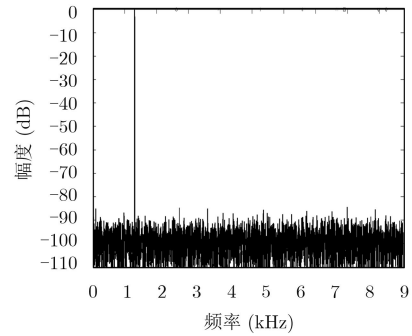
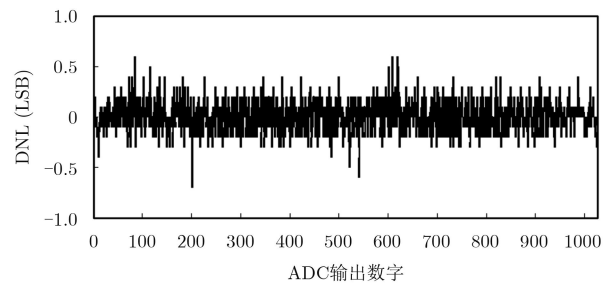
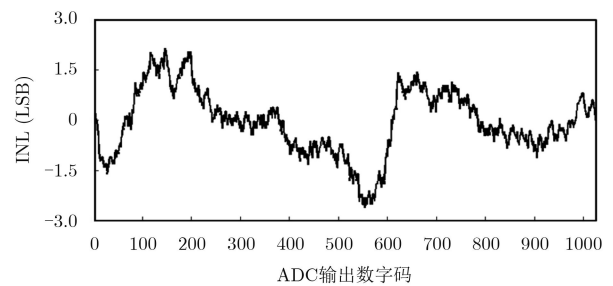


图7 ADC的动态特性仿真结果



(a) DNL



(b) INL

图8 ADC的静态特性测试结果

表1 本文提出的ADC与其它文献ADC的对比

	工艺( $\mu\text{m}$ )	系统结构	位数(bit)	时钟(MHz)	转换时间( $\mu\text{s}$ )	斜坡电路个数	输入方式
文献[6]	0.13	单斜坡	10	100	20	1	单端
文献[7]	0.13	单斜坡	10	400	—	1	单端
文献[8]	0.25	多斜坡两步式	10	20	63	9	单端
文献[9]	0.13	单斜坡两步式	12	62.5	6.3	2	单端
本文	0.18	双斜坡	10	20	51.3	1	差分

## 4 结论

本文设计实现了一种适用于TDI CMOS图像传感器的10 bit全差分双斜坡ADC，通过采样电容上极板采样，采样电容的下极板接斜坡电压实现量化，比较器采用了预放大加动态锁存的结构实现高速高精度，采用电流舵结构的斜坡发生器同时产生高精度的上升和下降斜坡。在SMIC  $0.18\text{ }\mu\text{m}$  CMOS工艺下进行电路实现，斜坡发生器的面积约

为 $0.7\text{ mm}\times 1.0\text{ mm}$ ，64列处理电路的面积约为 $3.0\text{ mm}\times 1.0\text{ mm}$ 。提出的ADC以 $19.49\text{ kS/s}$ 的采样频率对 $1.32\text{ kHz}$ 的输入进行采样，仿真得到THD为 $-85.26\text{ dB}$ ，SINAD为 $-85.26\text{ dB}$ ，SFDR为 $87.92\text{ dB}$ ，ENOB达到 $9.84\text{ bit}$ 。测试结果显示ADC的DNL和INL分别为 $-0.7/+0.6\text{ LSB}$ 和 $-2.6/+2.1\text{ LSB}$ ，具有较好的线性度，满足光流体显微镜中TDI CMOS图像传感器的应用需求。

## 参 考 文 献

- [1] GHALLAB Y H and ISMAIL Y. CMOS based lab-on-a-chip: applications, challenges and future trends[J]. *IEEE Circuits and Systems Magazine*, 2014, 14(2): 27–47. doi: [10.1109/MCAS.2014.2314264](https://doi.org/10.1109/MCAS.2014.2314264).
- [2] FANG Yuan, YU Ningmei, JIANG Yuquan, *et al.* High-precision lens-less flow cytometer on a chip[J]. *Micromachines*, 2018, 9(5): 227. doi: [10.3390/mi9050227](https://doi.org/10.3390/mi9050227).
- [3] HUANG Xiwei, JIANG Yu, LIU Xu, *et al.* Machine learning based single-frame super-resolution processing for lensless blood cell counting[J]. *Sensors*, 2016, 16(11): E1836. doi: [10.3390/s16111836](https://doi.org/10.3390/s16111836).
- [4] LIU Xu, HUANG Xiwei, JIANG Yu, *et al.* A microfluidic cytometer for complete blood count with a 3.2-Megapixel, 1.1- $\mu\text{m}$ -Pitch super-resolution image sensor in 65-nm BSI CMOS[J]. *IEEE Transactions on Biomedical Circuits and Systems*, 2017, 11(4): 794–803. doi: [10.1109/TBCAS.2017.2697451](https://doi.org/10.1109/TBCAS.2017.2697451).
- [5] YIN C, LIAO Ting, LIU Kuanlin, *et al.* A 32-stage 15-b digital time-delay integration linear CMOS image sensor with data prediction switching technique[J]. *IEEE Transactions on Electron Devices*, 2017, 64(3): 1167–1173. doi: [10.1109/TED.2017.2655143](https://doi.org/10.1109/TED.2017.2655143).
- [6] KIM D and SONG M. An enhanced dynamic-range CMOS image sensor using a digital logarithmic single-slope ADC[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2012, 59(10): 653–657. doi: [10.1109/TCSII.2012.2213359](https://doi.org/10.1109/TCSII.2012.2213359).
- [7] JEON B K, HONG S K, and KWON O K. A low-power 10-bit single-slope ADC using power gating and multi-clocks for CMOS image sensors[C]. Proceedings of 2016 International SoC Design Conference, Jeju, South Korea, 2016: 257–258.
- [8] SNOEIJ M F, THEUWISSEN A J P, MAKINWA K A A, *et al.* Multiple-ramp column-parallel ADC architectures for CMOS image sensors[J]. *IEEE Journal of Solid-State Circuits*, 2007, 42(12): 2968–2977. doi: [10.1109/JSSC.2007.908720](https://doi.org/10.1109/JSSC.2007.908720).
- [9] PARK H, LEE J, KIM J, *et al.* High frame rate VGA CMOS image sensor using two-step single slope ADCs[C]. Proceedings of 2016 IEEE Asia Pacific Conference on Circuits and Systems, Jeju, South Korea, 2016: 571–572.
- [10] LYU Nan, YU Ningmei, and ZHANG Hejiu. A high-speed column-parallel time-digital single-slope ADC for CMOS image sensors[J]. *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 2016, E99-A(2): 555–559. doi: [10.1587/transfun.E99.A.555](https://doi.org/10.1587/transfun.E99.A.555).
- [11] KIM D, SONG M, CHOE B, *et al.* A multi-resolution mode CMOS image sensor with a novel two-step single-slope ADC for intelligent surveillance systems[J]. *Sensors*, 2017, 17(7): E1497. doi: [10.3390/s17071497](https://doi.org/10.3390/s17071497).
- [12] XIA Yu, NIE Kaiming, XU Jiangtao, *et al.* A two-step analog accumulator for CMOS TDI image sensor with temporal undersampling exposure method[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2016, 24(3): 1104–1117. doi: [10.1109/TVLSI.2015.2439262](https://doi.org/10.1109/TVLSI.2015.2439262).
- [13] SHIRAI E. CMOS multistage preamplifier design for high-speed and high-resolution comparators[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2007, 54(2): 166–170. doi: [10.1109/TCSII.2006.883091](https://doi.org/10.1109/TCSII.2006.883091).
- [14] ZHU Y, CHAN C H, CHIO U F, *et al.* A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(6): 1111–1121. doi: [10.1109/JSSC.2010.2048498](https://doi.org/10.1109/JSSC.2010.2048498).
- [15] TANG Kai, MENG Qiao, WANG Zhigong, *et al.* A low power 20 GHz comparator in 90 nm COMS technology[J]. *Journal of Semiconductors*, 2014, 35(5): 055002. doi: [10.1088/1674-4926/35/5/055002](https://doi.org/10.1088/1674-4926/35/5/055002).
- [16] RAZAVI B. The current-steering DAC[J]. *IEEE Solid-State Circuits Magazine*, 2018, 10(1): 11–15. doi: [10.1109/MSSC.2017.2771102](https://doi.org/10.1109/MSSC.2017.2771102).
- [17] MAO Wei, LI Yongfu, HENG C H, *et al.* High dynamic performance current-steering DAC design with nested-segment structure[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2018, 26(5): 995–999. doi: [10.1109/TVLSI.2018.2791462](https://doi.org/10.1109/TVLSI.2018.2791462).
- 张鹤玖：男，1988年生，博士生，研究方向为模拟及数模混合集成电路设计。
- 余宁梅：女，1963年生，教授，博士生导师，研究方向为超大规模集成电路及数模混合集成电路技术。
- 吕楠：男，1987年生，讲师，研究方向为模拟及数模混合集成电路设计。
- 刘彘：男，1993年生，硕士生，研究方向为模拟及数模混合集成电路设计。