

低热梯度导向的三维FPGA互连通道网络架构研究

高丽江^{①②} 杨海钢^{*①②} 张超^①

^①(中国科学院电子学研究所 北京 100190)

^②(中国科学院大学 北京 100049)

摘要: 该文针对3维FPGA (3D FPGA)芯片存在的散热问题, 提出具有低热梯度特征的互连网络通道结构, 力图解决传统FPGA匀称互连通道设计在芯片堆叠实现上产生的温度非平衡现象。该文建立了3D FPGA的热阻网络模型; 对不同类型的通道线对3D FPGA的热分布影响进行了理论分析和热仿真; 提出了垂直方向通道网络非均匀分布的3D FPGA通道结构, 实验表明, 与给定传统FPGA互连通道结构相比, 采用所提方法实现的3D FPGA设计架构能够降低76.8%的层间最高温度梯度, 10.4%的层内温度梯度。

关键词: 3维现场可编程门阵列; 非均匀通道结构; 热分布

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2019)10-2389-07

DOI: 10.11999/JEIT181134

Research into Low Thermal Gradient Oriented 3D FPGA Interconnect Channel Architecture Design

GAO Lijiang^{①②} YANG Haigang^{①②} ZHANG Chao^①

^①(*Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China*)

^②(*University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: To solve the problem of heat dissipation in Three Dimensional Field Programmable Gate Array Technology (3D FPGA), an interconnect channel architectural design method with low thermal gradient feature is proposed. A thermal resistance network model is established for the 3D FPGA, and theoretical studies and thermal simulation experiments are carried out on the influence of different types of channels on the thermal performance of 3D FPGA. Further, non-uniform vertical direction channel structures of 3D FPGA are proposed. Experiments indicate that 3D FPGA designed using the method proposed can reduce the maximum temperature gradient between different layers by 76.8% and the temperature gradient within the same layer by 10.4% compared with the traditional channel structure of 3D FPGA.

Key words: Three Dimensional Field Programmable Gate Array (3D FPGA); Non-uniform channel structure; Thermal distribution

1 引言

现场可编程门阵列(Field Programmable Gate Array, FPGA)以其阵列化的特点, 被认为可从3维(Three Dimensional, 3D)集成技术中获益的重要技术领域^[1-4], 引起了极大的关注^[5-13]。本文针对3D

FPGA热梯度高这一瓶颈问题, 对3D FPGA的通道结构设计对散热效果的影响进行了深入探索。旨在从架构级改进3D FPGA的热梯度。

2 3D FPGA均匀分布通道结构模型

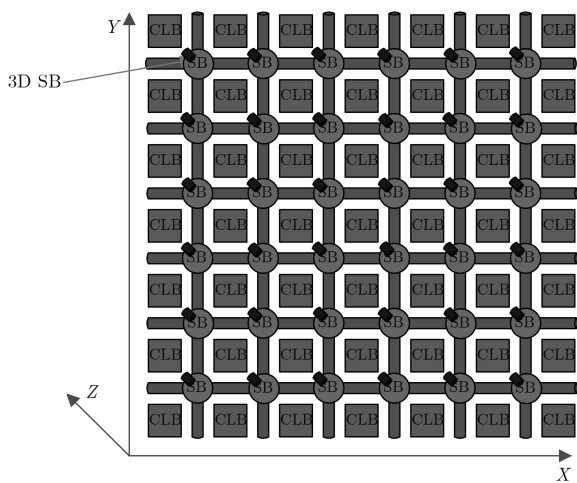
通道结构即FPGA互连资源构成及其拓扑连接的统称^[1,2]。现有的3D FPGA, 其开关盒(SwitchBox, SB)分布为均匀排布^[5], 包括: 沿Z方向包括多个切片(切片平面, 即Y平面层), 切片上开关盒主要包括以下两种情况: (1) 3D FPGA各切片在Z方向只包括一种类型的3D开关盒, 如图1(a)所示(图中CLB表示可编程逻辑模块); (2) FPGA切片在Z方向2D, 3D开关盒按规律交替排布, 如图1(b)所示。

收稿日期: 2018-12-10; 改回日期: 2019-03-18; 网络出版: 2019-04-13

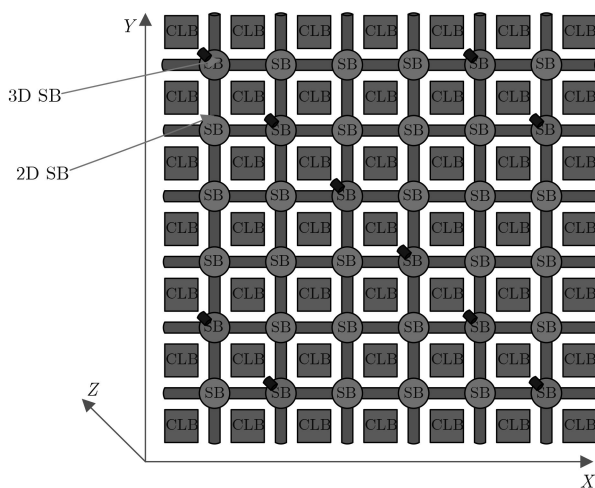
*通信作者: 杨海钢 yanghg@mail.ie.ac.cn

基金项目: 国家自然科学基金(61876172, 61704173), 北京市科技重大专项课题(Z171100000117019)

Foundation Items: The National Natural Science Foundation of China (61876172, 61704173), The Major Program of Beijing Science and Technology (Z171100000117019)



(a) 单类型开关盒结构



(b) 2D与3D开关盒交替排布结构

图1 均匀通道结构模型

3 3D FPGA封装热阻模型与热分析实验

3.1 3D FPGA热分析模型与分析

图2所示为由4层FPGA切片堆叠而成的3D FPGA结构, 各层FPGA切片通过过硅通孔(Through Silicon Via, TSV)进行连接, 3D FPGA利用BGA焊球将封装后的3D FPGA芯片连接在PCB板上。在相同条件下, 3D FPGA各层之间的热作用与各层之间的热阻(R)关系密切。为便于分析, 将各层看作

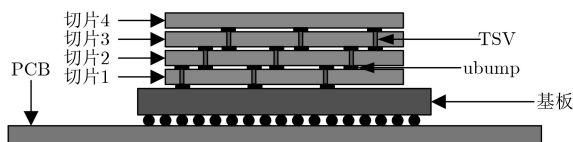


图2 3D FPGA结构

由大量网格拼接而成, 如图3(a)所示; 各个网格之间的热阻如图3(b)所示。

不难看出, 对于结构均匀分布的3D FPGA, 各个网格之间的热阻相同。而各网格与外界散热通路的距离却不尽相同, 与外界散热通路近的网络可以直接散热, 而距离散热通路远的网络则通过相邻的网络进行散热, 因此温度分布将呈现中心热于四周, 上层热于下层。即:

$$T_{四周} < T_{中心} \tag{1}$$

$$T_{下层} < T_{上层} \tag{2}$$

为研究跨越不同层数的TSV其散热效果的不同, 取一具有相同层数的3D最小网格进行分析。分别分析了错开放置(短TSV)和对齐放置(长TSV)两种情况, 分别见图4(a)和图4(b)。

图4(c)与图4(d)分别表示TSV错开放置与对齐放置的散热通路热阻, 其中 R_{GR} 为最小网格热阻, R_{TS} 为单长度TSV热阻, R_{AM} 为环境热阻。

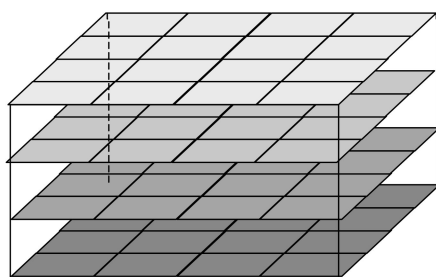
为了解析地描述热量流动, 有研究者提出类似Elmore延时模型的热模型^[14]。本文用其给出了4层堆叠并通过底层PCB散热通路进行散热的散热系统模型, 如图4(e)所示。根据热力学定律, 可以得出稳态条件下各层温度与环境温度之差的计算公式式(3)–式(6), 其中, Q 表示热量, T 表示稳态温度。

$$T_1 - T_{AM} = (Q_1 + Q_2 + Q_3 + Q_4) R_1 \tag{3}$$

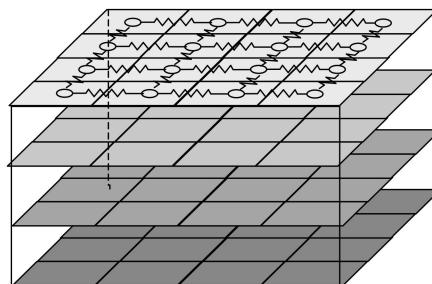
$$T_2 - T_{AM} = Q_1 R_1 + Q_2 (R_2 + R_1) + Q_3 (R_2 + R_1) + Q_4 (R_2 + R_1) \tag{4}$$

$$T_3 - T_{AM} = Q_1 R_1 + Q_2 (R_2 + R_1) + Q_3 (R_3 + R_2 + R_1) + Q_4 (R_3 + R_2 + R_1) \tag{5}$$

$$T_4 - T_{AM} = Q_1 R_1 + Q_2 (R_2 + R_1) + Q_3 (R_3 + R_2 + R_1) + Q_4 (R_4 + R_3 + R_2 + R_1) \tag{6}$$



(a) 由网格组成的3D FPGA



(b) 层内网格之间的热阻

图3 3D FPGA热阻网络模型

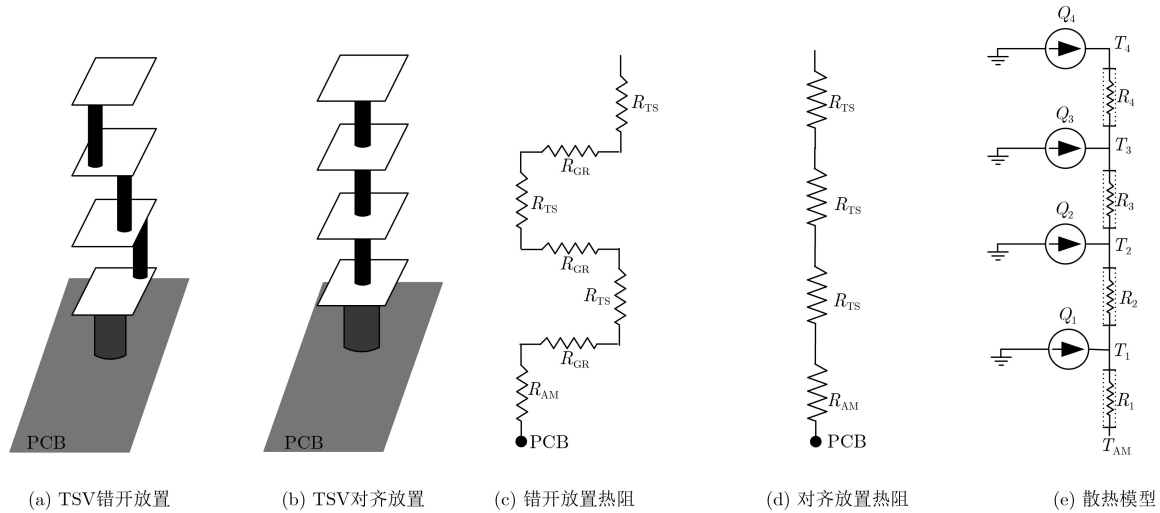


图 4 3D最小网格散热分析模型

两种情况热阻如表1所示。

由表1以及式(3)–式(6)可以得出稳态条件下有式(7)–式(10)关系：

$$T_{\text{错开}1} = T_{\text{对齐}1} \quad (7)$$

$$T_{\text{错开}2} > T_{\text{对齐}2} \quad (8)$$

$$T_{\text{错开}3} > T_{\text{对齐}3} \quad (9)$$

$$T_{\text{错开}4} > T_{\text{对齐}4} \quad (10)$$

3.2 热学仿真

根据图4所示的封装结构，进行3D FPGA的热

仿真，热分析软件采用Mentor公司的Flotherm。封装材料设置如表2所示。

3.2.1 TSV长度和密度均匀分布

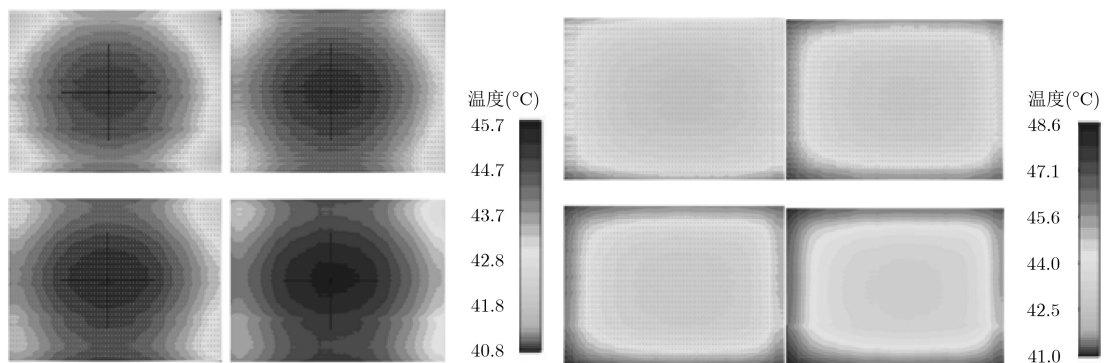
图5(a)为图2所示3D FPGA各层的温度分布

表 1 两种情况的热阻值

热阻	错开放置	对齐放置
R_1	$R_{TS} + R_{GR}$	R_{TS}
R_2	$R_{TS} + R_{GR}$	R_{TS}
R_3	$R_{TS} + R_{GR}$	R_{TS}
R_4	R_{AM}	R_{AM}

表 2 封装材料设置

部件	材料	尺寸
切片	Si	8 mm×6 mm
TSV	Cu	直径：20 μm，高度：50 μm
Micro-Bump (微凸块)	Cu	高度：20 μm
Ceramic substrate (陶瓷衬底)	氧化铝	30 mm×30 mm
BGA solder ball (BGA焊球)	Sn63/Pb37	直径：0.6 mm，中心距：1 mm
PCB motherboard (PCB板)	FR4	30 mm×30 mm



(a) 功耗均匀分布热分布

(b) 功耗非均匀分布热分布

图 5 功耗不同分布热分布对比

图, 4层FPGA切片相同。每层FPGA功耗为2 W, 层与层之间依靠TSV进行连接, 环境温度为25°C。

图5(a)的4幅图(排列顺序为: 左上、右上、左下、右下。下同)依次为切片1、切片2、切片3、切片4的热分布图。从图中可以看出, 上层切片温度高于下层, 四周温度要低于中心。这与上节理论分析结论一致。

考虑到实际芯片的功耗分布未必是均匀分布, 功耗分布与模块分布密切相关, 如高耗电模块在四周, 可能导致四周功耗高于中心。针对这一情况, 重新设置了功耗分布, 进行了实验, 得出温度分布图5(b)。

3.2.2 多长度vs单长度

为考察跨越多层的TSV(多长度TSV)与跨越2层的TSV(单长度TSV)的散热效果, 分别对各层TSV的分布进行了调整, 用各层TSV对齐放置来表示多长度TSV, 用各层TSV错开放置来表示单长度TSV。统计和热分布结果见图6和图7。

从图6及图7可以看到: 多长度TSV具有较好的散热效果。

综上, 现有的FPGA主要存在以下问题: (1)每层内部温度分布不均, 散热效果不理想; (2)采用多长度TSV有利于热量的耗散。

4 非均匀分布通道结构

虽然TSV越长, 散热能力越好, 过多的长TSV将导致布线时灵活性的降低。因此, 设计合适的TSV分布, 在散热和布线灵活性之间进行折中, 具有重要意义。考虑到第3节得出的结论: 层间与层内热分布不均匀。本文提出了通道非均匀分布3D FPGA, 综合考虑功耗分布和散热能力, 通过调整3D开关盒TSV的长度和分布, 使得通道结构不均匀分布, 从而达到降低热梯度, 平衡热分布的作用。

从前面小节结论可以猜想, 在功耗均匀分布的情况下, 如果在芯片的中央减少长度较短的信号

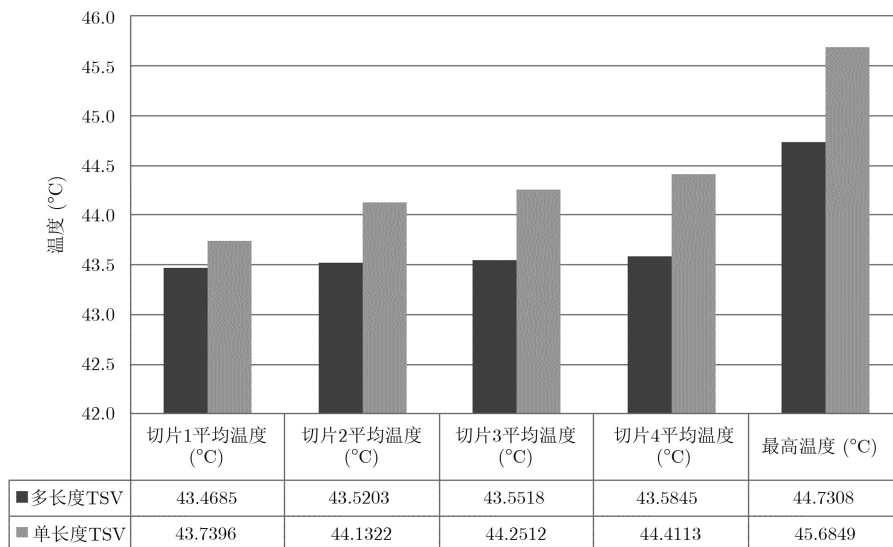
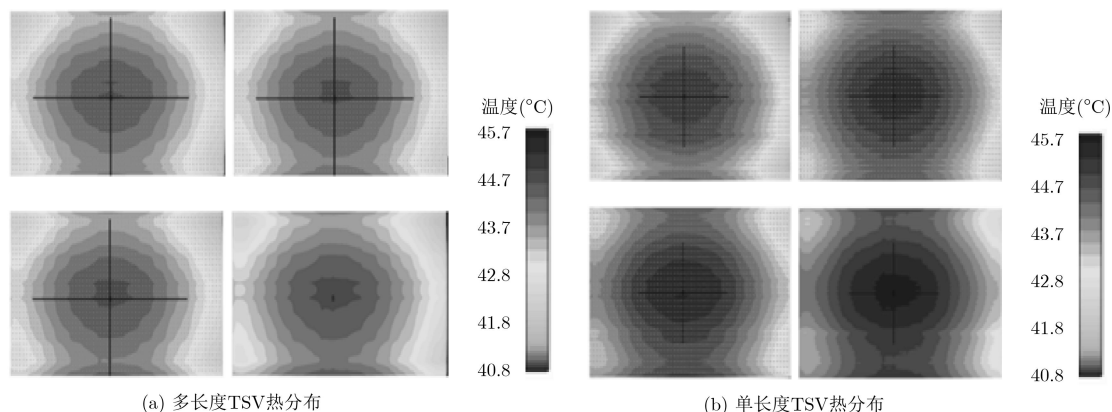


图6 热分布统计直方图



(a) 多长度TSV热分布

(b) 单长度TSV热分布

图7 多长度与单长度TSV热分布对比

TSV的数目，增加长度较长的TSV数目，必将有利于热梯度的降低。考虑到芯片的功耗分布未必是均匀分布，综合各种情况，设计出如下几种结构。

(1)结构1: Z方向较短TSV中心分布，较长TSV外围分布，如图8所示。该非均匀通道结构适用于外围功耗大于中心功耗的情况。

(2)结构2: Z方向较短TSV外围分布，较长TSV中心分布，如图9所示。该非均匀通道结构适用于中心功耗大于外围功耗或功耗均匀分布的情况。

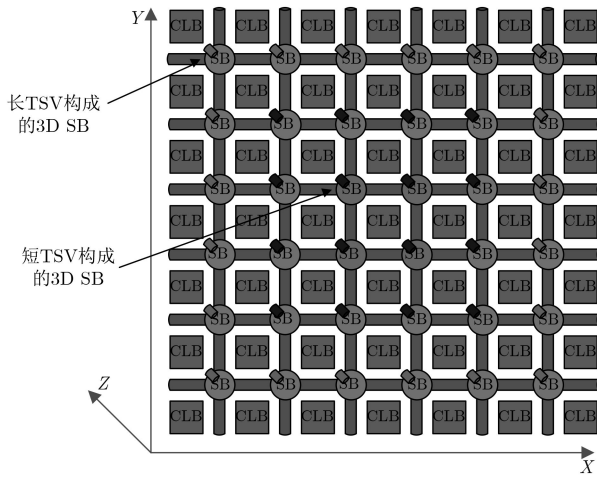


图8 非均匀分布结构1

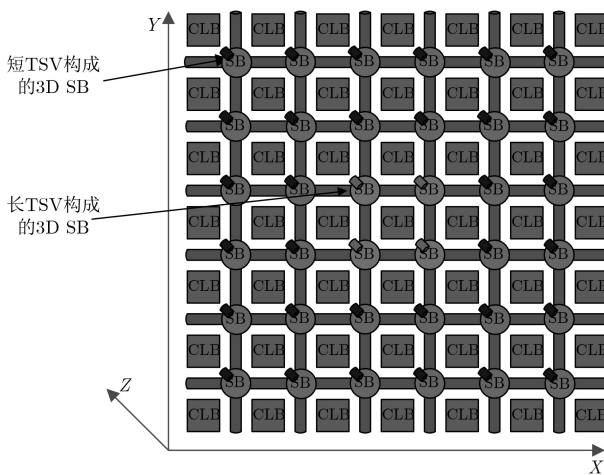


图9 非均匀分布结构2

TSV中心分布。与结构1形式相反。如图9所示。此方案适用于中心功耗大于外围功耗或功耗均匀分布的情况。

(3)异质结构: 由于目前商用FPGA往往集成存储器(RAM)和数字信号处理器(DSP)等资源，各种资源按列交替排布，而不同资源的功耗均不相同。为此，提出多种长度TSV列交替设置的异质架构组合，如图10所示。

5 实验结果与对比

根据前面小节提出的设计方法，设计了一种多线长混合排布的FPGA互连通道网络结构，新结构中央(占每层TSV数目的26%)通道长度为3，其余通道与传统结构相同。改进前后的Z方向热梯度图如图11所示。新结构热分析统计结果见表3。新结构能够降低0.4%~76.8%的层间热梯度，层内热梯度改善达10.4%。其中层间热梯度和层内热梯度改善详细数据见表4和表5。从以上数据得出结论：非均匀通道结构热梯度明显降低，温度分布更加均匀，且越往上层温度降低越明显。

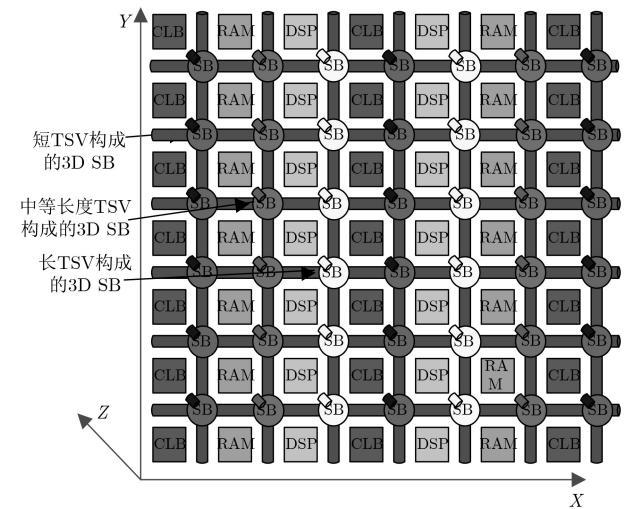


图10 异质结构分布

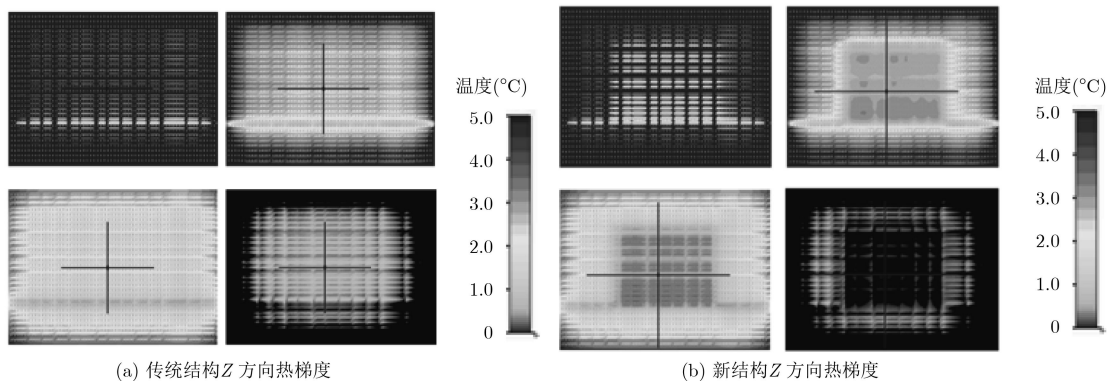


图11 传统结构与新结构热梯度仿真结果

表3 新结构热分析统计结果

	最低温度(°C)	最高温度(°C)	平均温度(°C)
切片1	40.9203	45.1598	43.6753
切片2	41.7091	45.2051	43.9975
切片3	42.1229	45.2337	44.1000
切片4	42.3739	45.2715	44.2322

表6展示了本文方法与文献[5]和文献[15]方法的温度改进效果对比。由于文献[5]只给出了功耗降低值,而文献[15]只给出了平均温度和最高温度的降低数值,故表6给出了文献[5]的功耗降低值和文献[15]的热梯度降低值。

表4 层间热梯度改善情况

	最低温度梯度 (°C)	最高温度梯度 (°C)	平均温度梯度 (°C)
传统结构	1.4601	0.4824	0.6717
新结构	1.4536	0.1117	0.5569
改善比例(%)	0.4	76.8	17.1

表5 层内热梯度改善情况

	切片1	切片2	切片3	切片4
传统结构温度差(°C)	4.2112	3.6969	3.3647	3.2335
新结构温度差(°C)	4.2395	3.4960	3.1108	2.8976
改善比例(%)	-0.60	5.40	7.50	10.40

表6 与其它方法的对比

方法	层数	架构	改进措施	改进效果
文献[5]	5层	岛结构	通过热驱动的布局布线	功耗减少34%
文献[15]	2层	树结构	通过在热点增加2%的TSV用于散热	热梯度降低57%
本文	4层	岛结构	调整信号TSV, 不增加TSV个数与总长度	热梯度降低18.12%

6 结束语

本文针对3D FPGA的散热问题,提出从架构级解决3D FPGA散热问题,以提高FPGA的性能、寿命和可靠性。本文方法在对TSV进行调整,但不增加TSV总数目和总长度的基础上,有效降低了岛式3D FPGA的热梯度。同时应该看到,如果结合本文方法与低功耗布局布线算法,可以实现更好的结果。

参考文献

- [1] TRIMBERGER S M. Three ages of FPGAs: A retrospective on the first thirty years of FPGA technology[J]. *Proceedings of the IEEE*, 2015, 103(3): 318–331. doi: 10.1109/JPROC.2015.2392104.
- [2] YANG Haigang. Overview: Emerging technologies on gigascale FPGA implementat[C]. 2010 IEEE International Symposium on Circuits and Systems, Paris, France, 2010: 1428–1431. doi: 10.1109/ISCAS.2010.5537310.
- [3] ZHANG Zhiping, LIAUW Y Y, CHEN Chen, et al. Monolithic 3-D FPGAs[J]. *Proceedings of the IEEE*, 2015, 103(7): 1197–1210. doi: 10.1109/JPROC.2015.2433954.
- [4] ABABEI C, MOGAL H, and BAZARGAN K. Three-dimensional place and route for FPGAs[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(6): 1132–1140. doi: 10.1109/TCAD.2005.855945.
- [5] SIOZIOS K, SOTIRIADIS K, PAVLIDIS V F, et al. A software-supported methodology for designing high-performance 3D FPGA architectures[C]. 2007 IFIP International Conference on Very Large Scale Integration, Atlanta, GA, USA, 2007: 54–59. doi: 10.1109/VLSISOC.2007.4402472.
- [6] XILINX Corporation. Xilinx stacked silicon interconnect technology delivers breakthrough FPGA capacity, bandwidth, and power efficiency[EB/OL]. <http://www.xilinx.com/technology/roadmap/ssi-technology>, 2012: 1–10.
- [7] Intel Corporation. Intel stratix 10 GX/SX device overview[EB/OL]. <http://www.intel.com/content/www/us/en/programmable/documentation/joc1442261161666.html>, 2018: 3–37.
- [8] SALAH K. Survey on 3D-ICs thermal modeling, analysis, and management techniques[C]. The 19th IEEE Electronics Packaging Technology Conference, Singapore, 2017: 1–4. doi: 10.1109/EPTC.2017.8277428.
- [9] ZHAO Yi, HAO Cong, and YOSHIMURA T. TSV assignment of thermal and wirelength optimization for 3D-IC routing[C]. The 28th International Symposium on Power and Timing Modeling, Optimization and Simulation, Platja d'Aro, Spain, 2018: 155–162. doi: 10.1109/PATMOS.2018.8464161.
- [10] CONG J and ZHANG Yan. Thermal via planning for 3-D ICs[C]. 2005 IEEE/ACM International Conference on Computer-Aided Design, San Jose, USA, 2005: 745–752. doi: 10.1109/ICCAD.2005.1560164.
- [11] GOPLEN B and SAPATNEKAR S S. Placement of thermal vias in 3-D ICs using various thermal objectives[J]. *IEEE*

- Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(4): 692–709. doi: [10.1109/TCAD.2006.870069](https://doi.org/10.1109/TCAD.2006.870069).
- [12] HSU P Y, CHEN H T, and HWANG T T. Stacking signal TSV for thermal dissipation in global routing for 3-D IC[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2014, 33(7): 1031–1042. doi: [10.1109/TCAD.2014.2307488](https://doi.org/10.1109/TCAD.2014.2307488).
- [13] ABABEI C, MOGAL H, and BAZARGAN K. Three-dimensional place and route for FPGAs[C]. 2005 Asia and South Pacific Design Automation Conference, Shanghai, China, 2005: 773–778. doi: [10.1109/ASPDAC.2005.1466456](https://doi.org/10.1109/ASPDAC.2005.1466456).
- [14] PANGRACIOUS V, MEHREZ H, and MARAKCHI Z. TSV count minimization and thermal analysis for 3D tree-based FPGA[C]. 2013 International Conference on IC Design & Technology, Pavia, Italy, 2013: 223–226. doi: [10.1109/ICICDT.2013.6563341](https://doi.org/10.1109/ICICDT.2013.6563341).
- [15] PAVLIDIS V F and FRIEDMAN E G, 著. 三维集成电路设计[M]. 缪旻, 于民, 金玉丰, 译. 北京: 机械工业出版社, 2013: 1–209.
- PAVLIDIS V F and FRIEDMAN E G. Three-Dimensional Integrated Circuit Design[M]. MU Min, YU Min, JIN Yufeng, Translation. Beijing: Machinery Industry Press, 2013: 1–209.
- 高丽江: 男, 1982年生, 博士生, 研究方向为可编程芯片结构设计.
杨海钢: 男, 1960年生, 研究员, 博士生导师, 研究方向为大规模集成电路设计、电子设计自动化(EDA)技术.
张 超: 男, 1987年生, 助理研究员, 研究方向为FPGA设计与测试.