

单光子探测盖革雪崩焦平面用低抖动多相位时钟电路设计

刘 煦^{①②③} 李云铎^{①②③} 叶联华^{①②③} 黄张成^{①②} 马英杰^{①②}
黄松垒^{*①②} 方家熊^{①②}

^①(中国科学院上海技术物理研究所 传感技术联合国家重点实验室 上海 200083)

^②(中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室 上海 200083)

^③(中国科学院大学 北京 100049)

摘 要: 针对单光子探测盖革雪崩焦平面读出电路应用, 基于全局共享延迟锁相环和2维H型时钟树网络, 该文设计一款低抖动多相位时钟电路。延迟锁相环采用8相位压控延迟链、双边沿触发型鉴相器和启动-复位模块, 引入差分电荷泵结构, 减小充放电电流失配, 降低时钟抖动。采用H时钟树结构, 减小大规模电路芯片传输路径不对称引起的相位差异, 确保多路分相时钟等延迟到达像素单元。采用0.18 μm CMOS工艺流片, 测试结果表明, 延迟锁相环锁定频率范围150~400 MHz。锁定范围内, 相位噪声低于-127 dBc/Hz@1 MHz, 时钟RMS抖动低于2.5 ps, 静态相位误差低于65 ps。

关键词: 全局时钟; 延迟锁相环; 差分电荷泵; H型时钟树; 盖革雪崩焦平面

中图分类号: TN402; TP212

文献标识码: A

文章编号: 1009-5896(2021)06-1565-09

DOI: 10.11999/JEIT210060

Design of Low-jitter, Multi-phase Clock Generation Circuit for Geiger-mode Avalanche Focal Plane Array Applications

LIU Xu^{①②③} LI Yunduo^{①②③} YE Lianhua^{①②③} HUANG Zhangcheng^{①②}
MA Yingjie^{①②} HUANG Songlei^{①②} FANG Jiexiong^{①②}

^①(State Key Laboratories of Transducer Technology, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

^②(Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

^③(University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A low-jitter multi-phase clock generation circuit is designed based on a global shared Delay Locked Loop (DLL) and a two-dimensional H-shaped clock tree network for Geiger-mode avalanche focal plane array applications. The DLL adopts an eight-phase voltage-controlled delay chain, a double-edge trigger phase detector and a start reset module. A differential charge pump structure is introduced to reduce the current mismatch between charging and discharging and lower the clock timing jitter. H clock tree structure is involved to diminish the phase variation induced by the asymmetry of the transmission route for large scale integrated circuit, ensuring an equal delay of the multi-channel split-phase clock signal to the pixel unit. The locking frequency range of 150~400 MHz, phase noises below -127 dBc/Hz at 1 MHz offset, RMS timing jitter of below 2.5 ps and static phase error below 65 ps are achieved based on a 0.18 μm digital-analog hybrid CMOS technology.

Key words: Global clock; Delay Locked Loop (DLL); Differential charge pump; H clock tree; Geiger avalanche focal plane

收稿日期: 2021-01-18; 改回日期: 2021-04-19; 网络出版: 2021-04-30

*通信作者: 黄松垒 huangsl@mail.sitp.ac.cn

基金项目: 国家自然科学基金(62075229, 61675225)

Foundation Items: The National Natural Science Foundation of China(62075229, 61675225)

1 引言

单光子探测技术可应用于3维测距^[1]、3维成像^[2]、荧光寿命成像^[3]，是一种具有广泛应用前景的3维探测技术。盖革雪崩光电二极管具有单光子探测灵敏度^[4,5]，基于该类型二极管阵列的无扫描激光雷达具有探测灵敏度高、光机结构紧凑、探测效率高等优势，正逐渐成为一种重要的激光雷达技术方案^[6,7]。

探测系统通过计量光子飞行时间(Time of Flight, ToF)计算距离，激光器向被测场景发出激光并启动计时器计时，激光到达被测物体后返回，探测器接收到回波信号停止计时，通过光子飞行时间可计算探测距离。ToF由盖革雪崩焦平面内的读出电路(ReadOut Integrated Circuit, ROIC)芯片记录、存储和输出^[8]，其中时间-数字转换电路是ROIC内的关键模块，决定盖革雪崩焦平面的时间分辨率^[9,10]。随着读出电路阵列规模增大，时钟信号经过复杂路径传递到每个像素单元存在延迟不匹配、时钟偏斜等问题^[11]，导致各像素计时不均匀、计时精度恶化等问题。为解决时钟偏斜问题，大多数高速系统采用锁相环(Phase Locked Loop, PLL)或者延迟锁相环(Delay Locked Loop, DLL)获得稳定的高速时钟信号^[12,13]。与PLL相比，DLL不会累计相位误差且为单极点稳定系统，具有更好的抗抖动性能和稳定性^[14]，因此低抖动、快速锁定的DLL更适用于盖革雪崩单光子探测系统的计时需求^[15]。此外，考虑到高速时钟信号对路径延迟有更严格要求，为提升全局像素计时的一致性，需设计满足阵列应用的时钟树结构使得时钟信号能够等延迟到达每个像素单元。

本文提出一种可用于64×64规模盖革雪崩焦平面的时钟电路，采用DLL和时钟树方案，经压控延迟链(Voltage Control Delay Line, VCDL)生成的多路分相时钟，通过时钟树可等延迟到达每个像素供后续时间数字转换器使用，提升各像素计时均匀性，实现中等规模面阵亚纳秒计时，完成验证和设计。

2 系统结构与时钟网络分析

2.1 系统整体结构

应用于盖革雪崩焦平面的时钟电路结构如图1

所示，由延迟锁相环和时钟网络组成，CLK_R为输入参考时钟，CLK_D为压控延迟链的输出时钟，CLK_{R_SYN}和CLK_{D_SYN}是经过启动-复位电路后输出的有效时钟，UP和DN控制电荷泵充放电。CLK_R经VCDL生成多路分相时钟供各像素使用，分相时钟通过时钟树网络等延迟进入每个像素单元，提升阵列内各像素计时均匀性。

DLL为单极点稳定系统，具有低抖动、低相位噪声等优点，其结构如图2所示，通过s域模型，可对DLL进行频域分析，其传递函数可表示为

$$H_O(s) = K_{PC+CP}K_{VCDL}Z(s) \tag{1}$$

$$H_C(s) = \frac{H_O(s)}{1 + H_O(s)} \tag{2}$$

$$\omega_N = \frac{I_{CP}K_{VCDL}}{2\pi C} \tag{3}$$

单极点系统为无条件稳定系统，其环路带宽如式(3)所示，提升主极点频率，能够加快环路的锁定过程，但是环路的抗抖动性能会下降，合理选取主极点频率，通常应满足 $\omega_N \leq (1/10)\omega_{CLK}$ 条件^[15]。对于DLL系统，频域噪声在时域上反映为其抖动特性，分别计算各个模块引入噪声的传递函数并相加即为总噪声。

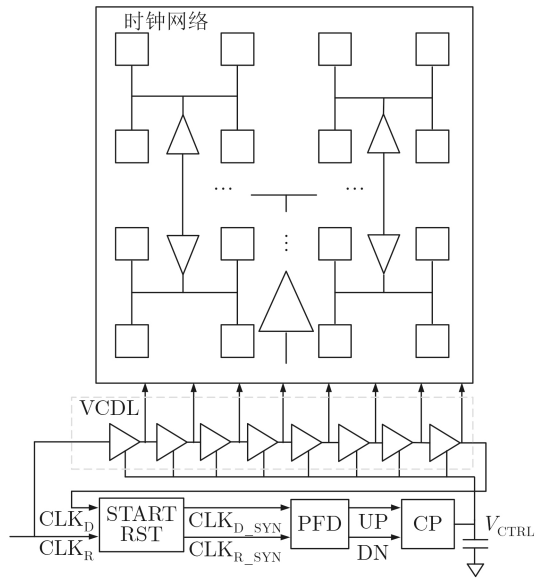


图1 时钟电路结构

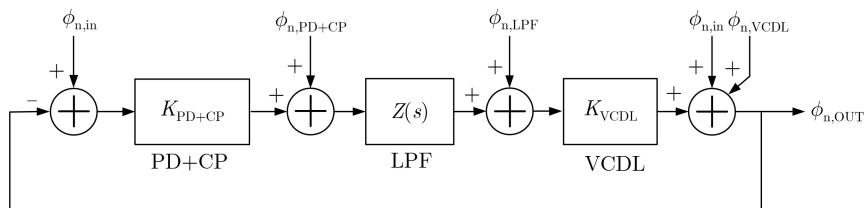


图2 延迟锁相环小信号噪声模型

DLL各模块的噪声特性如表1所示, 输入信号噪声呈现全通特性, DLL无法抑制输入信号引入的噪声, 为降低输入信号噪声对信号的影响, 应使用频谱纯度高、抖动低的时钟源。鉴相器和电荷泵的噪声呈现低通特性, 由这两个模块引入的高频噪声能较好地抑制, 如果要降低鉴相器和电荷泵噪声对输出信号的影响, 可以降低DLL的环路带宽, 但是过度降低环路带宽会导致锁定时间增加。压控延迟链与环路滤波器的噪声为高通特性, 适当增加环路带宽可抑制高频噪声对输出信号的影响。DLL各模块需根据应用环境, 综合考虑各种矛盾因素折中设计, 由于输入噪声为全通特性, 其对DLL系统输出噪声的影响较为显著。

2.2 时钟网络分析

在面阵应用中, 各像素均匀计时十分重要, 只有当时钟信号等延迟到达每个像素单元才能提升各像素计时均匀性, 全局时钟网络是盖革APD读出电路的重要模块, 该模块使时钟信号等延迟到达每个像素单元。时钟网络的信号偏移, 决定全局电路的数据输出速率和最高工作频率, 需有较低的时钟偏移; 时钟网络的信号高速、频繁切换, 在全局电路中占据较大的功耗比重; 在高速应用环境下, 时钟网络内部分缓冲器、反相器尺寸较大, 电源网络中会出现较大瞬态功耗, 衬底耦合较大的电流噪声, 高效合理的布局对于提高时钟质量十分重要。时钟网络由大量的缓冲器、反相器构成, 其功耗主要由静态功耗、动态短路功耗、各节点翻转功耗3部分组成, 可表示为

$$P_t = P_s + P_d + P_s \quad (4)$$

$$P_t = P_0 \sum_N M_i + \frac{K}{12} \tau f_{\text{ref}} (V_{\text{DD}} - 2V_{\text{TH}})^3 + \alpha f_{\text{ref}} C_0 V_{\text{DD}}^2 L_t \quad (5)$$

P_0 表示单位缓冲器的静态功耗, N 表示时钟网络中插入的缓冲器数量, M_i 表示第*i*级缓冲器尺寸相对于单位缓冲器的倍数, f_{ref} 表示时钟网络的工作频率, τ 为信号上升/下降时间, α 为节点转换因子, C_0 为单位长度互连线电容, L_t 为互连线总长度。

根据式(5)可知, 缓冲器的尺寸和布局规划对于时钟网络的功耗起着重要作用, 在满足应用需求的条件下, 需限制缓冲器的尺寸。功耗与时钟频率之间为线性关系, 高频时钟只有在对光子计时才需要传递到面阵内, 在数据输出时, 可通过门控结构关闭高频时钟, 使高频时钟不会传递到阵列内部; 对于较长的信号走线, 为满足应用需求的上升/下降时间, 需插入多级缓冲器, 两级反相器的传输效果等效于缓冲器的传输效果, 但是功耗更低, 在匹配的情况下, 部分信号传输路径缓冲器、反相器配合使用, 降级功耗。调整信号走线的尺寸, 降低节点的寄生电容和信号上升、下降时间, 进而降低时钟网络的功耗。

3 关键电路设计

3.1 带防失锁功能的双边沿触发型鉴相器

复位后, 如果参考时钟与延迟链输出的时间差小于0.5倍时钟周期或者大于1.5倍时钟周期, 会导致DLL失锁或者进入谐波锁定状态。如图3所示, 基于边沿检测技术, 设计一款可应用于8级延迟链的防失锁电路, DLLCLK0作为D触发器的输入, 抽取延迟链的第2, 4, 6级时钟作为D触发器的时钟。Q2, Q4, Q6配合组合逻辑电路, 判断是否满足锁定条件, Work信号输出为1表明满足锁定条件, 如果不满足锁定条件, Charge和Down信号将控制电荷泵充放电直到参考时钟和延迟链输出时间差满足锁定条件。复位电路采用异步复位同步释放电路配合DLL锁定, 避免复位过程中出现不稳定态或者亚稳定态, 导致电路功能异常。

如图4所示, 双边沿触发型鉴相器由一个上升沿触发型和一个下降沿触发型鉴相器组合而成, 上升沿触发型鉴相器由改进TSPC型触发器和与非门构成, 复位信号RST置低, 鉴相器复位, 复位信号RST置高, 鉴相器正常工作。与非门能增加UP和DN信号反馈到输入端的延迟, 减小鉴相器的死区时间。下降沿触发型鉴相器同样由TSPC型触发器和逻辑门电构成, 复位信号RST置低, 鉴相器复位。RST置高触发器解复位, 鉴相器正常工作。两

表 1 DLL各模块噪声特性

噪声模块	传递函数	噪声特性
输入参考时钟	$\varphi_{n,\text{out}}^2 = \varphi_{n,\text{in}}^2$	全通
鉴相器+电荷泵	$\varphi_{n,\text{out}}^2 = \left \frac{H_O(s)}{1 + H_O(s)} \right ^2 \varphi_{n,\text{PD+CP}}^2$	低通, 带内平坦, 带外衰减
环路滤波器	$\varphi_{n,\text{out}}^2 = \left \frac{K_{\text{VCDL}}}{1 + H_O(s)} \right ^2 \varphi_{n,\text{LPF}}^2$	高通, 带内衰减, 带外平坦
压控延迟链	$\varphi_{n,\text{out}}^2 = \left \frac{1}{1 + H_O(s)} \right ^2 \varphi_{n,\text{VCDL}}^2$	高通, 带内衰减, 带外平坦

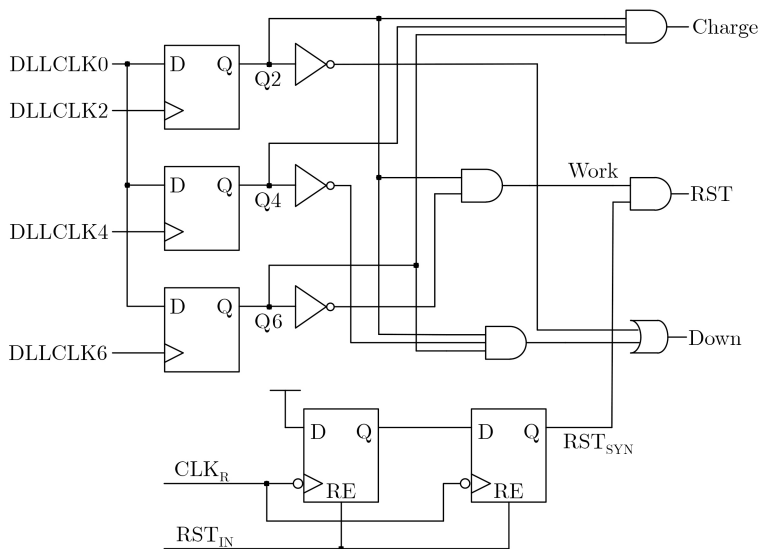


图3 具有防失锁功能的启动-复位电路

鉴相器的输出信号通过后续的组合逻辑生成电荷泵的UP和DN信号，加速环路锁定。

双边沿触发型鉴相器配合启动-复位电路工作时序如图5所示，复位后，VCDL的控制电压放电至零电平，CLK_R与CLK_D的相位差必然低于T_{ref}、CLK_{D_SYN}的上升沿先出现，环路滤波器的输出电压V_{CTRL}逐渐上升，延迟时间逐渐增加，直至相位差满足锁定条件。

3.2 差动型电荷泵

如图6所示，电荷泵采用差动工作模式[16]，在输出电压变化相等的条件下，提高电荷泵的输出阻抗有利于抑制失配电流，因而采用共源共栅型电荷泵结构。为防止因V_m下降至0导致左右支路电流不匹配，加入跟随器使V_{ctrl}与V_m点钳制在相同电位，减小电荷泵失配。V_m电位跟随V_{ctrl}，当电荷泵充放电状态切换时，电路能够快速建立稳定的充放电电流路径，提高电荷泵响应速度。

3.3 压控延迟链

压控延迟链为8级延迟链，DLL锁定后，输入信号与输出信号的上升沿对齐，多级延迟链可以均分参考时钟周期，延迟链的级数为n，可对参考时钟周期T_{ref}长度n等分[14]，在某一时刻对延迟链的分相时钟采样，对采样数据解码后，理论上可通过DLL实现T_{LSB} = T_{ref}/n计时精度。

单级延迟单元的上升时间与下降时间在设计上难以实现完全匹配，每级延迟结构由两级延迟单元构成，则每级延迟结构的延迟时间为上升时间与下降时间之和。差分延迟链的每级延迟由两级延迟单元级联而成，差分延迟信号的延迟时间能够更加匹配。

$$t_d = t_{d, re} + t_{d, dn} \quad (6)$$

差分延迟单元电路如图7所示，与单端结构相

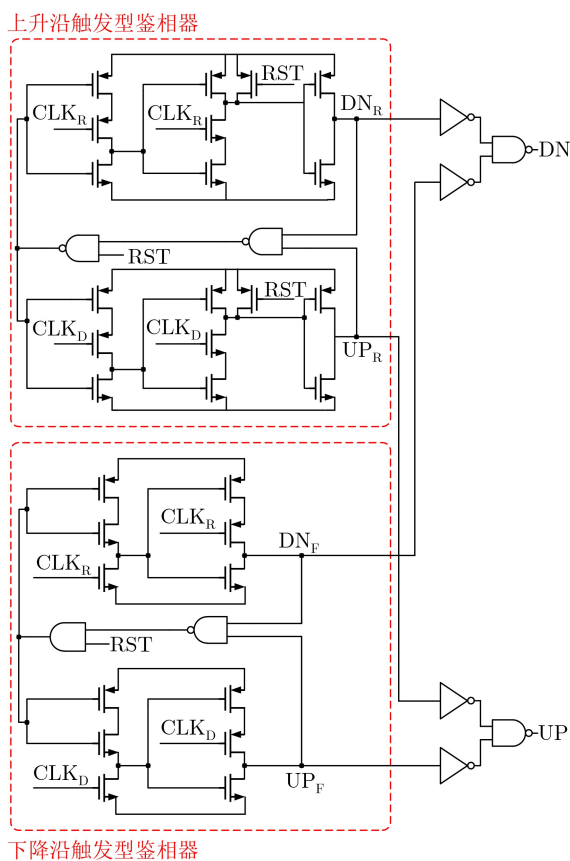


图4 双边沿触发型鉴相器

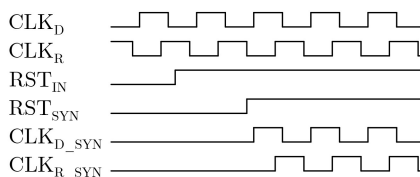


图5 带复位-启动功能鉴相器时序图

比，差分结构能够更好地抑制共模干扰，降低共模噪声对电路性能影响。NMOS管M1和M2为信号输

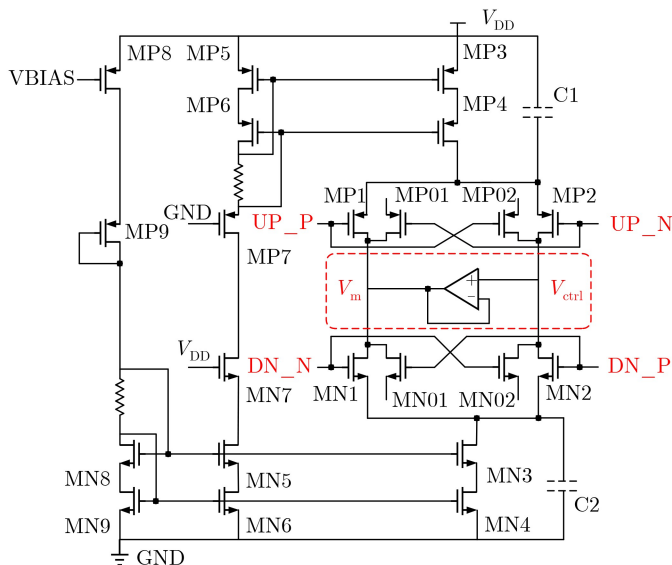


图 6 差动型电荷泵

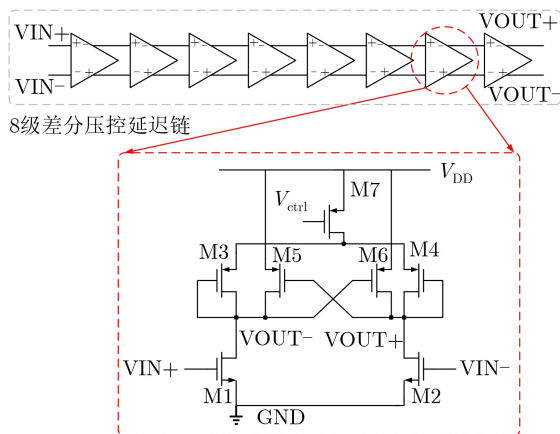


图 7 多级差分压控延迟链

入管，控制电压 V_{ctrl} 改变，进而改变二极管结构的M3、M5负载管的充放电电流，改变每级单元的延迟时间，延迟时间随 V_{ctrl} 增加而增加，M5、M6为正反馈电路，加快充放电时间。

$$\tau = RC = \frac{C_L}{(g_{ds1} + g_{ds3} + g_{ds5} + g_{m3} - g_{m5})} \quad (7)$$

为覆盖不同的延迟时间，设计两条延迟链结构，分别为慢延迟链和快延迟链，以适应不同的延迟需求，延迟链延迟时间与控制电压的关系如图8所示，两条延迟链的延迟时间范围存在一定的交叠以满足较好线性度的需求。

3.4 时钟网络结构

$$\tau_n = R_n C_n \quad (8)$$

$$C_n = C_0 L_n \quad (9)$$

根据式(8)和式(9)可知，只有在各节点的延迟时间和寄生电容一致的情况下，时钟才能等延迟到达每个像素单元，因此时钟网络内信号到达每个节

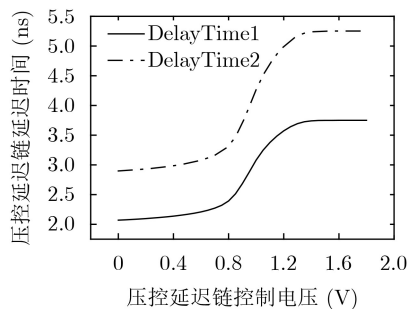


图 8 延迟时间-控制电压关系曲线

点的路径需保持高度一致。

以H型时钟树为基本结构构建时钟网络， 4×4 规模的H型时钟树结构如图9所示，输入节点为根节点，末端为叶节点，每个叶节点驱动4个像素单元，由H型时钟树的结构可知，信号进入根节点后，保持高度一致性路径到达每个叶节点。

时钟网络中缓冲器的层次如图10所示，信号从根节点到叶节点，经历多级缓冲器，每一级缓冲器的驱动负载不相同，由外到内，缓冲器的驱动负载逐级降低。根据不同节点处负载电容的大小，在满

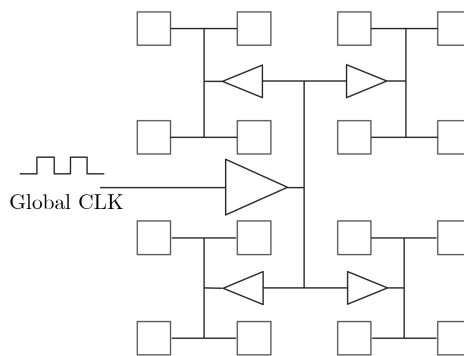


图 9 4×4 规模H型时钟树结构

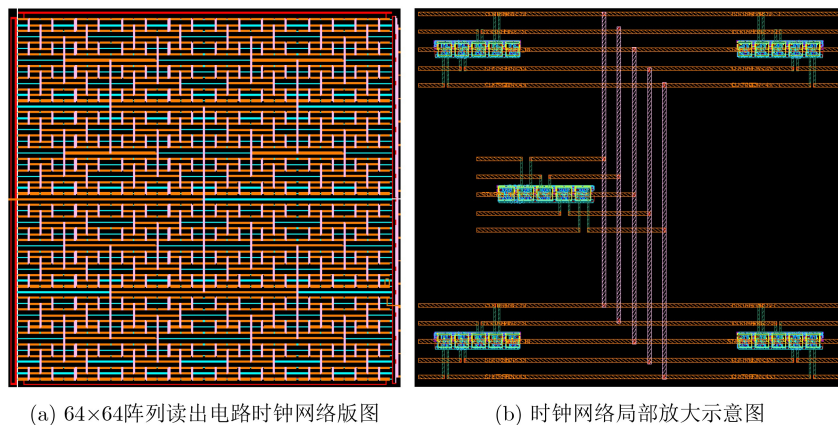


图 10 64×64时钟网络布局

足信号传输需求的情况下，选择不同驱动能力的缓冲器。

在计时过程中，时钟信号频繁翻转，网络内部多级缓冲器会产生较大瞬态电流，电流噪声耦合到衬底，为避免耦合电流对像素内部电路造成较大干扰，每个像素单元外围各留出 $10\ \mu\text{m}$ 通道，时钟网络只在通道内部布局，降低时钟网络对其他电路模块的干扰。面阵内各像元计时均匀，4路DLL分相时钟信号和1路全局开始信号需通过时钟网络引入各个像元，5路信号等间隔排布且每路信号之间的间隔为 $4\ \mu\text{m}$ ，避免因为距离太近，不同信号之间引入较大串扰。

4 后仿真与测试分析

电路采用 $0.18\ \mu\text{m}$ 标准CMOS工艺设计并流片，如图11所示。在完成电路设计并通过前仿真验证电路性能后，进行版图设计并提取寄生参数后进行后仿验证，电路采用插针网格阵列(Pin Grid Array, PGA)管壳键压，测试板采用4层板结构。根据DLL的噪声特性，输入参考时钟噪声在整个带宽内为带通特性，选用均方根(Root Mean Square, RMS)抖动为 $1.5\ \text{ps}$ 的低抖动时钟源作为参考时钟信号。

4.1 时钟网络后仿真分析

选取典型应用条件 $250\ \text{MHz}$ ，在不同工艺角下进行后仿真，有4路分相时钟信号和计时起始信号通过H型全局时钟树进入像素阵列，如图12所示，分别在这5个像素处各选取1路信号作为叶节点并记录后仿真延迟时间。

分相时钟各路延时和功耗后仿真结果如表2和表3所示，受工艺影响，流片后电路实际性能可能并不是落在 t_t corner内，与典型工艺角存在一定的偏差。ss工艺角NMOS和PMOS都工作在slow状态，全局时钟从根节点进入每个像素单元延迟较大；ff工艺角NMOS和PMOS工作在fast状态，MOS管

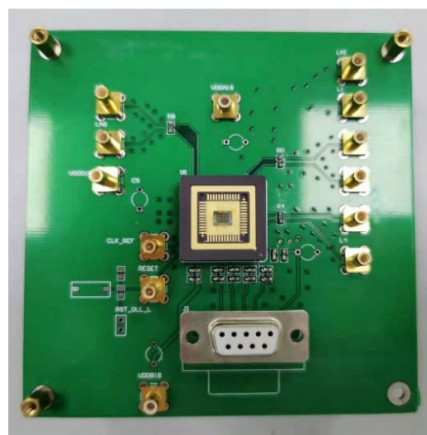


图 11 芯片键压管壳测试电路板

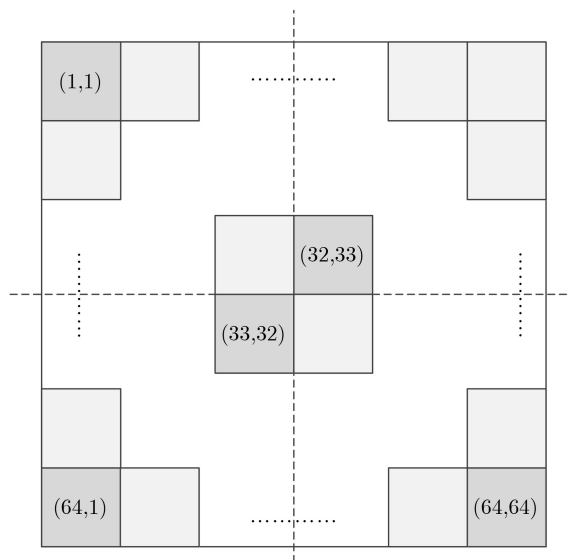


图 12 叶节点选取位置示意图

阈值电压较低，沟道电流，全局时钟从根节点进入每个像素单元的延迟较小。受工艺影响，同一批次电路性能可能偏离 t_t corner，但是在同一工艺角内，不同叶节点的延迟时间基本一致，相对偏差很小。时钟网络延迟和功耗能够满足应用需求。

表 2 64×64规模时钟网络后仿真延迟时间(ns)

叶节点编号	tt corner	ss corner	ff corner	snfp corner	fnsfp corner
叶节点1	1.266	1.524	1.017	1.234	1.239
叶节点2	1.268	1.527	1.019	1.232	1.237
叶节点3	1.264	1.526	1.016	1.236	1.241
叶节点4	1.263	1.523	1.017	1.235	1.240
叶节点5	1.265	1.526	1.015	1.232	1.238

表 3 64×64规模时钟网络功耗

工艺角	功耗(mW)
tt	147.6
ss	143.4
ff	153.0
snfp	147.6
fnsfp	147.6

表 4 测试与后仿真总结

性能参数	测试/后仿真结果
工艺(μm)	0.18
电源电压(V)	1.8
DLL锁定范围(MHz)	150~400
DLL功耗(mW)	8.2~30.9
锁定范围内RMS Jitter(ps)	1.8~2.4
锁定范围内相位噪声(dBc/Hz)@1 MHz	-127.8~-132.1
锁定范围内静态相位误差(ps)	47~65
时钟树各节点后仿真延迟(ps)	1247~1253

如表2所示，在不同的工艺角下，从根节点到达叶节点多路时钟信号的相对延迟时间基本保持一致，分相时钟能够等延迟到达每个像素单元，提升像素计时的均匀性，时钟树总功耗在不同工艺角下未出现较大波动。

4.2 测试分析

对DLL的锁定范围进行测试，DLL能够在150~400 MHz频率范围内锁定，锁定范围内功耗与参考时钟频率基本呈现线性增加关系，锁定范围与前仿真结果相比有一定的下降，压控延迟链的各节点会引入寄生电容，导致DLL锁定频率下降，如图13所示。

在锁定范围内，各频率点测试得到相位噪声和RMS抖动结果如图14(a)所示，测试结果表明，在锁定范围内，相位噪声小于 -127 dBc/Hz@1 MHz，RMS抖动小于2.5 ps，能够满足后续计时应用需求。

锁定后，静态相位误差测试结果如图14(b)所示，静态相位误差47~65 ps，锁定范围内静态相

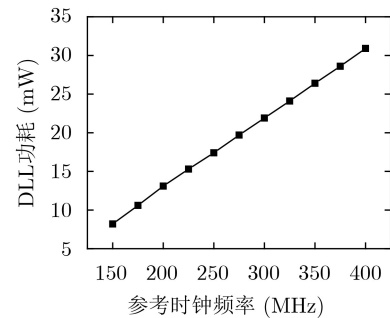
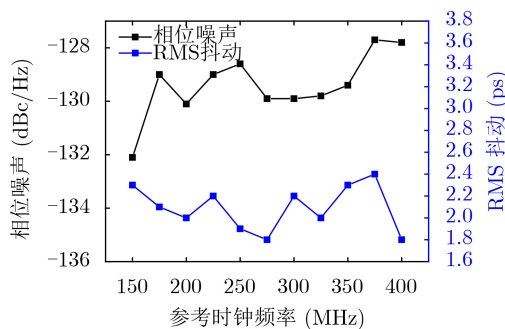
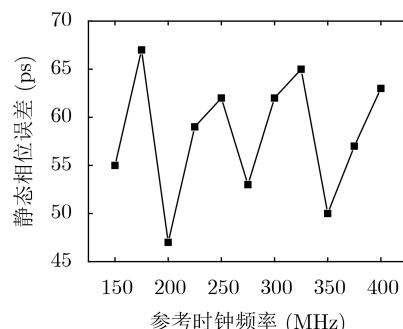


图 13 DLL锁定范围内不同频率点测试功耗

位误差变化不大，静态相位误差大小主要与鉴相器的延迟匹配程度和电荷泵失配相关，在锁定范围内不会出现大幅度波动，锁定范围内静态相位误差占对应时钟周期的比例较低。



(a) 相位噪声/抖动测试结果



(b) 静态相位误差测试结果

图 14 相位噪声/抖动、静态相位误差测试结果

5 结论

本文设计一款低抖动多相位时钟电路,通过DLL压控延迟链实现多级分相时钟,多路信号通过H型时钟树等延迟到达每个像素单元。DLL锁定后,多相位时钟可实现 $T_{ref}/8$ 计时精度,H型时钟树能够应用于 $100\ \mu\text{m}$ 中心距的阵列单元。采用 $0.18\ \mu\text{m}$ CMOS数模混合工艺流片,实测DLL锁定频率范围 $150\sim 400\ \text{MHz}$ 。锁定范围内时钟RMS抖动低于 $2.5\ \text{ps}$,静态相位误差 $47\sim 65\ \text{ps}$,时钟信号通过H型时钟树等延迟到达每个像素单元,有效提升各像素计时一致性,测试结果达到预期,可以进一步推广用于中等规模盖革雪崩焦平面的读出电路。

参考文献

- [1] 舒嵘,黄庚华,孔伟. 空间激光测高技术发展及展望[J]. 红外与激光工程, 2020, 49(11): 9–18.
SHU Rong, HUANG Genghua, and KONG Wei. Development and review of space-based laser altimetry technology[J]. *Infrared and Laser Engineering*, 2020, 49(11): 9–18.
- [2] 陈兆东. 高距离精度条纹探测和单光子计数复合激光三维成像研究[D]. [博士论文, 哈尔滨工业大学, 2019].
CHEN Zhaodong. Research on high range accuracy hybrid three dimensional laser imaging based on streak array detecting and single-photon counting[D]. [Ph. D. dissertation], Harbin Institute of Technology, 2019.
- [3] HENDERSON R K, JOHNSTON N, ROCCA F M D, *et al.* A 192×128 time correlated SPAD image sensor in 40-nm CMOS technology[J]. *IEEE Journal of Solid-State Circuits*, 2019, 54(7): 1907–1916. doi: [10.1109/JSSC.2019.2905163](https://doi.org/10.1109/JSSC.2019.2905163).
- [4] JIANG Xudong, ITZLER M, O'DONNELL K, *et al.* InP-based single-photon detectors and Geiger-mode APD arrays for quantum communications applications[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2015, 21(3): 3800112.
- [5] DENG Shijie, GORDON D, and MORRISON A P. A Geiger-mode APD photon counting system with adjustable dead-time and interchangeable detector[J]. *IEEE Photonics Technology Letters*, 2016, 28(1): 99–102. doi: [10.1109/LPT.2015.2487342](https://doi.org/10.1109/LPT.2015.2487342).
- [6] 刘俊良,李永富,张春芳,等. 基于APD-PIN结电容平衡电路的门控单光子探测器[J]. 红外与激光工程, 2015, 44(11): 3181–3185.
LIU Junliang, LI Yongfu, ZHANG Chunfang, *et al.* Single-photon detector based on GPQC with balanced APD-PIN junction capacitance[J]. *Infrared and Laser Engineering*, 2015, 44(11): 3181–3185.
- [7] 王燕,王鹏辉. 激光主动成像技术综述[J]. 电子质量, 2019(7): 1–3.
WANG Yan and WANG Penghui. Overview of laser active imaging technology[J]. *Electronics Quality*, 2019(7): 1–3.
- [8] 吴金,俞向荣,史书芳,等. 采用APD单光子阵列读出集成电路的红外测距技术[J]. 红外与激光工程, 2017, 46(6): 69–74.
WU Jin, YU Xiangrong, SHI Shufang, *et al.* Infrared ranging technology by using single photon APD array readout integrated circuit[J]. *Infrared and Laser Engineering*, 2017, 46(6): 69–74.
- [9] JAHROMI S, JANSSON J P, KERÄNEN P, *et al.* A 32×128 SPAD-257 TDC receiver IC for pulsed TOF solid-State 3-D imaging[J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(7): 1960–1970. doi: [10.1109/JSSC.2020.2970704](https://doi.org/10.1109/JSSC.2020.2970704).
- [10] NICLASS C, SOGA M, MATSUBARA H, *et al.* A 100-m range 10-frame/s 340×96 -pixel time-of-flight depth sensor in $0.18\text{-}\mu\text{m}$ CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(2): 559–572. doi: [10.1109/JSSC.2012.2227607](https://doi.org/10.1109/JSSC.2012.2227607).
- [11] VERGHESE S, DONNELLY J P, DUERR E K, *et al.* Arrays of InP-based avalanche photodiodes for photon counting[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2007, 13(4): 870–886. doi: [10.1109/JSTQE.2007.904464](https://doi.org/10.1109/JSTQE.2007.904464).
- [12] REZAEIAN A, ARDESHIR G, and GHOLAMI M. A low-power and high-frequency phase frequency detector for a 3.33-GHz delay locked loop[J]. *Circuits, Systems, and Signal Processing*, 2020, 39(4): 1735–1750. doi: [10.1007/s00034-019-01232-9](https://doi.org/10.1007/s00034-019-01232-9).
- [13] ZHU Shijia, WANG Yu, YE Fan, *et al.* A clock interpolation structure using DLL for clock distribution in ADC[C]. Proceedings of the 2017 IEEE 12th International Conference on ASIC, Guiyang, China, 2017: 769–772.
- [14] CHITHRA and KRISHNAPURA N. A flexible 18-channel multi-hit time-to-digital converter for trigger-based data acquisition systems[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2020, 67(6): 1892–1901. doi: [10.1109/TCSI.2020.2969977](https://doi.org/10.1109/TCSI.2020.2969977).
- [15] CHITHRA and KRISHNAPURA N. Static phase offset reduction technique for delay locked loops[C]. Proceedings of 2019 IEEE International Symposium on Circuits and Systems, Sapporo, Japan, 2019: 1–5.
- [16] CHENG S, TONG H, SILVA-MARTINEZ J, *et al.* Design and analysis of an ultrahigh-speed glitch-free fully differential charge pump with minimum output current variation and accurate matching[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2006, 53(9): 843–847. doi: [10.1109/TCSII.2006.879100](https://doi.org/10.1109/TCSII.2006.879100).

刘煦:男,1994年生,博士生,研究方向为光电传感器读出电路

设计.

李云铎：男，1995年生，硕士生，研究方向为光电传感器读出电路设计.

叶联华：男，1995年生，硕士生，研究方向为光电传感器读出电路设计.

黄张成：男，1985年生，副研究员，研究方向为光电传感器读出电路设计.

马英杰：男，1988年生，副研究员，研究方向为半导体光电器件.

黄松垒：男，1984年生，副研究员，研究方向为光电传感器读出电路设计.

方家熊：男，1939年生，研究员，研究方向为半导体光电器件、光电传感器读出电路设计.

责任编辑：陈 倩