

## 用于14位210 MS/s电荷域ADC的采样保持前端电路

陈珍海<sup>①②</sup> 魏敬和<sup>\*②</sup> 钱宏文<sup>②</sup> 于宗光<sup>②③</sup> 苏小波<sup>②③</sup> 薛颜<sup>②</sup> 张鸿<sup>④</sup>

<sup>①</sup>(黄山学院信息工程学院 黄山 245041)

<sup>②</sup>(中国电子科技集团第五十八研究所 无锡 214035)

<sup>③</sup>(西安电子科技大学微电子学院 西安 710071)

<sup>④</sup>(西安交通大学微电子学院 西安 710049)

**摘要:** 该文提出一种用于电荷域流水线模数转换器(ADC)的高精度输入共模电平不敏感采样保持前端电路。该采样保持电路可对电荷域流水线ADC中由输入共模电平误差引起的共模电荷误差进行补偿。所提出的高精度输入共模电平不敏感采样保持电路被运用于一款14位210 MS/s电荷域ADC中,并在1P6M 0.18  $\mu\text{m}$  CMOS工艺下实现。测试结果显示,该14位ADC电路在210 MS/s条件下对于30.1 MHz单音正弦输入信号得到的无杂散动态范围为85.4 dBc,信噪比为71.5 dBFS,而ADC内核功耗仅为205 mW,面积为3.2  $\text{mm}^2$ 。

**关键词:** 流水线模数转换器; 电荷域; 采样保持; 低功耗; 共模电荷

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2019)03-0732-07

DOI: 10.11999/JEIT180337

## Sample and Hold Front-end Circuit for 14-bit 210 MS/s Charge-domain ADC

CHEN Zhenhai<sup>①②</sup> WEI Jinghe<sup>②</sup> QIAN Hongwen<sup>②</sup> YU Zongguang<sup>②③</sup>

SU Xiaobo<sup>②③</sup> XUE Yan<sup>②</sup> ZHANG Hong<sup>④</sup>

<sup>①</sup>(School of Information Engineering, Huangshan University, Huangshan 245041, China)

<sup>②</sup>(No.58 Research Institute, China Electronic Technology Group Corporation, Wuxi 214035, China)

<sup>③</sup>(Microelectronic Institute, Xidian University, Xi'an 710071, China)

<sup>④</sup>(School of Microelectronic, Xi'an Jiaotong University, Xi'an 710049, China)

**Abstract:** A high precision common mode level insensitive sample and hold front-end circuit for charge domain pipelined Analog-to-Digital Converter (ADC) is proposed. The sample and hold circuit can be used to compensate the common mode charge errors caused by the variation of input common mode level in charge domain pipelined ADCs. Based on the proposed sample and hold circuit, a 14-bit 210 MS/s charge domain pipelined ADC is designed and realized in a 1P6M 0.18  $\mu\text{m}$  CMOS process. Test results show the 14-bit 210 MS/s ADC achieves the signal-to-noise ratio of 71.5 dBFS and the spurious free dynamic range of 85.4 dBc, with 30.1 MHz input single tone signal at 210 MS/s, while the ADC core consumes the power consumption of 205 mW and occupies an area of 3.2  $\text{mm}^2$ .

**Key words:** Pipelined Analog-to-Digital Converter (ADC); Charge-domain; Sample and hold; Low power; Common-mode charge

### 1 引言

高速高精度流水线模数转换器(Analog-to-Digital Converter, ADC),一直是各类中频采样系

统的主要选择,因而被大规模运用于宽带雷达接收<sup>[1,2]</sup>和多载波无线通信<sup>[3,4]</sup>等电子应用系统中。通过采用先进纳米工艺和各类数字校准技术,基于开关电容技术的14位流水线ADC采样速率可以达到1 GS/s以上<sup>[5-7]</sup>,但是该类ADC内部使用的高增益带宽积运算放大器仍然消耗了大量功耗。

基于增强型电荷传输(Boosted Charge Transfer, BCT)电路的电荷域ADC是一种无运放的超低功耗的高速流水线ADC实现技术<sup>[8]</sup>。然而,其面临的一

收稿日期: 2018-04-21; 改回日期: 2018-11-22; 网络出版: 2018-12-05

\*通信作者: 魏敬和 pume1975\_cnjs@sina.com

基金项目: 国家自然科学基金(61704161)

Foundation Item: The National Natural Science Foundation of China (61704161)

个突出问题是各级BCT输出电荷会受工艺、电压和温度(Process, Voltage and Temperature, PVT)波动以及输入共模电荷的影响而产生共模电荷误差。针对PVT波动问题,文献[9-11]中提出了一种伪差动辅助型和一种镜像控制型PVT不敏感BCT结构,完成了10位电荷域流水线ADC的设计与实现。针对输入共模问题,文献[12]提出了一种输入共模电荷前馈补偿电路,将电荷域流水线ADC的精度进一步提升到12位。然而精度14位以上的电荷域流水线ADC,还鲜有文献报道。

为进一步提高电荷域流水线ADC的精度,本文针对输入共模电荷问题提出了一种输入共模电荷不敏感采样保持(Sample and Hold, S&H)前端电路。通过在电荷域流水线ADC模拟输入的最前端抑制输入共模电荷误差的影响,从而提高电荷域流水线ADC的线性度,并将该S&H电路应用于一款低功耗14位210 MS/s电荷域流水线ADC中。该ADC电路采用1.8 V 1P6M 0.18 μm CMOS工艺进行了设计并流片验证。

## 2 S&H电路结构和原理分析

### 2.1 S&H电路结构

现有适用于电荷域流水线ADC的S&H电路结构如图1所示<sup>[10]</sup>。电路由现有无源开关电容采样保持电路的输出端连接两个电荷传输电路BCT1和BCT2构成。该S&H电路的工作由两相不交叠时钟 $\Phi_1$ 和 $\Phi_2$ 控制, $\Phi_1$ 相对输入电压信号 $V_{id} = V_{ip} - V_{in}$ 进行采样, $\Phi_2$ 相将采样得到的电压 $V_{id}$ 转换为对应电荷信号 $Q_{id} = Q_{ip} - Q_{in}$ ,并将其传输给后级电路。 $\Phi_{1p}$ 为较 $\Phi_1$ 稍微提前开启有效和延后关断的时钟信号,以消除开关断开和闭合时电荷的注入或抽取给电路带来的影响。 $t_0$ 时刻, $\Phi_{1p}$ 有效,开始采样相, $N_{op}$ 和 $N_{on}$ 被复位到共模电压 $V_{cm}$ ;  $t_1$ 时刻, $\Phi_1$ 开始有效, $N_{ip}$ 和 $N_{in}$ 分别通过开关K1和K2连接到输入模拟电压信号;  $t_2$ 时刻, $\Phi_1$ 首先关断,此时

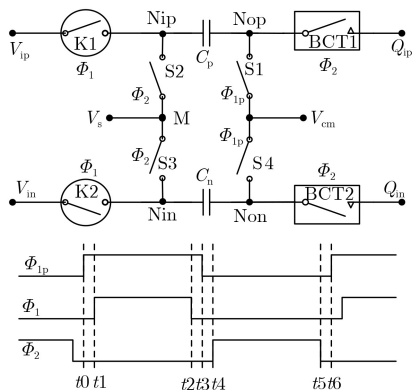


图1 现有电荷域S&H电路结构

的 $V_{ip}$ 和 $V_{in}$ 信号被采样并存储在 $C_p$ 和 $C_n$ 上;  $t_3$ 时刻, $\Phi_{1p}$ 关断,整个采样相结束;  $t_4$ 时刻, $\Phi_2$ 有效,开始传输相, $N_{ip}$ 和 $N_{in}$ 分别通过开关S2和S3连接到固定电压 $V_s$ ,同时2个电荷传输电路打开,将采样得到的电荷 $Q_{id}$ 传输到后级电路。

上述电压采样到电荷转换传输过程中,S&H电路输出的电荷 $Q_{ip}$ 和 $Q_{in}$ 可以用采样电容 $C_p$ 和 $C_n$ 两端电压变化量表示。因此可以得到

$$\left. \begin{aligned} Q_{ip} &= C_p \cdot (\Delta V_{Nip} - \Delta V_{Nop}) \\ Q_{in} &= C_n \cdot (\Delta V_{Nin} - \Delta V_{Non}) \end{aligned} \right\} \quad (1)$$

其中, $\Delta V_{Nip} = V_s - V_{ip}$ , $\Delta V_{Nin} = V_s - V_{in}$ , $\Delta V_{Nop} = \Delta V_{Non} = \Delta V_{No} = V_{cm} - V_R$ , $V_s$ 和 $V_{cm}$ 为固定电压, $V_R$ 为BCT电路在电荷传输结束时刻电荷存储节点Nop和Non所达到的电压,同样为固定电压,并且 $C_p = C_n = C_s$ 。将 $\Delta V_{Nip}$ , $\Delta V_{Nin}$ , $\Delta V_{Nop}$ 和 $\Delta V_{Non}$ 的表达式代入式(1),其内部相减可得差模电荷 $Q_{id}$ ,相加除2可得共模电荷 $Q_{icm}$

$$\begin{aligned} Q_{id} &= Q_{ip} - Q_{in} = C_s \cdot (\Delta V_{Nip} - \Delta V_{Nin}) \\ &= C_s \cdot V_{id} \end{aligned} \quad (2)$$

$$\begin{aligned} Q_{icm} &= (Q_{ip} + Q_{in})/2 = C_s \cdot (V_s - (V_{ip} + V_{in})/2 - V_{No}) \\ &= C_s \cdot (V_s - V_{icm} - V_{No}) \end{aligned} \quad (3)$$

从式(2)可以看出,差分输入电压 $V_{id}$ 被S&H电路采样并转换为大小为 $Q_{id} = C_s \cdot V_{id}$ 的差分电荷信号。由式(3)可以看出,共模电荷和输入共模电压 $V_{cm}$ 直接相关, $\Delta V_{icm}$ 的误差将会直接影响电荷域ADC的输入共模电荷,从而限制电荷域流水线ADC的线性度。

为抑制输入共模电压对输入共模电荷的影响,本文提出了一种输入共模不敏感采样保持电路,通过在图1的基础上增加了共模电荷调整电路,以抑制输入共模电压误差。根据式(3), $\Delta V_{icm}$ 的误差体现在第2项,若在第1项 $V_s$ 中引入 $\Delta V_{icm}$ 相等的补偿信号,那么第1项 $\Delta V_{icm}$ 的误差将被抵消。本文改进的采样保持电路的电路结构如图2所示。M点在 $\Phi_2$ 相的电压不再是固定值 $V_s$ ,而是受共模电荷调整电压 $V_{cmc}$ 和输入共模电压 $V_{icm}$ 控制的浮动电压。电路工作相位和图1一样,由 $\Phi_1$ 和 $\Phi_2$ 双相不交叠时钟来控制信号的采样和保持。

当 $\Phi_1$ 有效时,S&H电路处于信号采样阶段。输入信号 $V_{in}$ 和 $V_{ip}$ 分别连接到采样电容 $C_s$ 左端的A点和B点,C点和D点接共模电平。此时, $V_{in}$ 和 $V_{ip}$ 经过共模采样电阻R1和R2采样得到输入共模电平 $V_{icm}$ 连接到Z点,并利用电容 $C_i$ 跟踪输入共模电压。电容 $C_i$ 上积累的电荷为 $C_i \cdot V_{icm}$ ,即两差分输

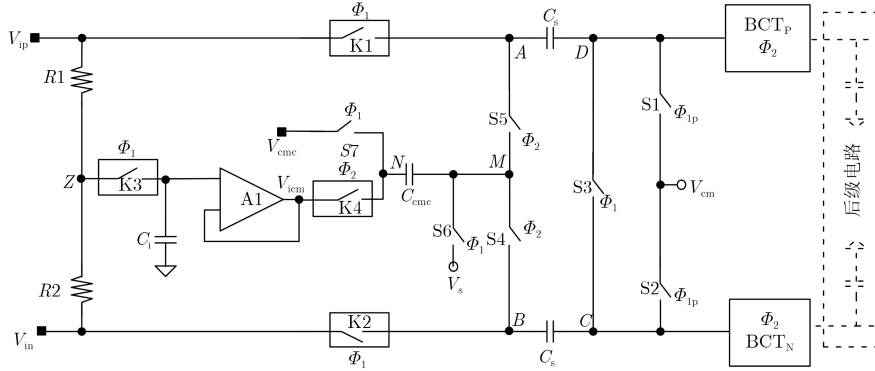


图2 新型电荷域S&amp;H电路结构

入端的共模电荷量。共模调整电容 $C_{cmc}$ 上保持电压差 $V_{cm} - V_s$ ，积累的电荷量为 $C_{cmc} \cdot (V_{cm} - V_s)$ 。

当 $\Phi_2$ 有效时，S&H电路处于信号保持阶段。缓冲运放A1将会把前一时刻 $\Phi_1$ 取到的输入共模电平 $V_{cm}$ 输出到N点。使得N点的电压经历由 $V_{cm}$ 到 $V_{cm}$ 的电压变化，则电容 $C_{cmc}$ 左极板的电压产生 $\Delta V_N = V_{cm} - V_{cm}$ 的变化，由于电容两端压降不能突变，M点的电压将跟随N点电压变化，所以 $\Delta V_N = \Delta V_M$ ，即M点电压此时随输入共模电压 $V_{cm}$ 浮动，因此完成了图1中 $V_s$ 点引入 $\Delta V_{cm}$ 的补偿信号的功能。设定电容 $C_{cmc}$ 远大于 $C_s$ ，则该 $\Delta V_N$ 电压会几乎完全传递到A点和B点，以补偿输入共模电压误差对A点和B点的影响。图2中关键信号通路上的开关K1, K2, K3和K4均采用高线性度的栅压自举开关，以减少信号传递过程中的非线性问题，其余电压传输开关则为普通CMOS互补开关。由于缓冲运放A1用于驱动共模调整电容 $C_{cmc}$ ，而 $C_{cmc}$ 为很大的电容，因此缓冲运放A1必须具有大带宽和强驱动能力。

## 2.2 采样保持电路原理分析

图2中给出的电路在采样相 $\Phi_1$ 时，定义差分端电容 $C_s$ 上累积的电荷量为 $Q_{d1,p}$ 和 $Q_{d1,n}$ ，采样保持输出N通路C点和P通路的D点结点处的寄生电容之和均为 $C_{bp}$ ，则采样相得到的电荷量为

$$\left. \begin{aligned} Q_{d1,p} &= (0 - V_{ip}) \cdot C_s + (0 - 0) \cdot C_{bp} \\ Q_{d1,n} &= (0 - V_{in}) \cdot C_s + (0 - 0) \cdot C_{bp} \end{aligned} \right\} \quad (4)$$

$$\left. \begin{aligned} Q_{1,dff} &= Q_{d1,p} - Q_{d1,n} = -(V_{in} - V_{ip}) \cdot C_s \\ Q_{1,cm} &= (Q_{d1,p} + Q_{d1,n})/2 = -V_{icm} \cdot C_s \end{aligned} \right\} \quad (5)$$

其中， $V_{icm} = (V_{ip} + V_{in})/2$ ，表示输入共模电压。保持相 $\Phi_2$ 时，设差分端电容 $C_s$ 上累积的电荷量为 $Q_{d2,p}$ 和 $Q_{d2,n}$ ，则保持相的电荷量为

$$\left. \begin{aligned} Q_{d2,p} &= (V_R - V_M) \cdot C_s + V_R \cdot C_{bp} \\ Q_{d2,n} &= (V_R - V_M) \cdot C_s + V_R \cdot C_{bp} \end{aligned} \right\} \quad (6)$$

$$\left. \begin{aligned} Q_{2,dff} &= Q_{d2,p} - Q_{d2,n} = 0 \\ Q_{2,com} &= (Q_{d2,p} + Q_{d2,n})/2 = -V_M \cdot C_s \\ &\quad + V_R \cdot (C_{bp} + C_s) \end{aligned} \right\} \quad (7)$$

由式(7)可以看出，输出共模电荷量 $Q_{2,com}$ 由固定参数M点电压、BCT关断点电压、寄生电容 $C_{bp}$ 和采样电容 $C_s$ 综合决定。输入共模电压的变化和误差，会直接引起输出共模电荷量出现非线性误差，这将直接限制后级流水线子级电路的信号摆幅。考察式(7)中M点的电压，根据电荷守恒可得到

$$\begin{aligned} V_M &= \frac{C_{cmc}}{C_{cmc} + 2 \cdot C_s} (V_{icm} - V_{cm}) \\ &\quad + \frac{2 \cdot C_s}{C_{cmc} + 2 \cdot C_s} (V_R + V_{icm}) \\ &\quad + \frac{2 \cdot C_{bp}}{C_{cmc} + 2 \cdot C_s} V_R \end{aligned} \quad (8)$$

进一步设定 $C_{cmc} \gg C_s$ ，于是有

$$\frac{C_{cmc}}{C_{cmc} + 2 \cdot C_s} \approx 1, \quad \frac{2 \cdot C_s}{C_{cmc} + 2 \cdot C_s} \approx 0 \quad (9)$$

因此，式(8)可简化为

$$V_M \approx V_{icm} - V_{cm} \quad (10)$$

于是得到电路的差模和共模电荷输出

$$Q_{diff} = Q_{2,dff} - Q_{1,dff} = (V_{ip} - V_{in}) \cdot C_s \quad (11)$$

$$\begin{aligned} Q_{cm} &= Q_{2,cm} - Q_{1,cm} \\ &\approx V_{cm\_samp} \cdot C_s + V_R \cdot C_s + V_R \cdot C_{bp} \end{aligned} \quad (12)$$

从式(11)可见，S&H电路传递到下一级的差模电荷等于输入差动电压与采样电容的乘积，与各基准电压大小无关。由式(12)可见，电压 $V_{cm}$ 对共模电荷起到一个反向调节的作用，同时S&H电路输出的共模电荷与输入信号的共模电平 $V_{icm}$ 基本无关。上述推导可知， $C_{cmc}$ 的值越大，共模抑制的效果越好。但是过大的 $C_{cmc}$ 将导致大的芯片面积开销。实际电路中，共模稳定电容 $C_{cmc}$ 值约为 $15 C_s$ ，约为21 pF。

由式(12)给出的共模电荷表达式可以得出,  $V_{cmc}$  信号可以调节采样保持电路向第1级电路传递的共模电荷量大小, 从而控制整个电荷域流水线ADC的输入共模电荷。由式(12)还可以看到, 除输入共模电压影响之外,  $C_s$ ,  $C_{bp}$  和  $V_R$  的波动也必须严格控制, 为控制  $V_R$  波动本文采用了可精确控制  $V_R$  的PVT不敏感BCT电路; 为控制采样电容  $C_s$  和寄生电容  $C_{bp}$  的工艺偏差引起的共模误差, 则需要引入共模误差校准技术, 本文采用了文献[11]中所使用的一种“二分法”电容失配误差逐次逼近补偿前台校准技术, 在ADC芯片上电时, 完成电容失配误差的校准工作。

### 3 电路实现及仿真结果

#### 3.1 电荷传输电路

现有高速电荷域流水线ADC通常采用BCT电路进行电荷传输。本文采用的电荷传输电路为Replica控制型BCT电路, 如图3所示。与基本BCT相比, 虽然该电路复杂度和器件数目有所增加, 但是具有输出共模PVT波动不敏感的特性, 具有更加优异的性能和稳定性[12]。

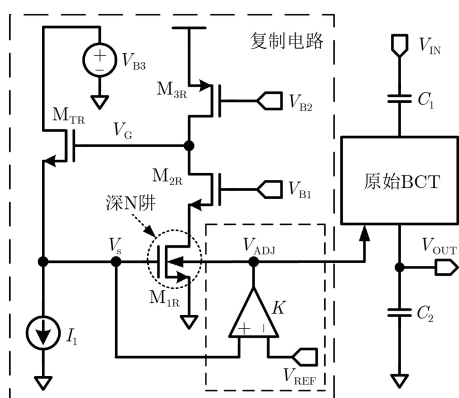


图3 Replica控制BCT电路

图3中的MOS管  $M_{TR}$  是原始BCT电路中  $M_T$  的Replica复制, 由  $M_{1R} \sim M_{3R}$  组成的共源共栅运放是原始BCT电路中  $M_1 \sim M_3$  组成的共源共栅运放的Replica复制。为降低功耗, Replica复制电路中与原始BCT电路对应的MOS管尺寸可以等比例缩小。增益为  $K$  的误差放大器用于检测的  $V_s$  和  $M_{1R}$  衬底电压间的误差, 该误差放大器采用负反馈连接结构将  $V_s$  的大小箝位在  $V_{REF}$ , 而  $V_{REF}$  可以采用精确不受PVT波动影响的基准信号产生, 因此整体BCT电路的PVT波动抑制能力大幅提高。

#### 3.2 缓冲运放电路

图2中缓冲运放A1的作用在于将检测到的输入共模电平  $V_{icm}$  进行驱动, 提供负载能力, 驱动N点

电压跟随  $V_{icm}$  变化。由于共模稳定电容  $C_{cmc}$  为21 pF的大电容, 并且S&H电路的采样频率高达210 MHz, 因此缓冲运放A1需要超大的驱动能力和带宽, 为此本文中缓冲运放A1采用了两级跨导放大器结构。但是传统两级运放的一般采用miller补偿将主次极点分离, 为提高其单位增益带宽, 必须大幅提高第2级运放电路的静态电流, 导致电路功耗以几何级数增大。本文采用了一种改进的miller补偿技术, 对两级传统运算放大器的频率补偿进行了改进, 在不增大第2级运放电流的条件下达到更大的带宽。

本文中缓冲运放A1采用的两级运算放大器的电路结构如图4所示。第1级采用套筒式运算放大器结构,  $MN_2$  和  $MN_3$  作为差分输入管,  $MP_1$ ,  $MP_2$ ,  $MP_3$  和  $MP_4$  作为第1级的负载; 第2级采用Class A输出级,  $MN_6$  为第2级的输入,  $MP_5$  为第2级的负载。本设计在传统miller补偿的基础上, 通过补偿电容  $C_{c2}$  和  $C_{c3}$  实现电路的频率补偿[13]。加入补偿电容  $C_{c2}$  和  $C_{c3}$  后, 使主极点进一步“内推”; 而次极点相对补偿前具有“外推”的效果, 因此第2级运放可以在比较小的跨导时即可实现比较大的次极点, 使两级运放具有足够的相位裕度, 这样在相同的带宽要求下可以减小第2级运放的电流, 从而降低整体两级运放的功耗。

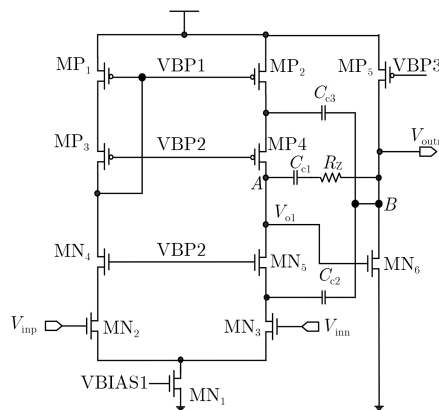


图4 缓冲运放电路结构

#### 3.3 仿真分析

本文中的电荷域流水线ADC, 采用0.18  $\mu\text{m}$  CMOS设计工艺, 电源电压为1.8 V。为验证电荷域S&H电路的特性, 给定仿真条件如下: 采样频率为250 MSPS, 差动输入电压  $V_{IN}$  的值40 mV。S&H电路采样以及BCT输出仿真结果, 如图5所示。图中,  $V_{ip,sha}$  和  $V_{in,sha}$  分别表示经采样保持电路采样后P端(D点)和N端(C点)的输出电压,  $V_{outp}$  和  $V_{outn}$  分别表示BCT电路P端和N端的输出电压。经

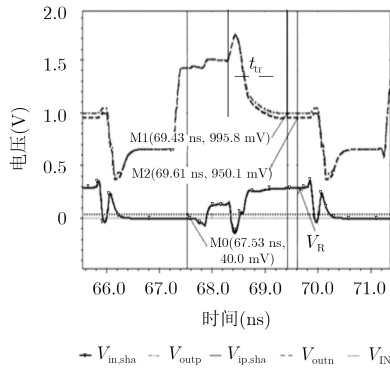


图5 采样保持电路仿真波形

电荷域S&H电路采样到的信号,在传输相时,以电荷形式传出。S&H电路中BCT传出的电荷等于ADC第1级子级电路在接收相接收到的电荷,经接收电荷电容恢复成电压。因此,S&H采样到电荷信号,可以电压的形式在BCT输出电荷阶段体现。S&H电路的输入电压最终将会在BCT的输出结点的总电容上以比例 $-C_s/C_{Total}$ 恢复出电压。本文设计中 $C_s$ 约为1.6pF,而 $C_{Total}$ 约为1.4pF。电压的放大倍数为1.14倍。

本文设计的差分模拟输入范围为1.4 V。图5中给出了差动输入信号测量点M0为40 mV,BCT输出电荷阶段,P端和N端输出电压差可表现为测量点M1和M2的电压差值: $950.1 - 995.8 = -45.7$  (mV),与输入电压的比值为 $-45.7/40 = -1.14$ ,满足设计要求。从图5中还可看出,BCT在电荷传输结束阶段,其输出电压在P端和N端严格重合于 $V_R = 0.3$  V。另外可以看出所设计BCT电路完成一次电荷传输所需要的时间 $t_{tr}$ 为1.3 ns,满足250 MSPS采样率条件下 $\Phi_2$ 相中,S&H模块对电荷传输速度的设计需求。

#### 4 采样保持电路的应用及测试结果

本文所提出输入共模电平不敏感采样保持电路被运用于一款14位210 MS/s电荷域流水线ADC中进行验证。图6所示为采用该S&H电路的14位210 MS/s电荷域ADC的结构框图,其在文献[12,14]中给出的12位250 MS/s电荷域ADC内核的基础上,使用了本文所设计S&H电路,并将第1级2.5位子级电路升级为4.5位子级电路,其余各级子级电路保

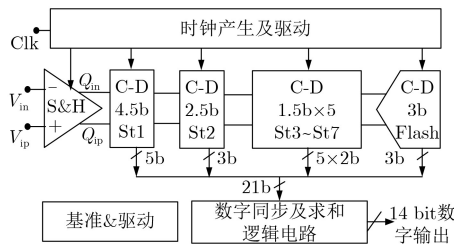


图6 14位210 MS/s电荷域ADC框图

持不变。时钟产生和基准电压产生电路继续沿用文献[12,14]所采用的单元电路。

采用本文S&H电路的14位210 MS/s电荷域流水线ADC采用1.8 V 0.18  $\mu\text{m}$  1P6M CMOS工艺流片,样片芯片的放大照片如图7(a)所示。14位ADC芯片布局与文献[12]基本一致,主要区别在于使用了本文所设计S&H电路,另外还增大了采样保持电路和第1级流水线子级电路的信号处理电容。可以看出S&H电路中所使用的共模调整电容 $C_{cmc}$ 占用了很大的芯片面积。图7(a)中芯片中间部分从左向右依次为采样保持电路、第1级4.5位流水线子级电路(St1)和其他各级流水线子级电路(St2~St8),下部为时钟产生电路和数字编码逻辑电路。整个ADC电路去除PAD和ESD保护电路以外的有源芯片面积为1.5 mm $\times$ 3.6 mm,其中采样保持和各级流水线子级电路面积为1.5 mm $\times$ 2.1 mm,本文所设计S&H电路面积为1 mm $\times$ 1.2 mm。

图7(b)所示为ADC在采样率为210 MS/s、输入信号为30.1 MHz条件下,对输入共模电压变化的SFDR/SNR变化曲线。本文中ADC设计的差分模拟输入电压范围为1.4 V,采用的共模电压中心值为0.6 V,可以看出输入共模电压在0~1.2 V的范围内ADC的SNR变动小于3 dB,输入共模电平误差的影响被限制在非常小的范围内。图7(c)和图7(d)所示为FFT频谱图,14位ADC在采样率为210 MS/s时,对于幅度为-1 dBc的30.1 MHz单音正弦输入信号转换得到的无杂散动态范围(SFDR)为85.4 dBc,信噪比(SNR)为71.5 dBFS,信噪失真比(SNDR)为70.9 dBFS;对于299.1 MHz单音正弦输入信号转换得到的SFDR为78.9 dBc,SNR为69.7 dBFS,SNDR为69.0 dBFS。

表1所示为近年来文献报道的14位高速流水线ADC与本文设计的14位电荷域ADC性能的对比情况。可以看出,本文设计的电荷域流水线ADC在采用了适中芯片面积条件下,达到了最佳的FOM性能,SNR较相同0.18  $\mu\text{m}$  CMOS工艺条件下的其他文献提高了3 dB以上。

#### 5 结论

本文提出了一种用于电荷域流水线ADC的输入共模电平不敏感采样保持电路,该电路可以抑制输入共模电平对电荷域ADC中共模电荷的影响。所提出的输入共模电平不敏感电荷域采样保持电路被运用于一款14位210 MS/s电荷域ADC中。测试结果显示,该14位ADC电路在210 MS/s条件下对于30.1 MHz单音正弦输入信号得到的SFDR为85.4 dBc,SNR为71.5 dBFS,而ADC内核功耗仅为205 mW。

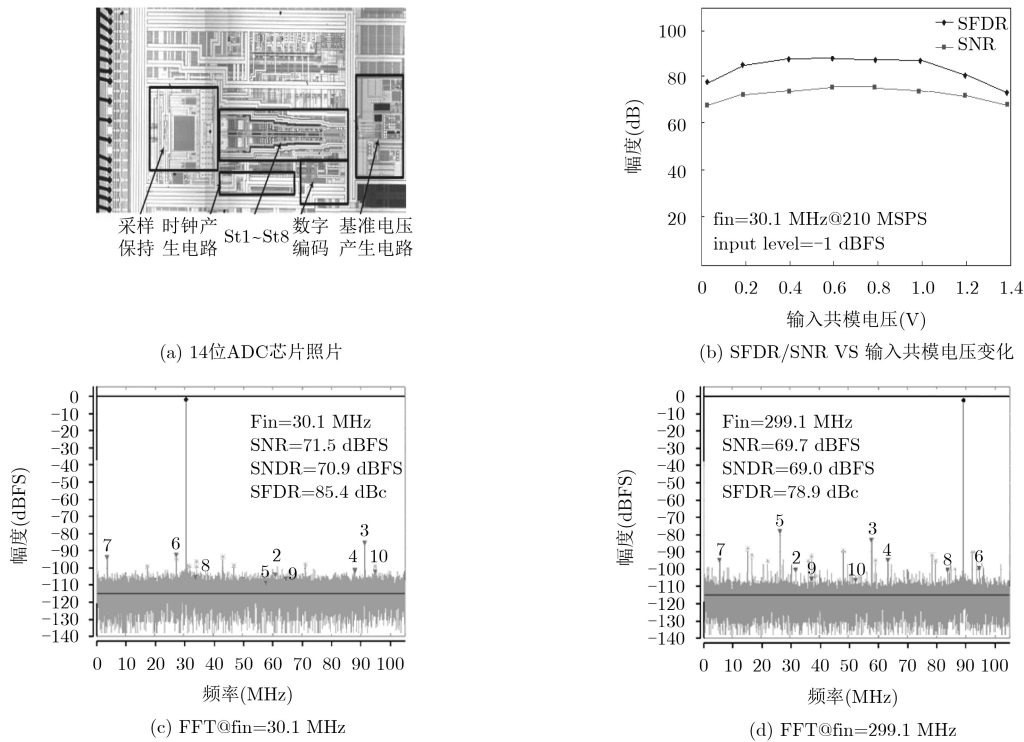


图7 ADC芯片照片及实测曲线

表1 ADC性能对比

技术指标	精度 (bit)	采样 (MS/s)	SNR (dB)	SFDR (dB)	电源电压 (V)	工艺 (nm)	内核功耗 (mW)	内核面积 (mm <sup>2</sup> )	FOM(pJ/step) 功耗/(2 <sup>ENOB</sup> · f <sub>clk</sub> )
文献[4]	14	500	64.8	92.7	1.8/3.3	180	550	2.5**	0.71
文献[5]	14	1000	69.0	86.0	1.2/2.5	65	1200	5.0	0.55
文献[15]	14	200	68.5	88.5	1.8	180	460	22.5*	1.07
文献[16]	14	250	68.5	94.7	1.8	180	300	3.6	0.57
本文	14	210	71.5	85.4	1.8	180	205	3.2	0.39

注：\*该ADC为时间交织结构；\*\*该ADC采用SiGe BiCMOS工艺

所提出的输入共模电平不敏感电荷域采样保持电路可满足高精度电荷域流水线ADC的应用需求。

### 参考文献

[1] 李光祚, 默迪, 王宁, 等. 一种新的高重频宽带相干激光雷达系统研究[J]. 电子与信息学报, 2018, 40(3): 525-531. doi: 10.11999/JEIT170479.  
LI Guangzuo, MO Di, WANG Ning, et al. A novel coherent ladar system with high repetition frequency and wide bandwidth[J]. *Journal of Electronics & Information Technology*, 2018, 40(3): 525-531. doi: 10.11999/JEIT170479.

[2] 陈珍海, 于宗光, 李现坤, 等. 用于16 bit 100 MS/s ADC的高精度参考电压产生电路[J]. 西安电子科技大学学报(自然科学版), 2017, 44(3): 127-132. doi: 10.3969/j.issn.1001-2400.2017.03.022.  
CHEN Zhenhai, Yu Zongguang, LI Xiankun, et al. High precision voltage reference generator for 16-bit 100 MS/s

ADC[J]. *Journal of Xidian University*, 2017, 44(3): 127-132. doi: 10.3969/j.issn.1001-2400.2017.03.022.

[3] 杨贵德, 周渊平, 夏文龙. 协同信道空时优化MIMO无线传输系统[J]. 电子与信息学报, 2018, 40(1): 102-107. doi: 10.11999/JEIT170321.  
YANG Guide, ZHOU Yuanping, and XIA Wenlong. Cooperative channel MIMO wireless transmission system with space-time optimization[J]. *Journal of Electronics & Information Technology*, 2018, 40(1): 102-107. doi: 10.11999/JEIT170321.

[4] MANAR E, LI XP, SHIGENOBU K, et al. A 90 dB SFDR 14-b 500 MS/s BiCMOS switched-current pipelined ADC[C]. *IEEE Proceedings of International Solid-State Circuits Conference*, San Francisco, USA, 2015: 286-287. doi: 10.1109/ISSCC.2015.7063038.

[5] ALI AMA, DINC H, BHORASKAR P, et al. A 14-b 1 GS/s RF sampling pipelined ADC with background calibration[J].

- IEEE Journal of Solid-State Circuits*, 2014, 49(12): 2857–2867. doi: [10.1109/JSSC.2014.2361339](https://doi.org/10.1109/JSSC.2014.2361339).
- [6] ALI AMA, DINC H, BHORASKAR P, *et al.* A 14-bit 2.5 GS/s and 5 GS/s RF sampling ADC with background calibration and dither[C]. *IEEE Proceedings of Symposium on VLSI Circuits*, Honolulu, USA, 2016: 1–2. doi: [10.1109/VLSIC.2016.7573537](https://doi.org/10.1109/VLSIC.2016.7573537).
- [7] WU J F, CHOU A, LI T W, *et al.* A 4 GS/s 13b pipelined ADC with capacitor and amplifier sharing in 16 nm CMOS[C]. *IEEE Proceedings of International Solid-State Circuits Conference*, San Francisco, USA, 2016: 466–468. doi: [10.1109/ISSCC.2016.7418109](https://doi.org/10.1109/ISSCC.2016.7418109).
- [8] MICHAEL A, EDWARD K, JEFFREY K, *et al.* A process-scalable low-power charge-domain 13-bit pipeline ADC[C]. *IEEE Proceedings of Symposium on VLSI Circuits*, Honolulu, USA, 2008: 222–223. doi: [10.1109/VLSIC.2008.4586015](https://doi.org/10.1109/VLSIC.2008.4586015).
- [9] CHEN Z H, YU Z G, HUANG S R, *et al.* A PVT insensitive boosted charge transfer for high speed charge-domain pipelined ADCs[J]. *IEICE Electronics Express*, 2012, 9(6): 565–571. doi: [10.1587/elex.9.565](https://doi.org/10.1587/elex.9.565).
- [10] CHEN Zhenhai, HUANG Songren, ZHANG Hong, *et al.* A 27-mW 10-bit 125-MSPS charge-domain pipelined ADC with PVT insensitive boosted charge transfer[J]. *Journal of Semiconductors*, 2013, 34(3): 035009. doi: [10.1088/1674-4926/34/3/035009](https://doi.org/10.1088/1674-4926/34/3/035009).
- [11] 陈珍海, 魏敬和, 苏小波, 等. 低功耗时间交织12位500 MS/s电荷域ADC[J]. *西安电子科技大学学报(自然科学版)*, 2017, 44(6): 119–126. doi: [10.3969/j.issn.1001-2400.2017.06.020](https://doi.org/10.3969/j.issn.1001-2400.2017.06.020).  
CHEN Zhenhai, WEI Jinghe, SU Xiaobo, *et al.* Low power time-interleaved 12 bit 500 MS/s charge domain ADC[J]. *Journal of Xidian University*, 2017, 44(6): 119–126. doi: [10.3969/j.issn.1001-2400.2017.06.020](https://doi.org/10.3969/j.issn.1001-2400.2017.06.020).
- [12] HUANG Songren, ZHANG Hong, CHEN Zhenhai, *et al.* A 10-bit 250 MS/s charge-domain pipelined ADC with replica controlled PVT insensitive BCT circuit[J]. *Journal of Semiconductors*, 2015, 36(5): 055012. doi: [10.1088/1674-4926/36/5/055012](https://doi.org/10.1088/1674-4926/36/5/055012).
- [13] 陈珍海, 于宗光, 魏敬和, 等. 采用1.75 Gbps串行发送器的低功耗14位125 MSPS ADC[J]. *电子测量与仪器学报*, 2017, 31(1): 132–138. doi: [10.13382/j.jemi.2017.01.019](https://doi.org/10.13382/j.jemi.2017.01.019).  
CHEN Zhenhai, YU Zongguang, WEI Jinghe, *et al.* Low power 14-bit 125 MSPS ADC with 1.75 Gbps serial transmitter[J]. *Journal of Electronic Measurement and Instrument*, 2017, 31(1): 132–138. doi: [10.13382/j.jemi.2017.01.019](https://doi.org/10.13382/j.jemi.2017.01.019).
- [14] YU Zongguang, SU Xiaobo, CHEN Zhenhai, *et al.* A 12-bit 250-MS/s charge-domain pipelined analog-to-digital converter with feed-forward common-mode charge control[J]. *Tsinghua Science and Technology*, 2018, 23(1): 87–94. doi: [10.26599/TST.2018.9010030](https://doi.org/10.26599/TST.2018.9010030).
- [15] ZHANG Yiwen, CHEN Chixiao, YU Bei, *et al.* A 14-bit 200-MS/s time-interleaved ADC with sample-time error calibration[J]. *Journal of Semiconductors*, 2012, 33(10): 105010. doi: [10.1088/1674-4926/33/10/105010](https://doi.org/10.1088/1674-4926/33/10/105010).
- [16] ZHENG X Q, WANG Z J, LI F L, *et al.* A 14-bit 250 MS/s IF sampling pipelined ADC in 180 nm CMOS process[J]. *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 2016, 63(9): 1381–1392. doi: [10.1109/TCSI.2016.2580703](https://doi.org/10.1109/TCSI.2016.2580703).
- 陈珍海: 男, 1982年生, 高级工程师, 主要研究方向为高性能A/D及D/A转换器设计。  
魏敬和: 男, 1970年生, 教授级高级工程师, 主要研究方向为SoC和高性能数模混合集成电路设计。  
钱宏文: 男, 1975年生, 教授级高级工程师, 主要研究方向为高性能数模混合集成电路设计 and 应用。  
于宗光: 男, 1964年生, 教授, 博士生导师, 主要研究方向为高性能数模混合集成电路设计、射频电路设计、集成电路可靠性设计。  
苏小波: 男, 1984年生, 博士生, 研究方向为高性能数模混合电路设计。  
薛 颜: 男, 1983年生, 博士生, 研究方向为高性能数模混合电路设计。  
张 鸿: 男, 1978年生, 副教授, 博士生导师, 主要研究方向为高速高精度模数转换器、射频收发机模拟前端电路和植入式医疗芯片设计。