

一种低延迟的3维高效视频编码中深度建模模式编码器

王莉 曹一凡 杜高明* 刘冠宇 王晓蕾 张多利

(合肥工业大学电子科学与应用物理学院 合肥 230009)

摘要: 为了更好地对3D视频中深度图进行编码, 该文将3维高效视频编码(3D-HEVC)标准新引入了深度建模模式(DMMs), 新模式在提高了编码质量的同时改进了原有算法的复杂度。在设计DMM-1编码器电路时, 传统架构电路的编码周期均较长, 只能满足较低分辨率和帧率的视频实时编码要求。为了进一步提高3D-HEVC中DMM-1编码器的性能, 该文对DMM-1算法架构进行了研究, 针对其中楔形块评估无数据相关性的特点, 提出了一种5级流水线架构的DMM-1编码器硬件电路, 以期能够降低一个深度块编码所需的编码周期, 并使用Verilog HDL进行实现。实验表明: 该架构与Sanchez等人(2017年)的工作相比, 以电路门数增加约1568门为代价, 可减少至少52.3%的编码周期。

关键词: 3维高效视频编码; 深度图; 帧内预测; 深度建模模式算法; Verilog

中图分类号: TN47; TN919.81

文献标识码: A

文章编号: 1009-5896(2019)07-1625-08

DOI: 10.11999/JEIT180798

A Low-latency Depth Modelling Mode-1 Encoder in 3D-high Efficiency Video Coding Standard

WANG Li CAO Yifan DU Gaoming LIU Guanyu
WANG Xiaolei ZHANG Duoli

(School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230009, China)

Abstract: In order to encode better the depth maps in 3D video, the 3D-High Efficiency Video Coding (3D-HEVC) standard is introduced in Depth Modeling Modes(DMMs), which increase the quality of original algorithm while improving the encoding complexity. The traditional architecture of DMM-1 encoder circuit has a longer coding period and can only meet real-time coding requirements of lower resolution and frame rate. In order to improve the performance of DMM-1 encoder, the structure of DMM-1 algorithm is researched and a five-stage pipeline architecture of DMM-1 encoder is proposed. The pipeline architecture can reduce the coding cycles. The architecture is implemented by Verilog HDL. Experiments show that this architecture can reduce the coding cycle by at least 52.3%, at the cost of 1568 gates compared to previous work by Sanchez G. *et al.* (2017).

Key words: 3D-High Efficiency Video Coding (3D-HEVC); Depth map; Intra prediction; Depth Modelling Mode (DMM) algorithm; Verilog

1 引言

随着数字视频技术的发展, 3D视频走进人们的生活。目前3D视频主要采用多视点加深度(Multi View plus Depth, MVD)格式, 其每个视点由纹理图和深度图组成, 纹理图即为常见的彩色图像, 深

度图则是表示被拍摄物体到摄像平面距离的一幅灰度图像。由于新一代高效视频编码(High Efficiency Video Coding, HEVC)标准中的传统帧内预测模式并不能很好地应对深度图的新特性, 为了提高其编码效率, 3D-HEVC中引入一种全新的帧内预测编码模式——深度建模模式(Depth Modeling Modes, DMMs)。经过几代标准的更迭, DMMs现保留DMM-1和DMM-4两种模式。本文主要针对DMM-1展开研究。

在DMMs被提出和正式采纳之前, 研究者提出了一些快速算法用以降低深度图的计算复杂度^[1-3]。2012年, Muller等人^[4]首次提出了DMM算法。

收稿日期: 2018-08-16; 改回日期: 2019-02-27; 网络出版: 2019-03-18

*通信作者: 杜高明 dugaoming@hfut.edu.cn

基金项目: 国家自然科学基金(61474036), 教育部IC设计网上合作研究中心项目(JSJG20170413153845042)

Foundation Items: The National Natural Science Foundation of China(61474036), The Project of IC Design Web-cooperation Research Center of MOE(JSJG20170413153845042)

DMM算法能够较好地保留深度图中的边缘信息,但是也导致编码复杂度大幅提高。为了解决这一问题,研究者们提出了在特定条件下跳过DMM算法的评估^[5-9]。文献^[9-14]还提出了一些新方法,用以降低DMM-1算法本身的复杂度。由此可见,大多数工作都是针对DMM算法本身进行优化或者避开DMM算法的评估以降低算法复杂度。除此之外, Sanchez等人^[15]首先设计出了一种DMM-1算法的硬件电路,在对一个深度块进行评估时,该电路采用串行架构,对每个深度块进行评估时所需要消耗的周期数较长,对于一个尺寸为 4×4 的原始深度块,其需要134个时钟周期才能完成全部预测过程;之后, Sanchez等人^[16]又对该架构进行了改进,改进后的电路需要132个时钟周期,周期数依然较多。在电路性能上存在较大优化空间,且其本身难以满足更高分辨率或帧率的3D视频的编码需要。

针对上述编码时间较长的问题,本文对DMM-1算法进行分析,做了如下工作:

(1) 通过对DMM-1算法的研究,本文发现在对每个楔形块进行计算时,其每个楔形块所需要处理的数据之间并无相关性,下一个楔形块数据的计算并不依赖于上一个楔形块评估完成后得到的数据,即如果追求极限的编码速度,所有楔形块可以同时开始计算和评估。对此特性,本文进行了充分的评估;

(2) 基于DMM-1算法无数据相关性的特性,本文从硬件的角度,分析和评估了多种改进硬件架构的硬件消耗、功耗等数据,提出并设计了一种流水线架构的DMM-1算法的硬件电路。本设计将每个楔形块的评估过程拆分成多个子模块,每个子模块即代表一级流水,在每一级流水线之间均插入一级寄存器,以实现流水线功能;

(3) 通过对流水线架构性能的分析,并计算实验指标,本电路可以显著减少电路的编码周期,使电路能够在每个时钟周期内均完成一个楔形块的计算和评估,相比于 Sanchez等人^[15]提出的硬件电路,在电路面积没有较大变化的前提下,对一个楔形块的计算周期数理论上可以缩短40%以上。与此同时,降低楔形块评估时间,从而提高电路性能,实现电路性能和面积的平衡,使其满足更高分辨率或帧率的3D视频编解码要求。

2 3D-HEVC及帧内预测编码架构

图1为3D-HEVC的编解码流程。3D-HEVC本身针对的是MVD格式的视频,每个视点下都包括纹理图和深度图,经过编码器之后形成码流,之后,在解码端通过解码器进行解码,恢复成各个视

点并进行视点综合。DMM-1算法即是在3D-HEVC编码器的一个部分。

2.1 3D-HEVC深度图及其帧内预测

如图2(b)所示,深度图由一幅灰度图像表示,每个像素点由一个8位二进制数表示,其值的范围为 $0 \sim 255$ 。灰度值越小,则灰度越浅,表示被拍摄物体到摄像机平面的距离越近;反之,灰度值越大,则灰度越深,表示被拍摄物体到摄像机平面的距离越远。

3D-HEVC的深度图帧内预测基于四叉树的编码架构和HEVC的35种预测模式。如表1所示,即为深度图帧内预测的模式编码及对应名称,编号前 $0 \sim 34$ 为HEVC中的平面(Planar)、直流(DC)和角度预测的35种不同模式,编号35和36分别为DMM-1和DMM-4两种模式。图3展示了3D-HEVC中深度图帧内预测过程。当深度图的帧内预测开始时,一

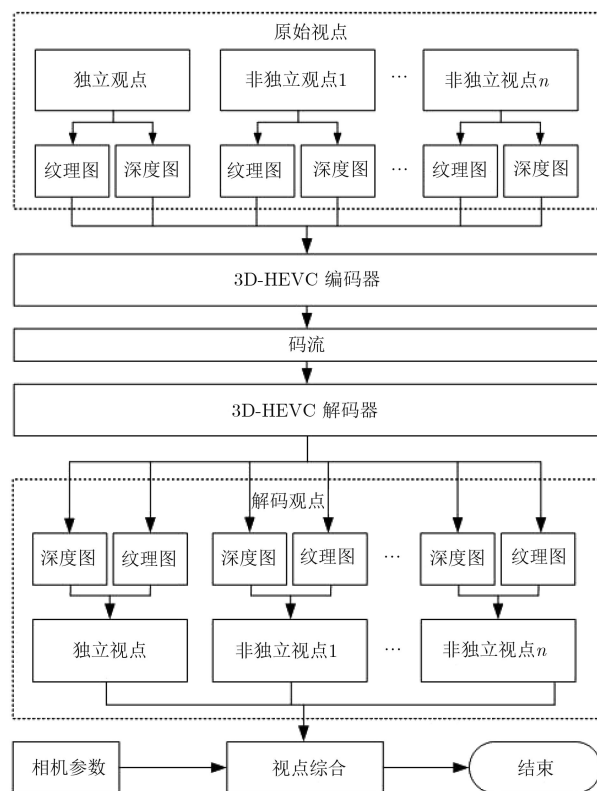
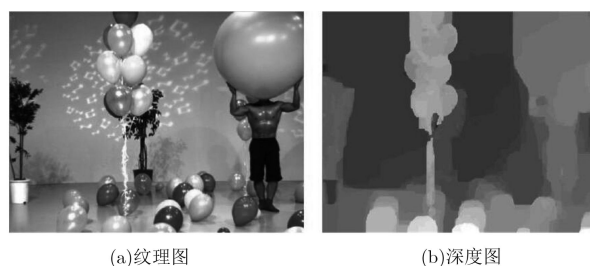


图1 3D-HEVC编解码流程图



(a)纹理图

(b)深度图

图2 纹理图和深度图示意图

表 1 深度图帧内预测模式序号和名称

模式序号	模式名称
0	Planar
1	DC
2~34	Directional
35	DMM-1
36	DMM-4

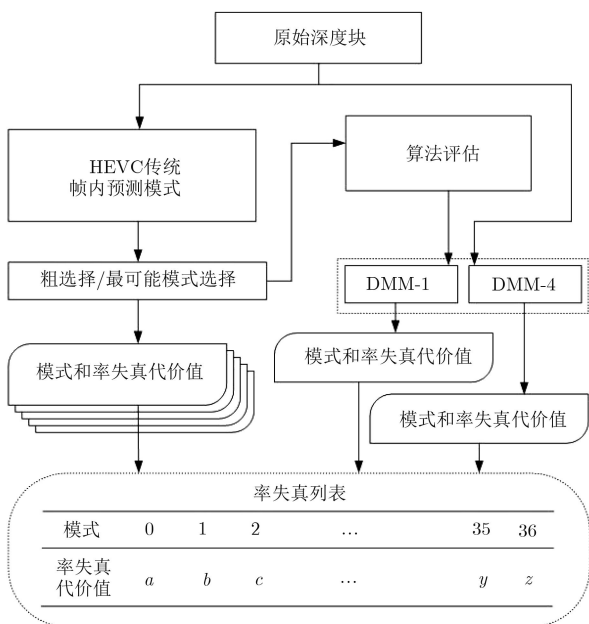


图 3 深度图帧内预测流程图

张深度图一次被划分成编码树单元(Coding Tree Unit, CTU)、编码单元(Coding Unit, CU)和预测单元(Prediction Unit, PU), 一个预测单元即为一个原始深度块。在确定原始深度块后, 对35种传统帧内预测模式进行计算, 并使用粗选择和最可能模式选择对上述模式进行评估。根据评估结果, 确定是否将DMM-1和DMM-4两种模式加入到列表中进行评估。之后, 对率失真列表中的所有模式进行率失真代价值的计算和评估。

2.2 深度建模模式

前文中提到的两种算法(DMM-1和DMM-4)不同之处在于: DMM-1使用楔形(wedgelet)分割, 而DMM-4使用轮廓型(contour)分割。如图4所示即为DMM-1的楔形和DMM-4的轮廓型示意图。本设计不讨论DMM-4算法, 仅对DMM-1算法进行硬件架构优化设计与实现。

如图4(a)、图4(b)所示, 在DMM-1算法中, 楔形块由1条虚线将深度块分为两个区域, 一个区域为Region-0, 另一个为Region-1。在计算完成后, 两个区域的深度值不同, 但是两个区域内每个像素点的深度值相同。

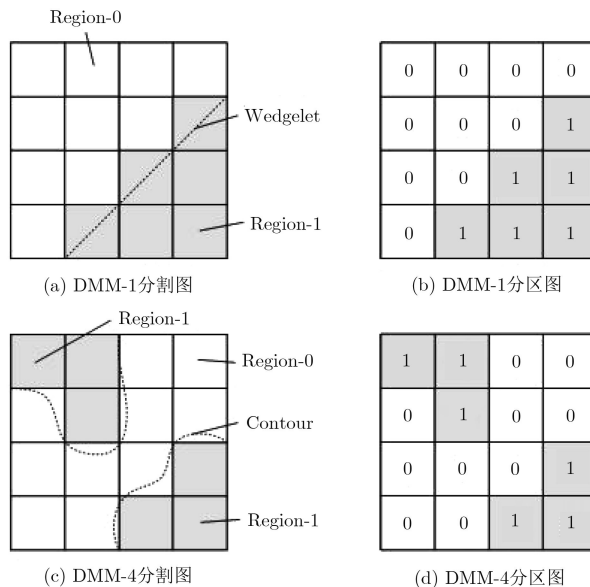


图 4 DMM-1和DMM-4示意图

图5所示即为DMM-1算法的流程图, 图6所示即为DMM-1算法的实例图, 结合两幅图可以对DMM-1算法的流程作详细的了解。整个DMM-1算法分为3个阶段: 粗搜索阶段、精搜索阶段和残差阶段。在粗搜索阶段, 对所有需要进行评估楔形块依次计算区域0和区域1的均值、确定预测深度块和计算绝对差值和(Sum of Absolute Differences, SAD), 在计算出楔形块A的SAD值之后, 将该SAD值保存, 再进行楔形块B的计算。如果楔形块B的SAD值小于楔形块A的SAD值, 则意味着楔形块B的失真度低于楔形块A, 那么将楔形块A的SAD值和相应数据更新为楔形块B的SAD值和相应数据; 反之, 如果楔形块B的SAD值大于楔形块A的

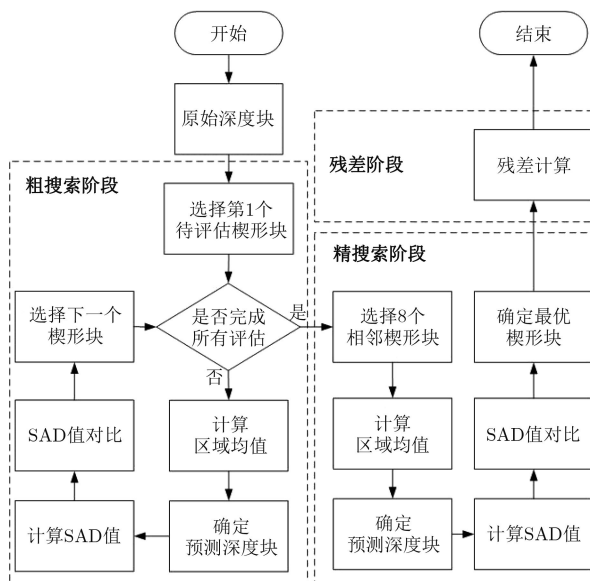


图 5 DMM-1算法流程图

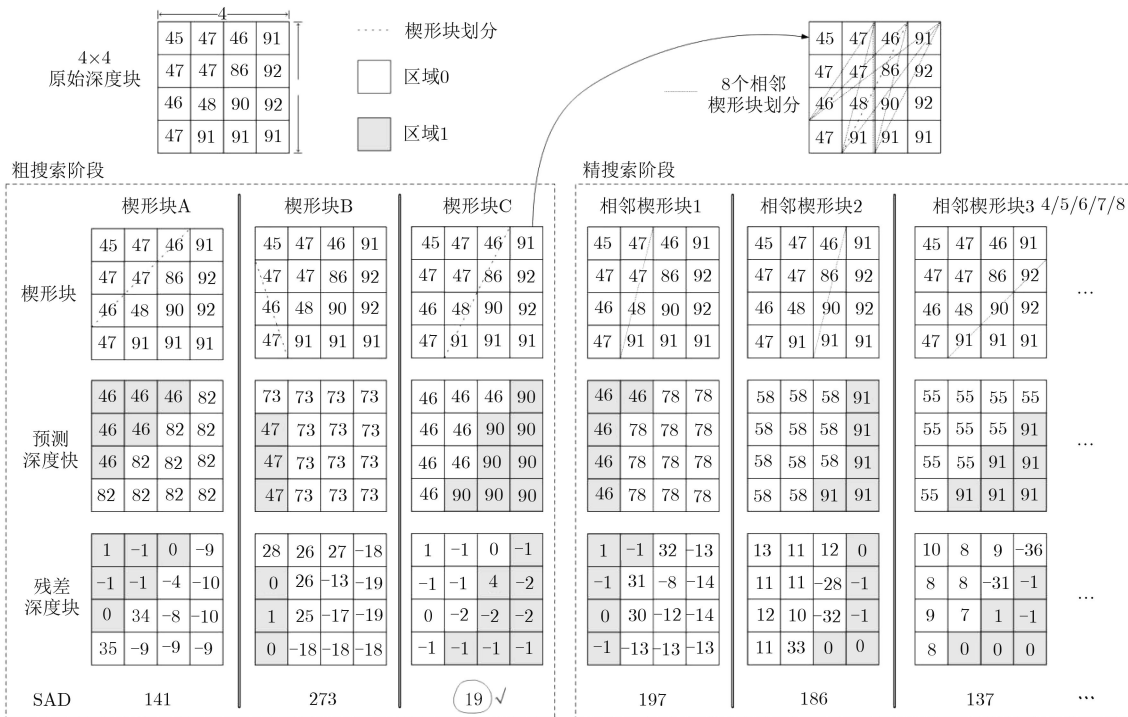


图6 DMM-1算法计算实例图

SAD值，则意味着楔形块B的失真度高于楔形块A，那么则不对之前保存的楔形块A的SAD值和相关数据进行更新。以此类推，依次对所有需要在粗搜索阶段进行评估楔形块进行计算，最终得到一个SAD值最小的楔形块，将该楔形块的序号及相关数据作为粗搜索阶段的结果输出。

粗搜索阶段完成之后，将数据输出到精搜索部分，对该粗搜索阶段SAD值最小的楔形块相邻的8个楔形块进行计算和评估。在最终确定了预测楔形块之后，将原始深度块减预测深度块，每个像素点对应相减，即得到残差深度块。

考虑到精搜索阶段的效率和资源消耗等问题，Sanchez等人^[15]对DMM-1算法进行了优化，尝试移除精搜索部分，并对移除后的DMM-1算法性能进行了评估，作者认为该优化对于硬件设计有较大帮助，能够有效降低硬件设计复杂度并降低功耗。在本文所述的DMM-1算法流水线架构的硬件电路中也采用了这种优化方法。

2.3 数据相关性分析

根据前一节对DMM-1算法的描述，并参考图6的算法流程可知，在粗搜索阶段，对每一个楔形块进行计算和评估时，所需要的数据仅包括原始深度块和楔形块的相关数据，每个楔形块的计算之间并不会互相影响，在经过一个完整的计算流程之后，得到该楔形块的SAD值，SAD值即代表该楔形块的失真程度，之后，对每个楔形块的SAD值进行集

中比较即可。在原始算法中，在每一个楔形块计算完成后即对SAD值进行比较，比较完成后再开始下一个楔形块的计算，但是下一个楔形块的计算与上一个楔形块的SAD值无关，可以在SAD值比较之前，即开始下一个楔形块的计算和评估，由此可以节约编码时间。综上所述，可得出结论：DMM-1算法对每个楔形块的评估之间无数据相关性，该特性对硬件架构设计至关重要。

根据DMM-1算法无数据相关性的特点，可以对多个楔形块的计算使用并行操作。如果设置多组计算单元同时对多个楔形块进行并行计算，可以实现算法总计算周期的大幅缩减，但是，并行计算的弊端是资源消耗的大幅增加，其实质是以电路面积换取性能的提高。所以，多组计算单元并行计算并不是一种优秀的优化方向。

3 DMM-1流水线架构硬件实现

在Sanchez等人^[15]的设计的电路中，在对一个深度块进行评估计算的时候，其采用的是顺序评估的方法，与DMM-1算法本身流程较为相似，即对一个楔形块评估完成后才开始下一楔形块的评估，因此其完成一个深度块评估所需要消耗的时钟周期数较多，评估时间较长。

针对其性能上的缺陷，并参考其算法无数据相关性的特点，本文设计出一种流水线架构的DMM-1算法的硬件电路，本硬件电路的核心流水线架构部

分的时序图如图7所示。本节主要介绍本流水线架构的DMM-1算法的硬件电路的具体实现。本架构的硬件电路主要分为两个模块：楔形块数据存储模块和搜索模块。前者主要用于存储楔形块相关数

据，并将这些数据按规律发送到搜索模块；后者即搜索模块，主要用于根据楔形块数据存储模块发送的数据和原始深度块的数据，对每个楔形块进行计算和评估，最终选择出SAD值最小的一种楔形块。

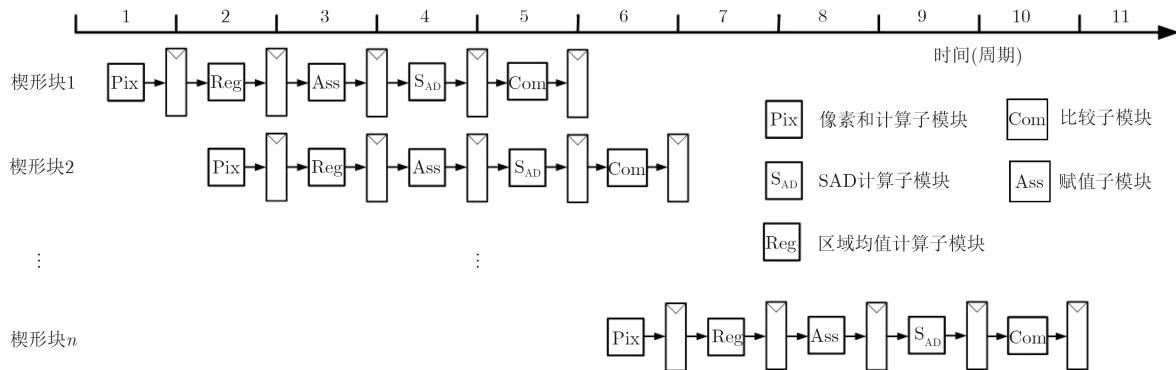


图7 流水线架构电路时序图

3.1 楔形块数据库存储模块

图8展示了楔形块数据库存储模块示意图。该模块主要功能是存储楔形块数据库，并将这些存储的数据按照外部输入的读使能信号输出。

楔形块数据库存储模块主要分为两个部分，分别是读地址控制模块和楔形块数据库ROM。楔形块数据库ROM中按照楔形块序号存储不同楔形块的数据；而读地址控制模块内主要为自加器电路，当外界复位信号拉低且读使能信号拉高时，读地址控制模块内的自加器电路每个时钟周期将读地址加1，相应地，每个周期将该地址下对应的数据输出。

3.2 搜索模块

搜索模块中一共分为5个子模块(如图9所示)，分别为：像素和计算子模块、区域均值计算子模

块、赋值子模块、SAD计算子模块和比较子模块。由于搜索模块为流水线架构，即每个子模块代表流水线中的一级，每个子模块之间均插入一级寄存器。

像素和计算子模块是5级流水线的第1级，其功能是根据楔形块数据库存储子模块输出的楔形块数据和原始深度块，计算区域1和区域0的像素值之和，同时统计在该楔形块划分方法下区域1和区域0的像素点个数。

区域均值计算子模块是5级流水线的第2级，其功能是计算区域1和区域0的均值，核心电路为2个整数除法器，其接收像素和计算子模块发送的像素值之和与像素点个数，这2个除法器分别将区域1和区域0的像素值之和和像素点个数相除，得到两个区域的区域像素均值。

赋值子模块是5级流水线的第3级，其功能是根据楔形块数据和区域均值计算子模块中计算得到的区域均值，对深度块的每个像素点处进行赋值，得到该楔形块下的预测深度块。

SAD计算子模块是5级流水线的第4级，其功能是根据原始深度块和赋值子模块中计算得到的预测深度块，将原始深度块在每个像素点处分别对应减去预测深度块的每个像素点的值，得到一个残差深

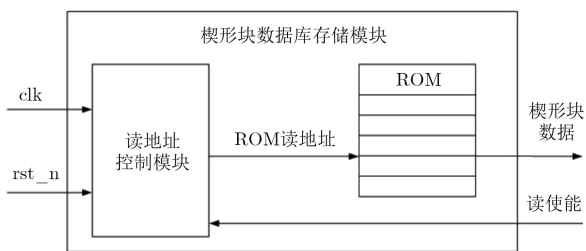


图8 楔形块数据库存储模块结构图

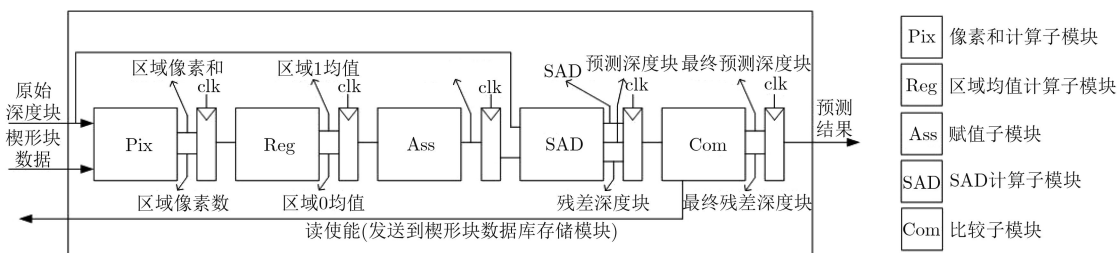


图9 搜索模块结构图

度块。再将此残差深度块的每个深度值取绝对值后相加,即可得到该楔形块下的SAD值,将该SAD值和对应的预测深度块发送到比较子模块。

比较子模块是5级流水线的第5级,其功能是判断每个楔形块的失真程度,最终保存失真程度最小的楔形块相关数据。其核心电路为一个比较器和一组寄存器,根据SAD计算子模块输出的SAD值,在每一个周期做一次比较。如果当前楔形块的SAD值小于前一个楔形块的SAD值,则将当前楔形块的预测深度块覆盖前一个楔形块的预测深度块;反之,如果当前楔形块的SAD值大于前一个楔形块的SAD值,则不对寄存器内存储的前一个楔形块的预测深度块做任何操作。

搜索模块完成对所有楔形块的计算和评估之后,得到一个SAD值最小,即失真程度最小的楔形块,该楔形块对应的预测深度块和残差深度块即为最终结果。

4 实验与分析

为了验证流水线架构的算法和电路功能的正确性,并与传统串行架构电路的性能进行对比,本文使用Verilog HDL对电路进行设计,并在Nangate 45 nm工艺下对电路进行仿真和综合。

4.1 流水线架构功能验证及综合数据

使用多组块尺寸为 4×4 的原始深度块对电路功能进行验证,图10展示了其中的4组测试激励。第1竖排为原始深度块,其作为输入数据输入到电路中;第2竖排为该原始深度块预测得到的预测深度块,第3竖排为前两者相减得到的残差深度块,预测深度块和残差深度块为电路应输出的数据。

使用ModelSim软件,并使用这4组测试激励进行功能验证,根据实验结果和计算结果显示,二者保持一致,即电路功能正确。根据仿真结果,对一个块尺寸为 4×4 的原始深度块,该流水线架构的硬件电路期完成全部编码所需要的时间为63个时钟周期。

完成功能验证之后,使用Design Compiler软件,在Nangate 45 nm工艺下对电路进行了综合,根据综合结果和换算,该流水线架构电路最高频率约为350 MHz,电路门数约为4859门。

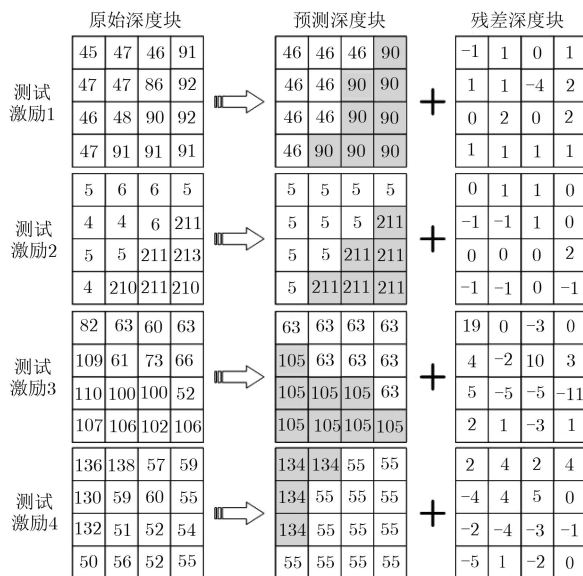


图10 4组测试激励及预测结果示意图

4.2 性能对比

完成电路的设计和综合之后,根据Sanchez等人^[15,16]给出的数据,本文对电路性能进行了计算,并与Sanchez等人的电路进行了对比,对比内容主要包括电路门数、频率、编码周期数和编码时间,完整的对比结果如表2所示,可见电路门数相比Sanchez等人^[15]的电路大约增加了1568门,合47.6%;相比Sanchez等人^[16]的电路大约增加了789门,合19.4%。但是每个深度块的编码周期数和编码时间相比其有明显降低。

图11和图12展示了编码周期和编码时间与Sanchez等人工作的对比。对一个块尺寸为 4×4 的深度块,本设计仅需要63个周期即可完成编码,在电路门数没有明显增加的前提下,相比于文献^[15]缩短53.0%,相比于文献^[16]缩短52.3%;根据周期和频率换算,本设计需要179.5 ns完成编码,相比于文献^[15]缩短30.9%,相比于文献^[16]缩短30.1%。

5 结束语

本文介绍了一种基于3D-HEVC的深度图帧内预测的DMM-1算法的硬件电路。通过将DMM-1算法的流程进行解析,根据其楔形块之间无数据相关性的特点,将传统计算流程的几个步骤进行拆分,使用流水线架构进行实现,缩短了对每个原始深度

表2 流水线架构性能和对比

工作	块尺寸	工艺(nm)	门数	频率(MHz)	周期/块	时间/块(ns)
本文	4×4	Nangate 45	4859	350.0	63	179.5
文献 ^[15]	4×4	ST 65	4070	515.5	134	259.9
文献 ^[16]	4×4	ST 65	3291	514.3	132	256.7

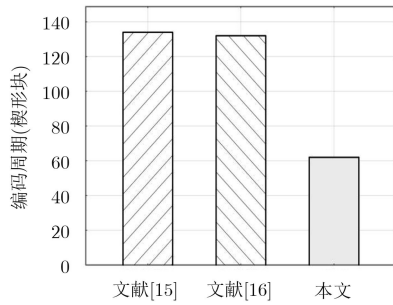


图 11 楔形块编码周期对比示意图

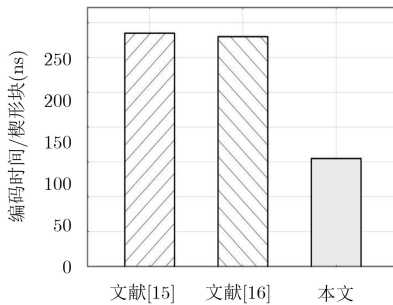


图 12 楔形块编码时间对比示意图

块的评估所需要的时间。最后，本文在Nangate 45 nm工艺下综合了该电路架构。实验证明：与 Sanchez等人^[16]之前的工作相比，本流水线架构的电路在增加约1568门的代价下，可以节省约52.3%的计算周期和约30.1%的计算时间，在电路性能和电路面积之间实现了优化和平衡。

参 考 文 献

- [1] LEE J Y, WEY H C, and PARK D S. A fast and efficient Multi-View depth image coding method based on temporal and Inter-View correlations of texture images[J]. *IEEE Transactions on Circuits and Systems for Video Technology*, 2011, 21(12): 1859–1868. doi: [10.1109/TCSVT.2011.2154730](https://doi.org/10.1109/TCSVT.2011.2154730).
- [2] SHEN Liqun, ZHANG Zhaoyang, and LIU Zhi. Inter mode selection for depth map coding in 3D video[J]. *IEEE Transactions on Consumer Electronics*, 2012, 58(3): 926–931. doi: [10.1109/TCE.2012.6311338](https://doi.org/10.1109/TCE.2012.6311338).
- [3] CERNIGLIARO G, JAUREGUIZAR F, CABRERA J, et al. Low complexity mode decision and motion estimation for H.264/AVC based depth maps encoding in free viewpoint video[J]. *IEEE Transactions on Circuits and Systems for Video Technology*, 2013, 23(5): 769–783. doi: [10.1109/TCSVT.2012.2223632](https://doi.org/10.1109/TCSVT.2012.2223632).
- [4] MÜLLER K, MERKLE P, TECH G, et al. 3D video coding with depth modeling modes and view synthesis optimization[C]. Proceedings of 2012 Asia Pacific Signal and Information Processing Association Annual Summit and Conference, Hollywood, USA, 2012: 1–4.
- [5] ZHANG Qiuwen, LI Nana, HUANG Lixun, et al. Effective early termination algorithm for depth map intra coding in 3D-HEVC[J]. *Electronics Letters*, 2014, 50(14): 994–996. doi: [10.1049/el.2014.0065](https://doi.org/10.1049/el.2014.0065).
- [6] GU Zhouye, ZHENG Jianhua, LING N, et al. Fast depth modeling mode selection for 3D HEVC depth intra coding[C]. Proceedings of 2013 IEEE International Conference on Multimedia and Expo Workshops, San Jose, USA, 2013: 1–4.
- [7] GU Zhouye, ZHENG Jianhua, LING N, et al. “3D-CE5.h related: Fast intra prediction mode selection for intra depth map coding[C]. Proceedings of the 5th Meeting of Joint Collaborative Team on 3D Video Coding Extension Development (JCT-3V) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, Vienna, Austria, 2013: 3–5.
- [8] GUO Ruixue, HE Gang, LI Yunsong, et al. Fast algorithm for prediction unit and mode decisions of intra depth coding in 3D-HEVC[C]. Proceedings of 2016 IEEE International Conference on Image Processing, Phoenix, Arizona, USA, 2016: 1121–1125.
- [9] LI Kun. The research of intra mode coding for the depth maps[D]. [Master dissertation], Shenzhen University, 2016: 24–49.
- [10] 粘春涓, 陈婧, 曾焕强. 纹理类型预判和SDC优化的3D-HEVC深度图帧内算法[J]. *计算机科学与探索*, 2018, 12(6): 994–1003. doi: [10.3778/j.issn.1673-9418.1711040](https://doi.org/10.3778/j.issn.1673-9418.1711040).
- [11] NIAN Chunmei, CHEN Jing, and ZENG Huanqiang. Depth map intra algorithm for 3D-HEVC by prejudging texture type and SDC optimization[J]. *Journal of Frontiers of Computer Science and Technology*, 2018, 12(6): 994–1003. doi: [10.3778/j.issn.1673-9418.1711040](https://doi.org/10.3778/j.issn.1673-9418.1711040).
- [12] SANCHEZ G, SALDANHA M, BALOTA G, et al. Complexity reduction for 3D-HEVC depth maps intra-frame prediction using simplified edge detector algorithm[C]. Proceedings of 2014 IEEE International Conference on Image Processing, Paris, France, 2014: 3209–3213.
- [13] SANCHEZ G, SALDANHA M, BALOTA G, et al. A complexity reduction algorithm for depth maps intra prediction on the 3D-HEVC[C]. Proceedings of 2014 IEEE Visual Communications and Image Processing Conference, Valletta, Malta, 2014: 134–140.
- [14] SANCHEZ G, SALDANHA M, ZATT B, et al. S-GMOF: A gradient-based complexity reduction algorithm for depth-maps intra prediction on 3D-HEVC[C]. Proceedings of the 6th Latin American Symposium on Circuits & Systems, Montevideo, Uruguay, 2015: 1–4.

- [14] SALDANHA M, ZATT B, PORTO M, *et al.* Solutions for DMM-1 complexity reduction in 3D-HEVC based on gradient calculation[C]. Proceedings of the 7th Latin American Symposium on Circuits & Systems, Florianopolis, Brazil, 2016: 211–214.
- [15] SANCHEZ G, MARCON C, and AGOSTINI L. Real-time scalable hardware architecture for 3D-HEVC bipartition modes[J]. *Journal of Real-time Image Processing*, 2017, 13(1): 71–83. doi: [10.1007/s11554-016-0609-8](https://doi.org/10.1007/s11554-016-0609-8).
- [16] SANCHEZ G, AGOSTINI L, MÓR F, *et al.* Low-area scalable hardware architecture for DMM-1 encoder of 3D-HEVC video coding standard[C]. Proceedings of the 30th Symposium on Integrated Circuits and Systems Design, Fortaleza, Brazil, 2017: 36–40.
- 王 莉: 女, 1977年生, 副教授, 博士, 研究方向为纳米材料和半导体器件.
- 曹一凡: 男, 1994年生, 硕士生, 研究方向为视频编解码的数字集成电路设计.
- 杜高明: 男, 1977年生, 副研究员, 博士, 研究方向为多核集成电路体系结构、2维/3维片上网络集成体系结构.
- 刘冠宇: 男, 1995年生, 硕士生, 研究方向为数字集成电路设计.
- 王晓蕾: 女, 1978年生, 副研究员, 硕士, 研究方向为集成电路设计.
- 张多利: 男, 1976年生, 研究员, 博士, 研究方向为多核处理器体系架构和设计方法.