

基于控阈技术的并行式 A/D 转换器设计¹

吴训威 杭国强*

(宁波大学电路与系统研究所 宁波 315211)

*(浙江大学信息电子工程学系 杭州 310027)

摘要 该文将数字电路设计中空间-时间等效思想及阈值控制技术两者引入 A/D 转换器的设计, 所设计出的 A/D 转换器在保证较高速度的同时具有相对简单的电路结构。

关键词 A/D 转换器, 控阈技术, 空间-时间等效

中图分类号 TN792

1 引言

A/D 转换器处于模拟和数字信号的交界面, 它具有模拟量和数字量的各种特点。因此, 某些数字电路的设计思想和技术将可为 A/D 转换器的设计所借鉴。在 A/D 转换器中, 由于比较型 A/D 转换器的转换速度较快, 因而被广泛应用于中高速领域^[1]。其中的反馈比较型 A/D 转换器由于内含 D/A 反馈回路和时序电路而影响了速度的进一步提高, 而无反馈型 A/D 转换器, 尤其是并行比较型 A/D 转换器转换速率最高, 但电路结构庞杂, 特别对于高位 A/D 转换器更是如此^[2]。依托超大规模集成电路技术的支持, 采用近年来所提出的流水结构和 $\Sigma-\Delta$ 调制等技术设计的 A/D 转换器分别在实现高速和高精度等方面已取得了可喜的进展, 对它们的研究还在不断深入^[3-4]。高速与高精度是一对矛盾, 目前在超高速和高速的 A/D 转换器中主要是采用并行结构, 即靠空间的累积来换取高的变换速度。为此, 希望能找到一种具有较高速度的(例如并行结构), 而结构又不太复杂可制作成高位数的设计方案。

在数字电路设计中, 如果将时序电路与单纯的组合电路进行比较, 则可看到时序电路的一个很明显的优点为节省硬件。其原因在于同一个逻辑电路被反复使用。但是, 也正是由于重复使用(重复动作)造成操作时间加长, 也即影响了电路速度。例如, 我们考察一个 n 位二进制加法器的设计, 实现二进制相加的时序电路设计和组合电路设计形式分别如图 1(a), 图 1(b) 所示。

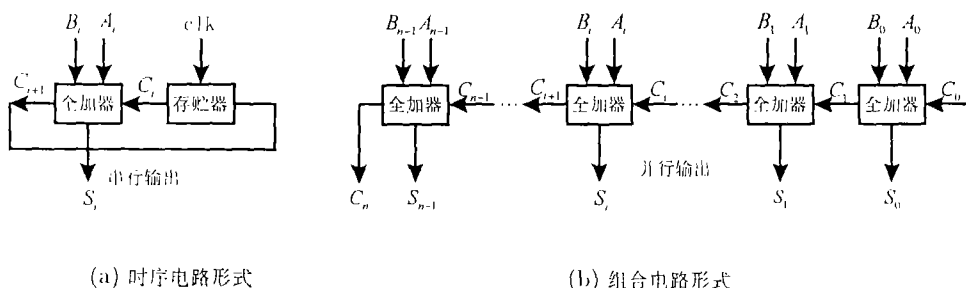


图 1 二进制加法器设计

¹ 2000-05-10 收到, 2000-12-29 定稿

国家自然科学基金项目 (No.69973039) 与浙江省科技厅项目 (No.0601110022)

从图中可以看出，图 1(a) 的时序形式设计重复使用了单个全加器，所以只需一个全加器，从而减少了组合逻辑部件的数量。但它只能实现由低位开始的顺序相加（即串行相加），先输入两个最低位相加，将相加之进位输出存贮起来供较高一位相加时使用，而相加之和 s_i 则从低位开始顺序输出。另一方面，图 1(b) 的结构中 n 位二进制相加共采用了 n 个全加器。输入信号同时输入至全加器的输入端，经过一个传输延迟后，在输出端即得到了和数及最高位进位值。如果忽略时延的话，则可在各输出端同时得到输出信号。因而在性能上是一种并行处理方式，从而提高了电路的运算速度。从上述例子我们发现对于完成相同的操作，电路形式可以是串行也可以是并行。串行结构空间上的简化造成了时间上的延长，而并行结构空间上的复杂带来了时间上的加速，这样的一种电路关系被称之为空间-时间等效。这一思想意味着，它可以用于指导我们把逐次比较型 A/D 转换器改变成并行式 A/D 转换器，这正是本文研究的目的。

2 A/D 转换器结构分析

在比较型 A/D 转换器中有两种常见的电路结构：并行比较型 A/D 转换器和逐次比较型 A/D 转换器。两者对于待比较信号 V_x 的转换都是首先通过把 V_x 与某个数字化电平 V_r 的比较来实现的。因此这个数字化电平也可称为比较器的阈。

图 2(a) 表示了一种并行比较型 A/D 转换器，由于在 n 位 A/D 转换器中，输入信号 V_x 可能有 2^n 种数字表示，因此就需要 $2^n - 1$ 种阈值。例如，当第 i 个比较器有输出且第 $i + 1$ 个比较器无输出时，信号 V_x 的值就介于 V_i 与 V_{i+1} 之间。显然，这种结构的 A/D 转换器虽然工作速度快，但 $2^n - 1$ 个比较器与 $2^n - 1$ 个参考电压（阈电压）均是难以接受的。

图 2(b) 表示了一种逐次比较型 A/D 转换器，它的工作原理是这样的：在时钟 clk 的作用下，A/D 转换器应有 n 个工作循环，一开始寄存器被预置成 $10 \cdots 0$ ，即最高位 $D_{n-1} = 1$ ，其它位为 0。因此第一个循环中的比较用于确定 b_{n-1} 。比较器的输出（1 或 0）决定了存入 b_{n-1} 寄存器中的值，然后在 clk 的作用下将次高位的 D_{n-2} 预置为 1，再将 $(b_{n-1}10 \cdots 0)$ 转换成的电压与 V_x 比较以确定 b_{n-2} 位。因此，图 2(b) 所示的逐次比较型 A/D 转换器是一个典型的时序电路，它需要 n 个循环来完成。与图 2(a) 相比，它虽然结构简单，但将付出时间的代价。

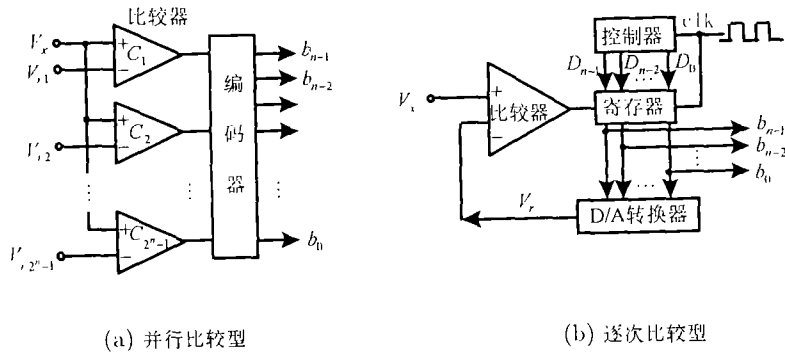


图 2 A/D 转换器电路结构

我们发现，图 2(a)，图 2(b) 之间的结构比较并不符合图 1 所示的那种空间-时间等效关系，因为按照这种关系，由图 2(b) 出发的空间转换只需把硬件部分重复 n 次而不是 $2^n - 1$ 次。显然，这种空间转换并不如由图 1(a) 到图 1(b) 那么简单。因为在图 1(a) 中输出信号是在简单地寄存后即反馈到输入端，而图 2(b) 中比较器的输出信号确定每一次寄存存在不同位的寄存器中

的值，而且次位寄存器还有预赋值 1 的操作。因此，这种从时间累积到空间累积的转换具有难度。但我们可以预计它的结构应是 n 级的空间级联，如图 3 所示。

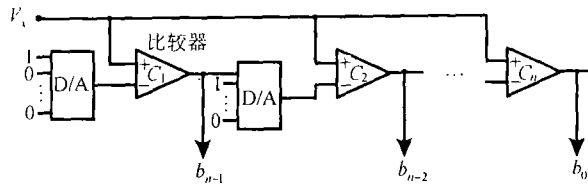


图 3 逐次比较型 A/D 转换器的空间累积结构

3 控阈技术及其在 A/D 转换器中的应用

图 2(a) 所示的 n 位 A/D 转换器的结构在本质上可视为一个 2^n 值信号的译码器。因此，在它的研究中可以参考多值逻辑中的有关概念与方法。作为例子，一个四值 ~ 二值的译码器就可视为一个二位的 A/D 转换器。按传统方法 [5]，在四值逻辑电路中需设置三个固定阈值的电平 (0.5, 1.5, 2.5) 用以检测逻辑值为 0, 1, 2, 3 的输入信号。这种考虑对应于图 2(a) 的结构，但是在这种设计中并没有注意到对输入信号进行有效检测的同时如何去实现对开关元件的阈值本身加以控制，使得开关元件的阈值本身成为某个可控制的函数。譬如，在输入信号为 0, 1 时控制开关单元的阈值取为 0.5, 而在输入信号为 2, 3 时，把它的阈值控制为 2.5 等。表 1 给出了一个四值信号 $x(x \in \{0, 1, 2, 3\})$ 译码成二位二值信号 $b_1 b_0 (b_i \in \{0, 1\})$ 时对信号 x 进行检测的阈值 t 变化情况。

表 1 4-2 译码器真值表及变阈设置

x	b_1	b_0	t
0	0	0	0.5
1	0	1	0.5
2	1	0	2.5
3	1	1	2.5

文献 [6] 在电路设计中引入了如下 2 种指导开关作用的运算：

$$\text{高阈比较运算} \quad t_x \triangleq \begin{cases} T, & x > t \\ F, & x < t \end{cases}$$

$$\text{开关运算} \quad y \triangleright \alpha \triangleq \begin{cases} y, & \alpha = T \\ 0, & \alpha = F \end{cases}$$

上述 2 式中 T , F 分别表示导通与截止等 2 种开关状态，而 α 是一个开关状态变量。用如上 2 种运算，表 1 中所示的各种函数关系可表示为： $t = 0.5 + 2b_1$, $b_1 = 1 \triangleright^{1.5} x$, $b_0 = 1 \triangleright^1 x$ 。文献 [6] 的讨论已表明了采用变阈技术可以充分发挥开关元件的逻辑功能，从而减少电路中对信号检测所需开关的数量。

其实 A/D 转换器的设计原理与以上四值 ~ 二值译码器的设计原理是一致的。不同的仅在于 V_i 是一个模拟信号，且把它与参考电平 (阈) 进行比较的是一个比较器，而不是一个简单的

比较开关(例如 ECL 差动开关)。根据以上分析,我们认为在图 3 所示结构中,关键在于对每个比较器的参考电平进行控制,即阈值的控制。

下面以设计一个八位比较型 A/D 转换器为例来具体讨论。根据 A/D 转换器的原理,若输入信号为 x (设 x 为采样/保持电路的输出信号), $b_7 \sim b_0$ 为转换后的数字输出信号。则各输出数字信号与 x 之间的关系可表示为: $b_7 = 1 \triangleright^{t_7} x$, $b_6 = 1 \triangleright^{t_6} x$, $b_5 = 1 \triangleright^{t_5} x$, $b_4 = 1 \triangleright^{t_4} x$, $b_3 = 1 \triangleright^{t_3} x$, $b_2 = 1 \triangleright^{t_2} x$, $b_1 = 1 \triangleright^{t_1} x$, $b_0 = 1 \triangleright^{t_0} x$ 。 $t_7 \sim t_0$ 为阈值,即为各个比较器的基准参考电压。上述关系式表示当 $x_i > x_{t_i}$ 时,比较器输出为 1,反之为 0。因此,它类似于开关信号理论^[7,8]中的高阈比较运算。对于 $t_7 \sim t_0$ 应该满足:

$$\begin{aligned} t_7 &= P \frac{b_7}{2^1} |_{b_7=1} = P \frac{1}{2^1} \\ t_6 &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} \right) |_{b_6=1} = P \left(\frac{b_7}{2^1} + \frac{1}{2^2} \right) \\ t_5 &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} \right) |_{b_5=1} = P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{1}{2^3} \right) \\ t_4 &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} \right) |_{b_4=1} = P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{1}{2^4} \right) \\ t_3 &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{b_3}{2^5} \right) |_{b_3=1} = P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{1}{2^5} \right) \\ t_2 &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{b_3}{2^5} + \frac{b_2}{2^6} \right) |_{b_2=1} = P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{b_3}{2^5} + \frac{1}{2^6} \right) \\ t_1 &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{b_3}{2^5} + \frac{b_2}{2^6} + \frac{b_1}{2^7} \right) |_{b_1=1} \\ &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{b_3}{2^5} + \frac{b_2}{2^6} + \frac{1}{2^7} \right) \\ t_0 &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{b_3}{2^5} + \frac{b_2}{2^6} + \frac{b_1}{2^7} + \frac{b_0}{2^8} \right) |_{b_0=1} \\ &= P \left(\frac{b_7}{2^1} + \frac{b_6}{2^2} + \frac{b_5}{2^3} + \frac{b_4}{2^4} + \frac{b_3}{2^5} + \frac{b_2}{2^6} + \frac{1}{2^8} \right) \end{aligned}$$

上述式中 P 为比例系数。不难发现 $t_7 \sim t_0$ 刚好对应于不同数字输入时 D/A 转换器从 1 位至 8 位的输出值,而且低位的阈值受到高位 A/D 转换器输出数字信号的控制。因而这些阈值中除了 t_7 为固定阈值之外,其余均是受控阈。根据以上这些表示式,可以设计出如图 4 所示的 A/D 转换器电路结构。图中共使用了 8 个比较器,所需比较器数目远小于相同数字量输出时采用原并行比较型 A/D 转换器所用数量(255 个)。并且,除了产生 t_0 需要一个完整的 D/A 转换器之外,对于其余 D/A 转换器由于一些位的值已固定,因此相应的电阻网络均可作不同程度的简化。例如,产生 t_4 的电阻网络只需用作四位 D/A 转换器,因此只有产生 t_0 相应电阻网络的一半。图 5 给出了产生各 t_i 的完整电路网络(如果产生 t_7 的 D/A 转换器简单地用单纯的电阻网络对基准电源进行分压来实现,则产生 t_7 的运放也可省略)。

不难看出,以上的设计既吸收了空间-时间等效的思想,仅采用 n 个比较器和相同数量但位数渐少的 D/A 转换器,同时引入了控阈技术。这样在保证电路拥有高速性能的同时使电路结构得以进一步简化。该电路可根据需要在输出端加接存储器。作为比较,表 2 给出了本文所提出的基于控阈技术的八位比较型 A/D 转换器与传统八位全并行比较型 A/D 转换器之间所需各元器件数目的比较结果。从表 2 可以看出本文所提出的基于控阈技术的比较型 A/D 转换器在

结构上明显较之全并行比较型 A/D 转换器简单。同时, 由于该电路具有的并行结构特点使其具有较高的转换速度。

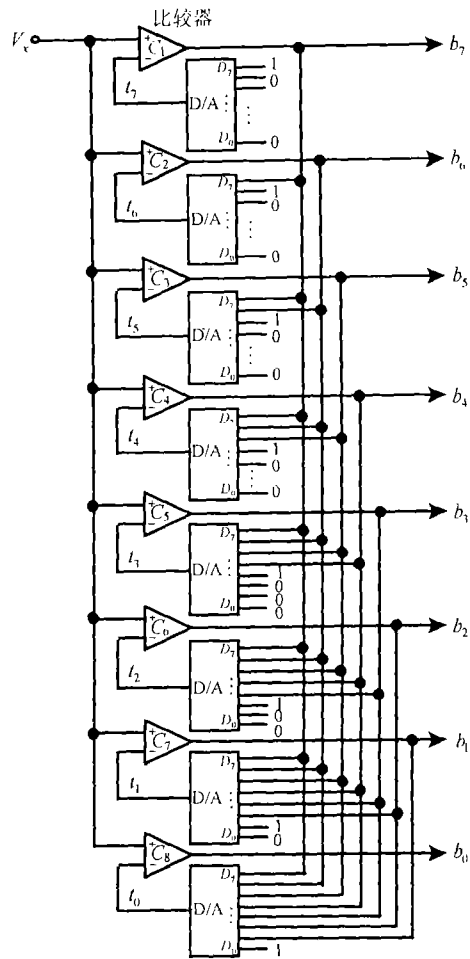
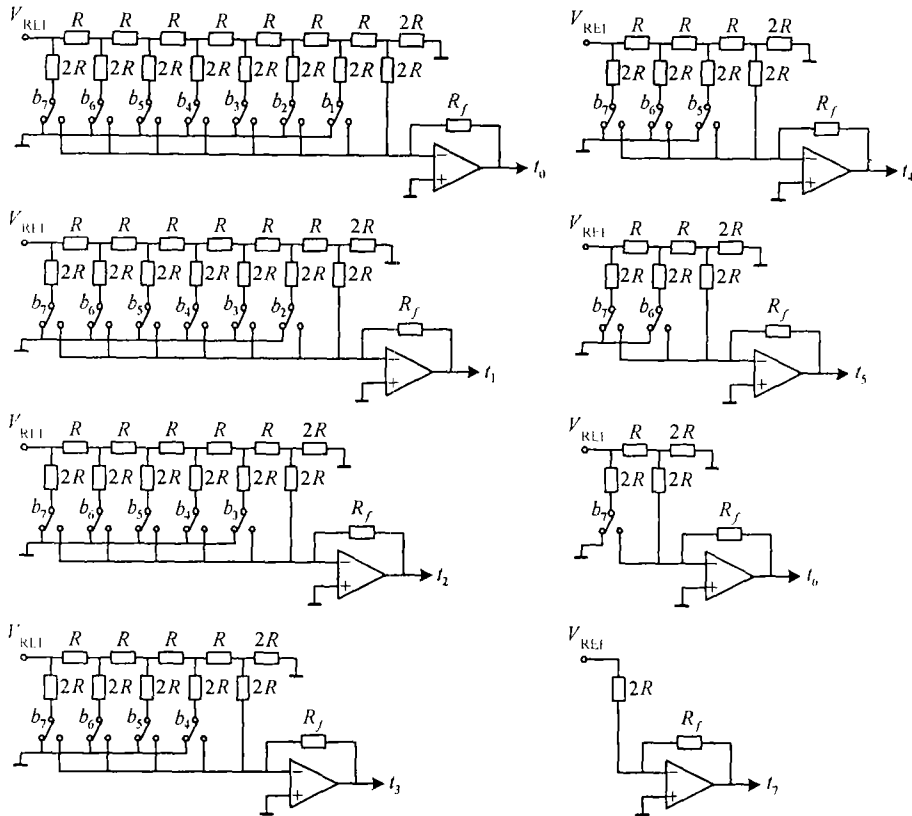


图 4 基于控阈技术的八位比较型 A/D 转换器

表 2 二种八位 A/D 转换器所需元器件数的比较

元器件	全并行比较型 A/D 转换器	基于控阈技术的比较型 A/D 转换器
电阻	256	79
比较器、运算放大器	255	16
模拟开关	0	28
编码器	1	0

图5 产生各 t_i 的电路网络

4 结 论

空间-时间等效的思想为我们设计高速电路系统提供了一种方法,即可通过空间累积来减少时间累积。但空间的增加(即电路模块的增加)总要受到工艺条件和成本的限制。在 A/D 转换器的设计中电压比较器的作用是对两个输入电压进行比较并根据比较结果相应输出高电平电压或低电平电压,以满足后续数字电路对 1 和 0 两个逻辑电平的要求。因此,电压比较器的输入为模拟信号,输出为数字信号。在比较器的两个输入电压中,一个是待比较的输入信号电压 V_i ,一个是输入参考电压 V_r ,我们可以将 V_r 看作是 V_i 的阈电压。因此在 A/D 转换器的设计中可以借鉴多值电路设计中采用的控阈技术,以使电路结构简化。综合采用空间-时间等效的思想和可控阈技术就有望使有关的电路设计既具有高速的性能又有相对简化的电路结构,并且也降低了电路功耗。

参 考 文 献

- [1] 赵保经等编著, A/D 和 D/A 转换器应用手册, 上海, 上海科学普及出版社, 1995, 第二章.
- [2] P. E. Allen, D. R. Holberg. CMOS Analog Circuit Design, New York, Holt, Rinehart and Winston, 1987. Chap. 10.
- [3] Y. T. Wang, B. Razavi. An 8-bit 150-MHz CMOS A/D converter, IEEE J. of Solid-State Circuits, 2000, 35(3), 308-317.

- [4] Y. Geerts, A. M. Marques, M. S. J. Steyaert, *et al.*, A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications, *IEEE J. of Solid-State Circuits*, 1999, 34(7), 927-936.
- [5] 吴训威, 章专, ECL 集成电路的四值接口技术, *电子科学学刊*, 1991, 13(5), 456-460.
- [6] 杭国强, 吴训威, 采用变阈技术的 ECL4-2 译码器改进设计, *杭州大学学报 (自然科学版)*, 1996, 23(4), 388-389.
- [7] 吴训威, F. Prosser, 数字电路的开关级设计理论, *中国科学 (E 辑)*, 1996, 26(3), 257-265.
- [8] 吴训威著, 多值逻辑电路设计原理, 杭州, 杭州大学出版社, 1994, 第十章.

DESIGN OF PARALLEL A/D CONVERTER BASED ON THRESHOLD-CONTROLLABLE TECHNIQUE

Wu Xunwei Hang Guojiang*

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

**(Dept. of Info. and Electro. Eng., Zhejiang University, Hangzhou 310027, China)*

Abstract Space-time equivalence in digital design and the threshold-controllable technique are introduced to the design of A/D converter in this paper. The proposed A/D converter has simpler structure while keeping higher speed.

Key words A/D converter, Threshold-controllable technique, Space-time equivalence

吴训威: 男, 1940 年生, 教授, 博士生导师, 目前主要从事数字逻辑与集成电路设计理论方面的研究工作。
杭国强: 男, 1968 年生, 副教授, 博士, 目前主要从事多值逻辑与低功耗集成电路设计方面的研究工作。