

# 基于忆阻器的乘法器电路设计

王光义 沈书航 刘公致\* 李付鹏

(杭州电子科技大学现代电路与智能信息研究所 杭州 310018)

**摘要:** 忆阻器作为一种非易失性的新型电路元件, 在数字逻辑电路中具有良好的应用前景。目前, 基于忆阻器的逻辑电路主要涉及全加器、乘法器以及异或(XOR)和同或(XNOR)门等研究, 其中对于忆阻乘法器的研究仍比较少。该文采用两种不同方式来设计基于忆阻器的2位二进制乘法器电路。一种是利用改进的“异或”及“与”多功能逻辑模块, 设计了一个2位二进制乘法器电路, 另一种是结合新型的比例逻辑, 即由一个忆阻器和一个NMOS管构成的单元门电路设计了一个2位二进制乘法器。对于所设计的两种乘法器进行了比较, 并通过LTSPICES仿真进行验证。该文所设计的乘法器仅使用了2个N型金属-氧化物-半导体(NMOS)以及18个忆阻器(另一种为6个NMOS和28个忆阻器), 相比于过去的忆阻乘法器, 减少了大量晶体管的使用。

**关键词:** 忆阻器; 逻辑电路; 乘法器

中图分类号: TN601; TN710

文献标识码: A

文章编号: 1009-5896(2020)04-0827-08

DOI: 10.11999/JEIT190811

## Design of Memristor Based Multiplier Circuits

WANG Guangyi SHEN Shuhang LIU Gongzhi LI Fupeng

(Institute of Modern Circuits and Intelligent Information, Hangzhou Dianzi University, Hangzhou 310018, China)

**Abstract:** As a new non-volatile electronic device, memristor has a good application prospect in digital logic circuits. At present, memristor based logic circuits mainly involve the research of full adder, multiplier, exclusive-OR (XOR) and equivalence (XNOR), etc., among which there is little research on memristor based multiplier. The 2-bit binary multiplier circuit is designed in two different ways based on memristor. One is to design a 2-bit binary multiplier circuit by using the improved XOR and AND multifunctional logic modules. The other is to design a 2-bit binary multiplier by combining a new type of ratio logic, i.e. a unit gate circuit consisting of one memristor and one NMOS transistor. The two multipliers are compared and validated by LTSPICES simulation. The multiplier designed in this paper only uses 2 N-Metal-Oxide-Semiconductor (NMOS) and 18 memristors (the other is 6 NMOS and 28 memristors). Compared with previous memristor based multipliers, the multipliers in this paper reduce the number of transistors.

**Key words:** Memristor; Logic circuits; Multiplier

## 1 引言

随着晶体管在物理材料、能耗、性能退化以及经济方面的限制, 摩尔定律正在受到挑战<sup>[1]</sup>。为了延续摩尔定律, 人们提出了许多思路, 其中之一是寻找一种尺寸更小的器件, 用以代替互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)晶体管。

1971年Chua提出了忆阻器的定义<sup>[2]</sup>, 然而直到

2008年惠普实验室才发现了首个纳米级忆阻器<sup>[3]</sup>。研究表明, 忆阻器可应用于非易失存储器<sup>[4]</sup>、人工神经网络<sup>[5]</sup>、数字逻辑运算<sup>[6]</sup>、混沌电路等领域<sup>[7,8]</sup>。忆阻器的出现为摩尔定律的延续提供了一条新的道路。

忆阻器可以实现存储与运算的一体化, 基于忆阻器的数字逻辑电路也为高级计算机体系构架开辟了新的途径。目前基于忆阻器的数字逻辑电路研究主要有: (1)仅由忆阻器构成的逻辑电路: 忆阻器辅助逻辑(Memristor-Aided loGIC, MAGIC)<sup>[9]</sup>, 忆阻器蕴含逻辑(material IMPLication, IMPLY)<sup>[10]</sup>; (2)由忆阻器和CMOS晶体管混合组成的逻辑电路: 结合CMOS晶体管和忆阻器构建基本的布尔逻辑, 也称忆阻器比例逻辑(Memristor-Ratioed Logic,

收稿日期: 2019-10-18; 改回日期: 2020-01-19; 网络出版: 2020-02-25

\*通信作者: 刘公致 hzlgz0@163.com

基金项目: 国家自然科学基金(61771176, 61801154)

Foundation Items: The National Natural Science Foundation of China (61771176, 61801154)

MRL)<sup>[11]</sup>; (3)基于忆阻器的可编程逻辑阵列:通过纵横交错的连接线与忆阻器组成一个交叉阵列<sup>[12]</sup>。

由于不同的忆阻器逻辑电路设计方法优劣不同,IMPLY需要多个操作步骤,使得电路运行时间延长,MAGIC则由于其结构原因无法实现多个逻辑门之间的级联以及多个扇出。相比而言,CMOS晶体管和忆阻器组成的混合比例逻辑,虽然在减少占用面积上不如前两者,但忆阻器和CMOS晶体管可以很好地兼容,即忆阻器可以在CMOS晶体管的金属层上制造<sup>[11]</sup>。因此,比例逻辑不仅在很大程度上缩减了晶体管的使用数量,同时也能大幅提升逻辑电路的运行速度。本文以比例逻辑为基础,对乘法器电路展开研究。

目前,以比例逻辑为基础的逻辑电路主要有异或(exclusive-OR, XOR)门(同或(equivalence, XNOR)门)<sup>[13-15]</sup>和全加器<sup>[14,16-19]</sup>,还涉及到乘法器,包括基于通用逻辑门(2T-4M构成的具有异或以及与逻辑运算的电路)的2位二进制乘法器<sup>[20]</sup>等基本数字逻辑电路的设计。此外,对于忆阻乘法器的设计,除了使用比例逻辑,还可以使用蕴含逻辑等方法<sup>[20,21]</sup>。

本文主要研究忆阻器乘法器电路的设计,由于蕴含逻辑、辅助逻辑等方法操作复杂,且需要增加额外的输入输出读写电路;传统的比例逻辑则增加了晶体管的使用数量,这在一定程度上会增加电路功耗和延迟。因此本文使用了两种新的方法设计了忆阻乘法器。第1种是基于传统的比例逻辑,改进提出了新型比例逻辑,即由1个忆阻器和1个N型金属-氧化物-半导体(N-Metal-Oxide-Semiconductor, NMOS)管构成的单元门电路设计了一种2位二进制乘法器;第2种是改进提出了一种可以同时实现“异或”及“与”逻辑的多功能逻辑模块,并以此设计2位二进制乘法器电路。这两种方法设计的乘法器相比于过去的忆阻乘法器,减少很多元件使用数量(尤其是晶体管数量),同时也无需添加额外的读写电路。本文结构安排如下:第2节介绍了构建乘法器的忆阻器模型。第3节介绍了由忆阻器与CMOS晶体管构成的布尔逻辑电路:“与门”、“或门”、“非门”以及改进型的具有“异或”和“与”输出的多功能逻辑模块电路。第4节则是介绍了所设计的两种结构的2位二进制乘法器。第5节给出了LTSPICE仿真结果,并与其他论文设计的乘法器进行了比较分析。在最后进行全文总结。

## 2 忆阻器模型

文献<sup>[22]</sup>提出了一种通用忆阻器模型,该模型可以实现包含多达256个忆阻器的逻辑电路,与其

它忆阻器模型相比,该模型在收敛性问题上有很大的改善。该模型较好地模拟了金属-绝缘-金属结构忆阻器的电流、电压关系,以状态变量的运动构建了一个阈值电压函数,以空穴和离子漂移构建了非线性速率函数,其忆模型为

$$I(t) = \begin{cases} a_1 x(t) \sinh(bV(t)), & V(t) \geq 0 \\ a_2 x(t) \sinh(bV(t)), & V(t) < 0 \end{cases} \quad (1)$$

其中, $I(t)$ 和 $V(t)$ 分别表示电流和电压, $a_1$ , $a_2$ 和 $b$ 是实数, $x(t)$ 满足的状态方程为

$$\frac{dx}{dt} = \eta g(V(t)) f(x(t)) \quad (2)$$

其中, $\eta$ 表示施加电压的正负极性,当取值为1时,表示正向电压;取值为-1时,表示反向电压。 $g(V(t))$ 为

$$g(V(t)) = \begin{cases} A_p(e^{V(t)} - e^{V_p}), & V(t) > V_p \\ -A_n(e^{-V(t)} - e^{V_n}), & V(t) < -V_n \\ 0, & -V_n \leq V(t) \leq V_p \end{cases} \quad (3)$$

其中, $A_p$ 和 $A_n$ 是可调节的幅值, $V_p$ 和 $V_n$ 是正负阈值电压。 $f(x(t))$ 为

$$f(x) = \begin{cases} e^{-\partial_p(x-x_p)} w_p(x, x_p), & x \geq x_p \\ 1, & x < x_p \end{cases} \quad (4)$$

$$f(x) = \begin{cases} e^{\partial_n(x+x_n-1)} w_n(x, x_n), & x \leq 1 - x_n \\ 1, & x > 1 - x_n \end{cases} \quad (5)$$

其中,窗函数 $w_p(x, x_p)$ 和 $w_n(x, x_n)$ 分别表示为

$$w_p(x, x_p) = \frac{x_p - x}{1 - x_p} + 1 \quad (6)$$

$$w_n(x, x_n) = \frac{x}{1 - x_n} \quad (7)$$

其中, $x_p$ 和 $x_n$ 分别是忆阻器靠近正端 $V_p$ 的一个状态值和靠接负端 $V_n$ 的一个状态值,窗函数 $w_p(x, x_p)$ 是为了确保当 $x(t) = 1$ 时, $f(x) = 0$ ;窗函数 $w_n(x, x_n)$ 则是为了确保当电流反向时, $x(t)$ 的值不小于0。

通过给定该模型特定的初始参数,可以通过LTSPICE仿真得到如图1所示的滞回曲线图。

## 3 忆阻器比例逻辑门电路

Kvatinsky在文献<sup>[11]</sup>中首次提出了利用忆阻器和CMOS混合构建逻辑电路的想法,并提出了由忆阻器构建的“或门”和“与门”电路,如图2(a)和2(b)所示。“或门”由两个极性相反的忆阻器串联构成,两忆阻器正端(本文中设定不带黑实线的一端为正端)分别接输入电压信号。本文将高电压( $V_{high}$ )量化为“1”,低电压( $V_{low}$ )量化为“0”。当输入电压 $V_{IN-1} = 1$ , $V_{IN-2} = 0$ 时,输入与输出之间的关系为

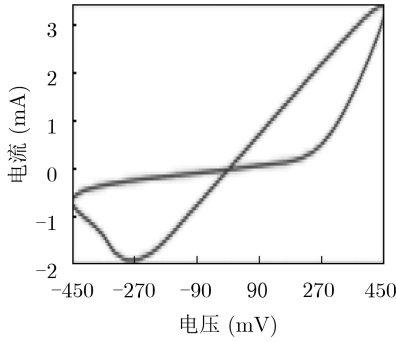


图1 忆阻器的I-V滞回曲线图

$$V_{OUT} = \frac{R_{OFF}}{R_{ON} + R_{OFF}} V_{high} \approx V_{high} = 1 \quad (8)$$

类似地，当两端输入信号取“1,1”，“0,0”，“0,1”时，其输入与输出关系的真值表均符合“或门”逻辑。同样“与门”也可以用相同的方法验证。然而这种与、或门电路的输出端信号是经过分压输出的，输出信号在一定程度上会有衰退。从式(8)中看到，尽管 $R_{OFF} \gg R_{ON}$ ，输出电压 $V_{OUT}$ 近似为高电压 $V_{high}$ (对应状态“1”)，虽然这个近似值在单个与门、或门逻辑电路中并不会产生直接影响，但在组合逻辑电路中，需要用到多个“与门”、“或门”时，这一细微的信号衰退将会对电路产生重大的影响。因此，通常在“或门”、“与门”后增加一个CMOS反相器，构成“或非门”和“与非门”来对信号进行抬升，如图2(c)和2(d)所示。图2(e)和2(f)分别是N输入“或门”和“与门”。通常，在组合逻辑电路中使用时也需要增加CMOS反相器抬升信号。

Kvatinsky在其关于比例逻辑的论文中，并未提出关于如何构建“非门”逻辑，因而许多论文在

设计基于忆阻器的组合逻辑电路时，大多用的是CMOS反相器来代替非门，这在一定程度上增加了集成电路的使用面积。文献[17]提出了由1个忆阻器及1个NMOS管构建的非门逻辑电路，如图3(a)所示。该非门逻辑电路在忆阻器正端接直流电压 $V_{CC}$ ，以 $V_{IN}$ 作为输入信号， $V_{OUT}$ 作为输出信号。当输入信号为高电压逻辑“1”时，即 $V_{IN} = 1$ 时，忆阻器正向偏置，忆阻值 $R_M = R_{ON}$ ，此时NMOS处于饱和状态，相当于其导通电阻 $R_T \approx 0$ ，输出电压为

$$V_{OUT} = \frac{R_T}{R_{ON} + R_T} V_{CC} \approx 0 \quad (9)$$

当输入信号为 $V_{IN} = 0$ 时，NMOS管处于截止状态，相当于断开状态 $R_T = R_{CUTOFF} \approx \infty$ ，则输出为

$$V_{OUT} = \frac{R_T}{R_{ON} + R_T} V_{CC} \approx 1 \quad (10)$$

基于该“非门”电路，如果将直流电压 $V_{CC}$ 端作为一个输入信号端(A)，可得到一个 $A \cdot \bar{B}$ 的逻辑电路，如图3(b)所示。更进一步，图3(c)和3(d)为2输入“或非门”以及N输入“或非门”。在忆阻器比例逻辑电路的设计过程中，通过此类方法构建的逻辑门电路可以节省大量的CMOS器件。

文献[14]提出了一种由1个CMOS管、4个忆阻器以及1个电阻构成的新型逻辑电路模块，如图4所示。它可以同时实现“异或”和“与”两种逻辑，不仅可以提高集成电路的面积利用率，同时也能提升运行效率、减小功耗。然而这种结构存在一个缺点，即它必须使用一个阻值较大的电阻，大电阻通常会占用更多的芯片面积。本文基于此，改进并提出了一种由1个NMOS管和5个忆阻器构成的逻辑模块，具体结构如图4所示。其中右侧电路(M5和

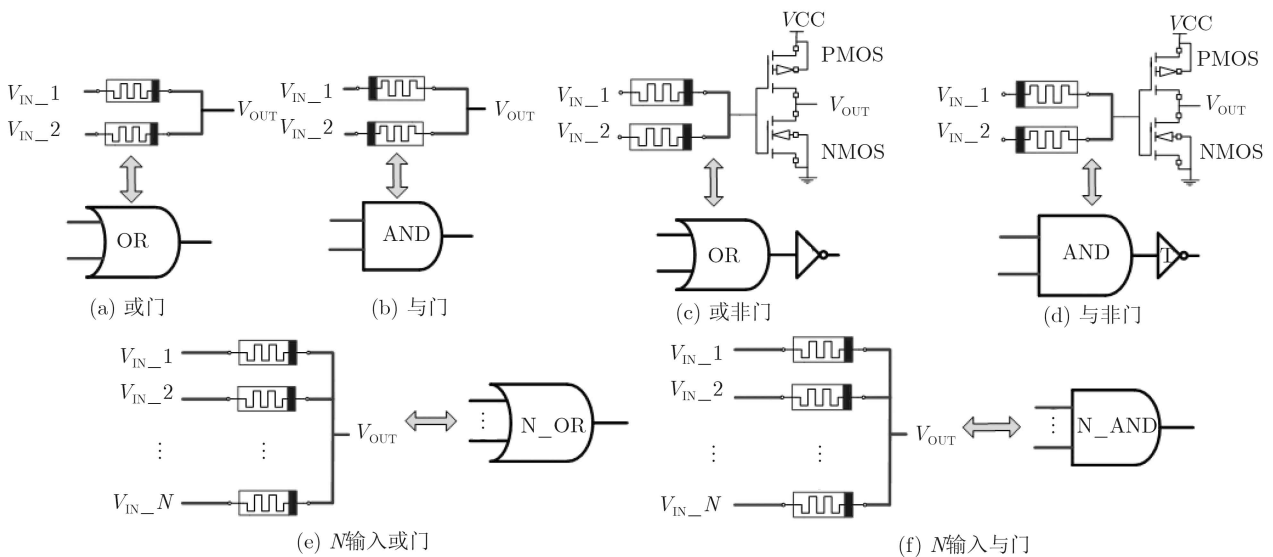


图2 忆阻器构建的“或”、“与”、“或非”、“与非”门

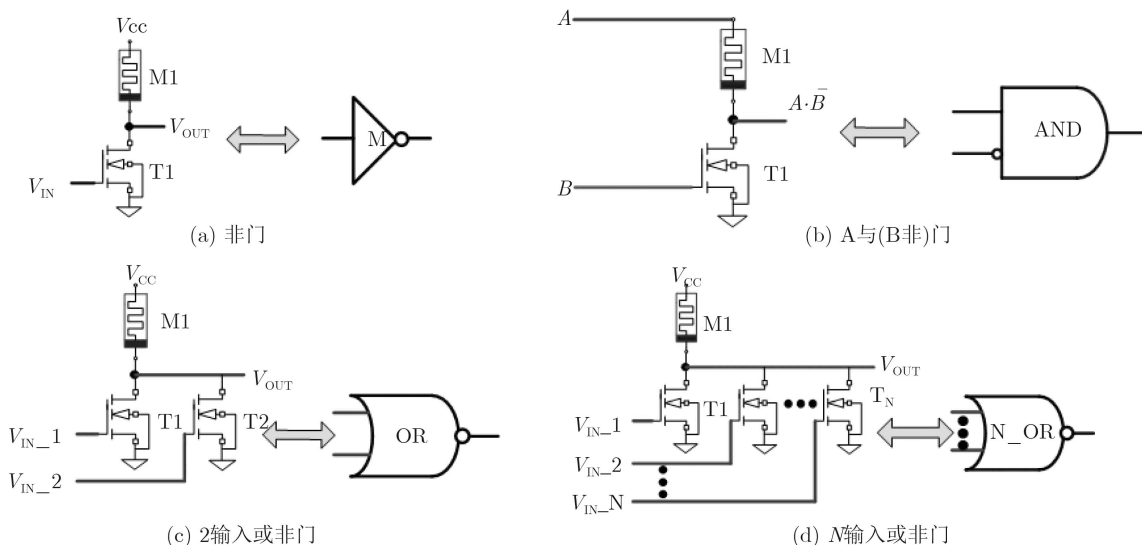


图3 基于忆阻器比例逻辑的新型基础逻辑电路

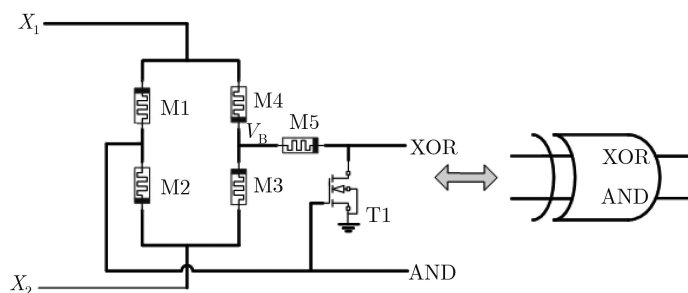


图4 “异或”及“与”多功能逻辑模块

T1组成), 实现了 $\bar{V}_A \cdot V_B$ 的逻辑, 整个电路原理可由式(11)和式(12)表示

$$V_A = X_1 \cdot X_2, V_B = X_1 + X_2 \quad (11)$$

$$V_{XOR} = \bar{V}_A \cdot V_B = (\bar{X}_1 \cdot \bar{X}_2) \cdot (X_1 + X_2) = X_1 \oplus X_2 \quad (12)$$

对该多功能逻辑模块电路的仿真如图5所示。

表1对不同的“异或门”使用的元器件进行了比较, 相比于其它忆阻器“异或门”电路, 本文所设计的异或模块仅使用了1个晶体管, 也没有增加额外的电阻。

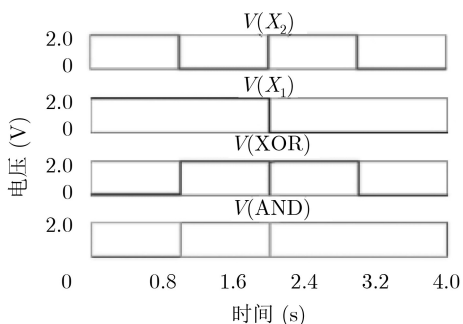


图5 “异或”及“与”多功能逻辑模块仿真图

### 4 基于忆阻器的乘法器

在数字电路以及超大规模集成电路应用中, 乘法器起着关键性的作用。在数字信号处理系统中, 乘法器也被广泛的使用。在某些DSP算法中, 硬件实现成本、功耗和整个系统的执行时间在很大程度上取决于乘法器的尺寸、功耗和速度。因此, 高速率和低功耗的乘法器是现代数字处理系统中必不可少的电路之一<sup>[20]</sup>。图6为2位二进制乘法器的框图和真值表。

根据真值表可以得到该乘法器的逻辑输出表达式

$$\left. \begin{aligned} S_0 &= A_0 B_0 \\ S_1 &= \bar{A}_1 A_0 B_1 + A_0 B_1 \bar{B}_0 + A_1 \bar{A}_0 B_0 + A_1 \bar{B}_1 B_0 \\ &= A_0 B_1 \oplus A_1 B_0 \\ S_2 &= A_1 B_1 \bar{B}_0 + A_1 \bar{A}_0 B_1 = A_1 A_0 B_1 B_0 \oplus A_1 B_1 \\ S_3 &= A_1 A_0 B_1 B_0 \end{aligned} \right\} \quad (13)$$

#### 4.1 基于新型比例逻辑的2位二进制乘法器

常规的忆阻器比例逻辑, 其与门(或门)逻辑单元电路通常由2个忆阻器和2个CMOS管构成。文献[21]提出了通过1个忆阻器和1个NMOS构建的新

表1 不同“异或门”之间的元器件使用数量比较

	异或门					
	文献[16]	文献[13]	文献[14]	文献[15]	文献[20]	本文
晶体管数	4	3	1	2	2	1
忆阻器数	1	4	4	4	4	5
电阻数	无	无	1R	1R	无	无

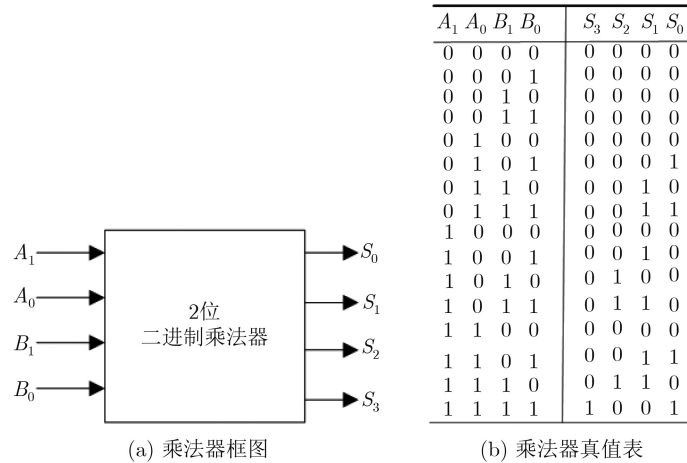


图6 2位二进制乘法器器框图和真值表

型比例逻辑来设计组合逻辑电路。相比于常规的忆阻器比例逻辑，新型比例逻辑的信号输出并非是通过分压来得到输出信号，它是通过NMOS端的输入信号的高低电压，确定NMOS管的饱和及截止区，以此来实现一个开关作用，用于选择是否输出忆阻器正端的信号，如图3。基于这种新型的比例逻辑，结合式(13)，乘法器电路图如图7所示。

#### 4.2 基于多功能模块的2位二进制乘法器

本文所提多功能模块同时具有“异或”和“与”逻辑输出，基于该多功能逻辑模块，结合式(13)，可以得到如图8的忆阻器乘法器电路。使用该方法构建的逻辑电路优点在于，不仅可以在很大程度减少忆阻器和CMOS的使用数量，而且由于使用的元器件数量减少，在芯片占用面积，延迟等方面也将相应的有所改善。

### 5 LTspice仿真结果及性能分析

本文基于通用忆阻器模型设计了两种二进制乘法器，并与其他文献的忆阻器乘法器进行了比较分析。在进行LTSPICE仿真时，NMOS管的参数 $L = 0.01 \mu\text{m}$ ,  $W = 40 \mu\text{m}$ 。

如图9所示为基于新比例逻辑的2位二进制乘法器的仿真结果。根据电路图7所示，使用LTSPICE验证该电路的逻辑特性。 $V(A_1)$ ,  $V(A_0)$ ,  $V(B_1)$ ,  $V(B_0)$ 为输入信号，它们的高电压为2 V(逻辑“1”)，低电压0 V(逻辑“0”)， $V(S_0)$ 至 $V(S_3)$ 则为输出信

号。从图9中可以看到，在该电路的仿真测试中，所有的信号输入与输出之间的关系均与其真值表相一致，故该电路能实现2位乘法器的功能。

如图10所示为基于多功能逻辑模块乘法器的仿真结果。根据电路图8，由于在LTSPICE仿真时该电路的输入信号与图7相同，因此该电路的输出信号理论上与图9是一致的。比较图9以及图10可以看出，两者仿真的输出信号几乎一致，故基于多功能逻辑模块的乘法器同样可以实现该乘法器的逻辑特性，该电路能实现2位乘法器的功能。

表2对不同方法构建的2位二进制乘法器所使用元器件的数量进行了比较。从表2中可以看到，本文所设计的忆阻乘法器，在减少晶体管的使用数量上有很大的改善；基于新型比例路逻辑设计的乘法器在忆阻器的使用量上稍多些，不过从元器件尺寸考虑，忆阻器的大小要远小于CMOS，且忆阻器可以在CMOS的金属层上制造，忆阻器数量的增加并不会对乘法器的大小产生很大影响。基于多功能模块设计的乘法器则兼顾了使用少量晶体管和忆阻器的优势，在将晶体管的数量减少至2个的同时，也仅使用了18个忆阻器，相比而言，即优于本文中的基于新型比例逻辑的乘法器，也优于其他文献设计的乘法器。

综上，由于忆阻器作为纳米级器件，其在尺寸上是远小于CMOS晶体管；忆阻器又与CMOS晶体管可以很好地兼容，即忆阻器的制造工艺可以在

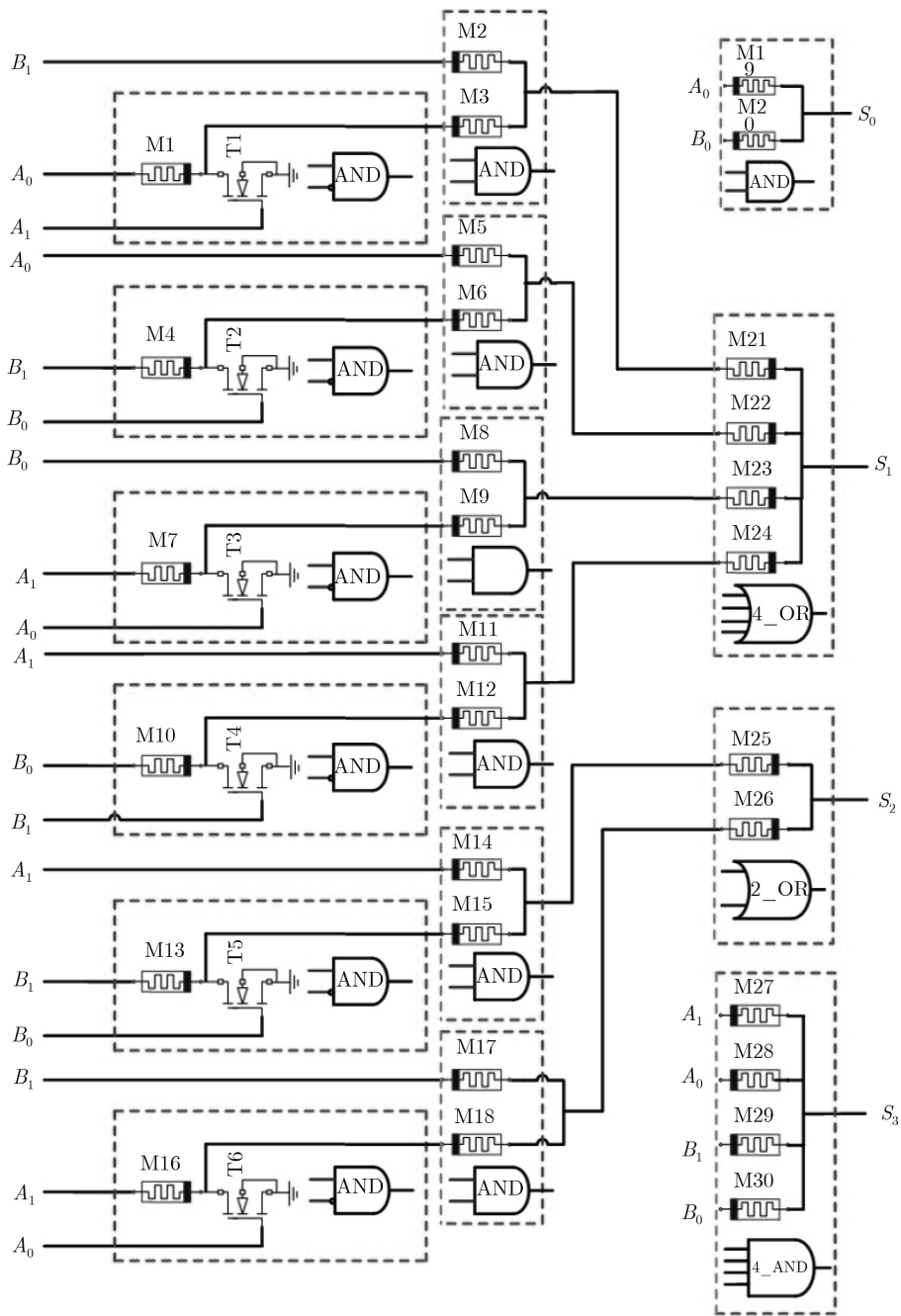


图7 基于新型比例逻辑的2位二进制乘法器

CMOS的金属层上完成。因此，在使用相同元器件的情况下，同一逻辑电路中忆阻器的占比越大，所构成的逻辑电路的芯片占用面积也越小。此外，在化学原理上，基于CMOS管的逻辑电路，其延迟取决于CMOS管的空穴与电子的迁移速率；基于忆阻器的组合逻辑电路则取决于掺杂区和非掺杂区域之间边界的移动速度，而通常后者的速度是前者的 $10^4$ 倍以上<sup>[23]</sup>。因此，基于忆阻器比例逻辑的电路其延迟会远小于传统的基于CMOS管的逻辑电路。同时由于忆阻器的边界移动速度更快，其所消耗的功率也相比而言更少。

## 6 结论

相比于传统的忆阻器比例逻辑，本文采用了两种方法设计了2位二进制乘法器：即将传统的由2个忆阻器和2个CMOS管构成的逻辑单元门改进，以1个NMOS和1个忆阻器为1个单元门的形式的新比例逻辑设计了2位乘法器；另一种方法是，改进并设计了1T-5M多功能逻辑模块，结合该逻辑模块设计了2位二进制乘法器。本文中通过LTSPICE仿真软件进行了仿真验证，并与其他忆阻乘法器进行了比较分析。本文所提乘法器相比于其他的忆阻乘法器电路，使用了更少的晶体管。

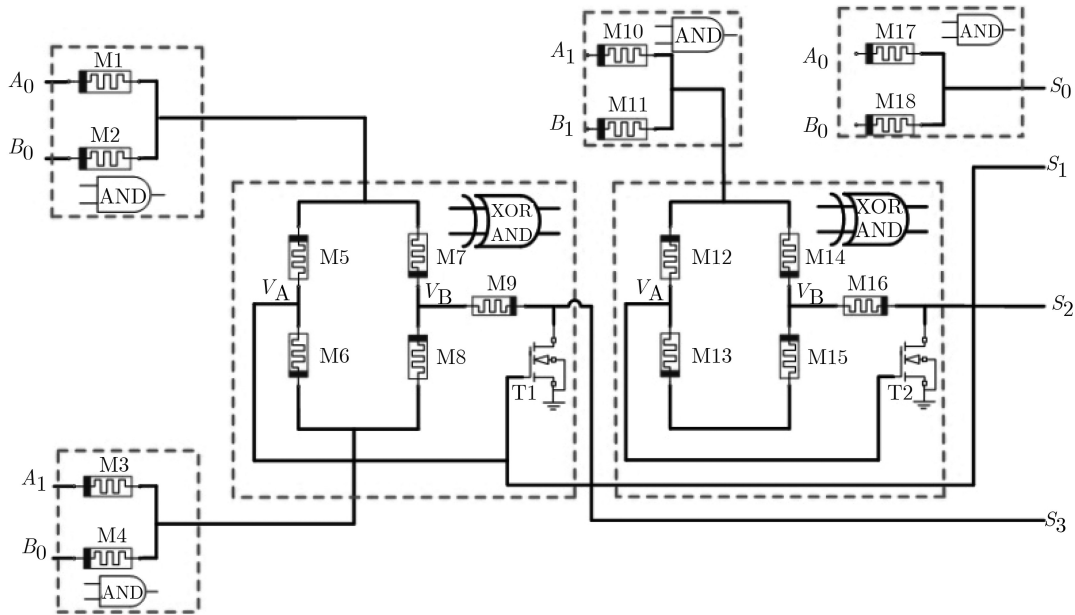


图8 基于多功能模块的2位二进制乘法器

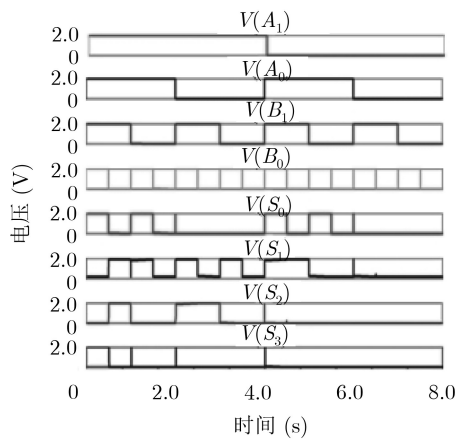


图9 基于新比例逻辑的2位二进制乘法器仿真结果

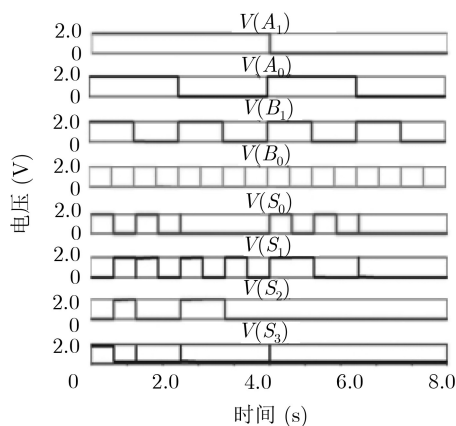


图10 基于多功能模块的2位二进制乘法器仿真结果

表2 2位二进制乘法器元器件使用数量

	乘法器			
	传统CMOS	文献[18]	文献[20]	新比例逻辑 多功能模块
晶体管数	62	32	8	6
忆阻器数	-	34	16	30

### 参考文献

- [1] HARON N Z and HAMDI OUI S. Why is CMOS scaling coming to an end?[C]. The 3rd International Design and Test Workshop, Monastir, Tunisia, 2008: 98–103. doi: 10.1109/IDT.2008.4802475.
- [2] CHUA L. Memristor-the missing circuit element[J]. *IEEE Transactions on Circuit Theory*, 1971, 18(5): 507–519. doi: 10.1109/TCT.1971.1083337.
- [3] STRUKOV D B, SNIDER G S, STEWART D R, et al. The missing memristor found[J]. *Nature*, 2008, 453(7191): 80–83. doi: 10.1038/nature06932.
- [4] KIM K H, GABA S, WHEELER D, et al. A functional hybrid memristor crossbar-array/CMOS system for data storage and neuromorphic applications[J]. *Nano Letters*, 2011, 12(1): 389–395. doi: 10.1021/nl203687n.
- [5] ZHENG Nan and MAZUMDER P. Learning in memristor crossbar-based spiking neural networks through modulation of weight-dependent spike-timing-dependent plasticity[J]. *IEEE Transactions on Nanotechnology*, 2018, 17(3): 520–532. doi: 10.1109/TNANO.2018.2821131.
- [6] VOURKAS I and SIRAKOULIS G C. Emerging memristor-based logic circuit design approaches: A review[J]. *IEEE Circuits and Systems Magazine*, 2016, 16(3): 15–30. doi: 10.1109/MCAS.2016.2583673.
- [7] 曾以成, 成德武, 谭其威. 简洁无电感忆阻混沌电路及其特性[J]. *电子与信息学报*, 2019, 42(4): 862–869. doi: 10.11999/JEIT190859.
- ZENG Yicheng, CHENG Dewu, and TAN Qiwei. A simple inductor-free memristive chaotic circuit and its characteristics[J]. *Journal of Electronics & Information Technology*, 2019, 42(4): 862–869. doi: 10.11999/JEIT190859.

- [8] 沈怡然, 李付鹏, 王光义. 荷控忆阻器记忆衰退的寄生效应[J]. 电子与信息学报, 2020, 42(4): 844–850. doi: [10.11999/JEIT190865](https://doi.org/10.11999/JEIT190865).  
SHEN Yiran, LI Fupeng, and WANG Guangyi. The role of parasitic elements in fading memory of a charge controlled memristor[J]. *Journal of Electronics & Information Technology*, 2020, 42(4): 844–850. doi: [10.11999/JEIT190865](https://doi.org/10.11999/JEIT190865).
- [9] KVATINSKY S, BELOUSOV D, LIMAN S, *et al.* MAGIC—Memristor-aided logic[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(11): 895–899. doi: [10.1109/TCSII.2014.2357292](https://doi.org/10.1109/TCSII.2014.2357292).
- [10] WANG H P, LIN C C, WU C C, *et al.* On synthesizing memristor-based logic circuits with minimal operational pulses[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2018, 26(12): 2842–2852. doi: [10.1109/TVLSI.2018.2816023](https://doi.org/10.1109/TVLSI.2018.2816023).
- [11] KVATINSKY S, WALD N, SATAT G, *et al.* MRL—Memristor ratioed logic[C]. The 13th International Workshop on Cellular Nanoscale Networks and their Applications, Turin, Italy, 2012: 1–6. doi: [10.1109/CNNA.2012.6331426](https://doi.org/10.1109/CNNA.2012.6331426).
- [12] XIE Lei, DU N H A, TAOUIL M, *et al.* A mapping methodology of boolean logic circuits on memristor crossbar[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, 37(2): 311–323. doi: [10.1109/TCAD.2017.2695880](https://doi.org/10.1109/TCAD.2017.2695880).
- [13] XU Xiaoyan, CUI Xiaole, LUO Mengying, *et al.* Design of hybrid memristor-MOS XOR and XNOR logic gates[C]. 2017 International Conference on Electron Devices and Solid-State Circuits, Hsinchu, China, 2017: 1–2. doi: [10.1109/EDSSC.2017.8126414](https://doi.org/10.1109/EDSSC.2017.8126414).
- [14] YANG Xiaohan, ADEYEMO A, BALA A, *et al.* Novel memristive logic architectures[C]. The 26th International Workshop on Power and Timing Modeling, Optimization and Simulation, Bremen, Germany, 2016: 196–199. doi: [10.1109/PATMOS.2016.7833687](https://doi.org/10.1109/PATMOS.2016.7833687).
- [15] WANG Xiaoping, YANG Ran, CHEN Qiao, *et al.* An improved memristor-CMOS XOR logic gate and a novel full adder[C]. The 9th International Conference on Advanced Computational Intelligence, Doha, Qatar, 2017: 7–11. doi: [10.1109/ICACI.2017.7974477](https://doi.org/10.1109/ICACI.2017.7974477).
- [16] ZHOU Yaxiong, LI Yi, XU Lei, *et al.* A hybrid memristor - CMOS XOR gate for nonvolatile logic computation[J]. *Physica Status Solidi (A)*, 2016, 213(4): 1050–1054. doi: [10.1002/pssa.201532872](https://doi.org/10.1002/pssa.201532872).
- [17] SINGH A. Memristor based XNOR for high speed area efficient 1-bit full adder[C]. 2017 International Conference on Computing, Communication and Automation, Greater Noida, India, 2017: 1549–1553. doi: [10.1109/CCAA.2017.8230048](https://doi.org/10.1109/CCAA.2017.8230048).
- [18] SINGH T. Hybrid memristor-cmos (memos) based logic gates and adder circuits[J]. arXiv: 1506.06735, 2015.
- [19] LIU Gongzhi, ZHENG Lijing, WANG Guangyi, *et al.* A carry lookahead adder based on hybrid CMOS-memristor logic circuit[J]. *IEEE Access*, 2019, 7: 43691–43696. doi: [10.1109/ACCESS.2019.2907976](https://doi.org/10.1109/ACCESS.2019.2907976).
- [20] TEIMOORY M, AMIRSOLEIMANI A, AHMADI A, *et al.* A hybrid memristor-CMOS multiplier design based on memristive universal logic gates[C]. The 60th IEEE International Midwest Symposium on Circuits and Systems, Boston, USA, 2017: 1422–1425. doi: [10.1109/MWSCAS.2017.8053199](https://doi.org/10.1109/MWSCAS.2017.8053199).
- [21] SHIN S, KIM K, and KANG S M. Memristive XOR for resistive multiplier[J]. *Electronics Letters*, 2012, 48(2): 78–80. doi: [10.1049/el.2011.3270](https://doi.org/10.1049/el.2011.3270).
- [22] YAKOPCIC C, TAHA T M, SUBRAMANYAM G, *et al.* Generalized memristive device SPICE model and its application in circuit design[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2013, 32(8): 1201–1214. doi: [10.1109/TCAD.2013.2252057](https://doi.org/10.1109/TCAD.2013.2252057).
- [23] SINGH A. Design and analysis of memristor-based combinational circuits[J]. *IETE Journal of Research*, 2018, 33(4): 1–10. doi: [10.1080/03772063.2018.1486741](https://doi.org/10.1080/03772063.2018.1486741).
- 王光义: 男, 1957年生, 教授, 博士生导师, 研究方向为非线性电路与系统.
- 沈书航: 男, 1994年生, 硕士生, 研究方向为非线性电路与系统.
- 刘公致: 男, 1971年生, 副研究员, 研究方向为非线性电路与系统.
- 李付鹏: 男, 1986年生, 助理实验师, 研究方向为非线性电路与系统.