

一种快速响应无片外电容低压差线性稳压器

佟星元* 李茂 董嗣万

(西安邮电大学电子工程学院 西安 710121)

摘要: 为了改善负载跳变对低压差线性稳压器(LDO)的影响, 该文提出一种用于无片外电容LDO(CL-LDO)的新型快速响应技术。通过增加一条额外的快速通路, 实现CL-LDO的快速瞬态响应, 并且能够减小LDO输出过冲和下冲的幅度。该文电路基于0.18 μm CMOS工艺设计实现, 面积为0.00529 mm^2 。流片测试结果表明, 当输入电压范围为1.5~2.5 V时, 输出电压为1.194 V; 当负载电流以1 μs 的上升时间和下降时间在100 μA ~10 mA之间变化时, CL-LDO的过冲恢复时间为489.537 ns, 下冲恢复为960.918 ns; 相比未采用该技术的传统CL-LDO, 响应速度能够提高7.41倍, 输出过冲和下冲的电压幅值能够分别下降35.3%和78.1%。

关键词: 低压差稳压器; 无片外电容; 快速瞬态响应; 面积小

中图分类号: TN431.2

文献标识码: A

文章编号: 1009-5896(2019)11-2592-07

DOI: 10.11999/JEIT181060

A Capacitor-less Low Dropout Regulator with Fast Response

TONG Xingyuan LI Mao DONG Siwan

(School of Electronics Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: A novel technique for increasing the load response speed of Capacitor-Less Low-DropOut linear regulator (CL-LDO) is proposed to improve the transient response of CL-LDO when its load current changes. With an additional fast signal feedback path, the CL-LDO can achieve fast transient response so that the overshoot and undershoot of its output voltage can be dramatically reduced. A CL-LDO with fast response is realized in 0.18 μm CMOS and occupies an active area of 0.00529 mm^2 . The CL-LDO has an output voltage of 1.194 V when the input supply voltage ranges from 1.5 V to 2.5 V. When the load current changes from 100 μA to 10 mA with the rise and fall time of 1 μs , the output of LDO can be recovered from its overshoot and undershoot to a stable voltage within 489.537 ns and 960.918 ns, respectively. Compared with a traditional CL-LDO without this proposed technique, the transient response speed of this CL-LDO is increased by 7.41 times. The overshoot and undershoot of the output voltage is decreased by 35.3% and 78.1%, respectively.

Key words: Low-DropOut (LDO) regulator; Capacitor-less; Fast transient response; Small area

1 引言

低压差线性稳压器(Low-DropOut regulator, LDO)能够提供具有一定驱动能力的稳定电源电压, 是电源管理系统不可或缺的组成部分, 具有结构简单、低噪声、小型化等诸多优点, 在片上系统中具有广泛的应用^[1-3]。目前, 通信系统正步入万物互

联的5G时代, 片上系统的时钟频率明显提高, 作为电源管理模块的LDO也常需要驱动超高速的嵌入式电路, 其负载电流往往变化很快, 这要求LDO能够快速响应负载电流引起的瞬态变化。传统LDO需要在输出端接一个具有较大容值的片外电容, 一方面在输出端产生一个低频主极点以保证系统稳定性, 另一方面该片外电容由于具有较大的容值也可以改善输出信号的瞬态响应^[4,5], 但该结构的LDO不利于片上系统集成。无片外电容LDO (Capacitor-Less LDO, CL-LDO)不需要大容量的片外电容, 具有易集成的优势, 然而, 为保证其稳定性, 一般将主极点设置在某内部节点, 当输出负载变化时, 输出电压随之发生改变后恢复较慢。瞬态响应是CL-LDO需要考虑的一个重要问题。

收稿日期: 2018-11-20; 改回日期: 2019-03-07; 网络出版: 2019-04-10

*通信作者: 佟星元 mayxt@126.com

基金项目: 国家自然科学基金(61674122, 61804124), 陕西省创新人才推进计划(2017KJXX-46), 陕西省高层次人才特殊支持计划(2018-36)

Foundation Items: The National Natural Science Foundation of China (61674122, 61804124), Shaanxi Innovation Talents Promotion Plan(2017KJXX-46), Shaanxi Provincial High-level Talents Special Support Plan (2018-36)

现有改进瞬态响应的方案有零点补偿法、阻抗衰减缓冲器驱动技术和适用于CL-LDO的瞬态增强技术。零点补偿法可以使得系统获得较好的稳定性，但其瞬态响应还受工艺和面积等因素的限制^[6]。阻抗衰减缓冲器驱动技术改善了对LDO调整管栅极的充放电速度，能够实现快速瞬态响应，但该方法可能会造成LDO相位裕度不够，进而影响稳定性^[4]。适用于CL-LDO的瞬态增强技术，通过密勒补偿电容产生的极点作为主极点，降低了LDO对负载电容的要求，然而，根据文献^[7]，虽然能够减小LDO负载变化所产生的过冲和下冲，但会增加较大的功耗。综合以上，当前已有的方案尚存在面积大、结构复杂、功耗高及稳定性差等问题。文献^[8]提出一种用于CL-LDO的瞬态响应增强技术，本文以此为基础，采用 0.18 μm CMOS工艺设计实现了

一种快速响应CL-LDO，具有无片外电容、瞬态响应速度快、输出自适应调整、负载恒定时无额外功耗等优点。

2 传统LDO结构

LDO的常见电路结构如图1所示，该结构由误差放大器、功率调整管、反馈电阻网络和片外补偿电容组成，在结构形式上属于电压串联负反馈电路，具有输出电压稳定、输出电阻小、驱动能力强的特点。误差放大器将基准电压和反馈电压进行比较，其输出用来控制功率调整管，如果输出电压减小，反馈电压低于基准电压，误差放大器输出减小，功率调整管的电流增大，进而提高输出电压。反之，如果输出电压增大，反馈电压高于基准电压，误差放大器输出增大，功率调整管的电流减小，输出电压降低。

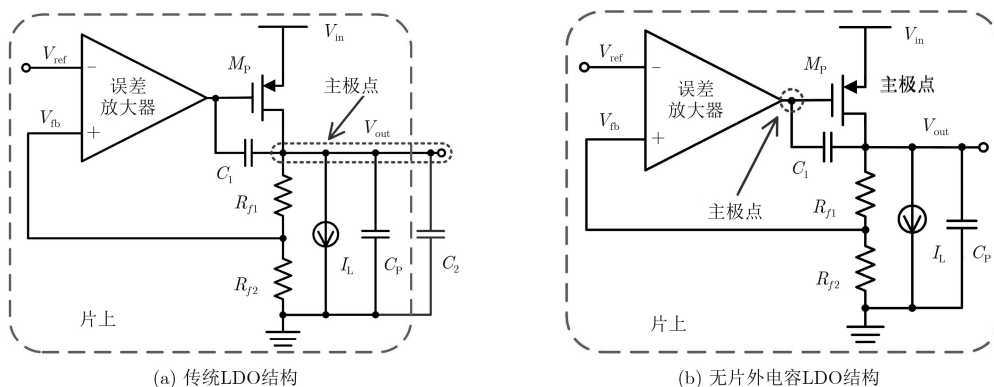


图1 传统LDO和CL-LDO结构

传统LDO电路结构通常需要很大的输出电容，如图1(a)中的 C_2 ，以改善瞬态响应并实现良好的稳定性。由于该电容通常为 μF 的量级，一般以片外电容的形式接到LDO输出端，即便是应用于嵌入式系统，也需要额外的引脚，不利于电路集成。图1(b)所示的CL-LDO主极点不在LDO的输出，增加输出端的电容可以在一定程度上改善输出信号的瞬态响应，但会降低LDO的稳定性。因此，虽然CL-LDO不需要片外电容而利于集成，但需要通过其它辅助技术实现快速瞬态响应。

3 本文提出的CL-LDO电路

3.1 电路结构和原理

本文提出的CL-LDO如图2所示，主要由带隙基准(Band-GaP, BGP)、误差放大器、功率晶体管 M_P 、反馈电阻网络(R_{f1} 和 R_{f2})以及瞬态调整电路等组成。瞬态调整电路由检测与控制电路和辅助晶体管(M_1 和 M_2)组成。图3所示为本文提出的CL-LDO工作原理示意图，图3(a)为输出负载电流变

化，图3(b)为输出电压的瞬态波形，图3(c)为辅助晶体管 M_1 和 M_2 的导通电流， I_{up} 为出现过冲时辅助晶体管 M_1 的导通电流，电流由电源流向输出端； I_{down} 为出现下冲时辅助晶体管 M_2 的导通电流，电流由输出端流向地。当负载变化时，通过控制辅助晶体管 M_1 和 M_2 的导通和关断，实现对输出电压的快速瞬态调整。当负载电流突然减小，输出电压 V_{out} 和反馈电压 V_{fb} 会产生过冲，一旦该过冲电压触发检测与控制电路，其输出Ctrl1和Ctrl2均为“1”，辅助晶体管 M_1 关断， M_2 导通，输出端通过导通的 M_2 能够快速放电。同理，当负载电流增大，输出电压 V_{out} 和反馈电压 V_{fb} 会产生下冲，一旦该下冲电压触发检测与控制电路，其输出Ctrl1和Ctrl2均为“0”，辅助晶体管 M_2 关断， M_1 导通，输出端通过导通的 M_1 能够快速充电。

采用以上方法，当负载电流发生瞬态变化时，CL-LDO能够通过辅助晶体管对输出节点提供额外的充放电电流，输出电压恢复更快，过冲和下冲的幅度能够减小。当负载电流的变化对输出电压 V_{out}

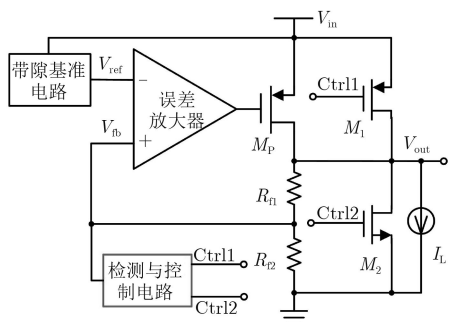


图2 本文提出CL-LDO的整体结构

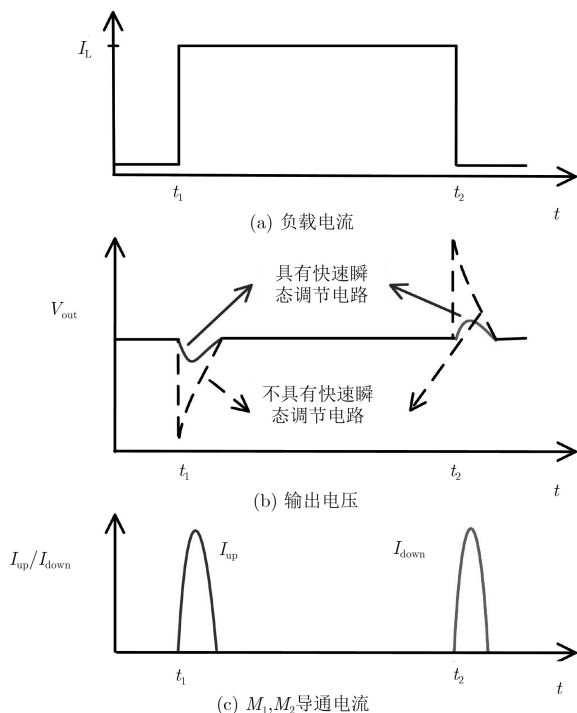


图3 本文提出CL-LDO的工作原理

和反馈电压 V_{fb} 影响较小时,检测与控制电路输出Ctrl1为“1”,Ctrl2为“0”,辅助晶体管 M_1 和 M_2 均关断,不消耗额外的电流和功耗。

3.2 快速瞬态调节电路

本文提出的快速瞬态调节电路包括辅助晶体管(M_1 和 M_2)和检测与控制电路,如图4所示。检测与控制电路的输入信号为反馈电压 V_{fb} ,其能够反映输出电压的状态,在负载电流稳定的情况下, V_{fb} 为0.8 V。检测与控制电路分为两部分,分别用于检测过冲和下冲电压,均由两级反相器级联构成。第1级反相器由偏置电压 V_b 供电,第2级反相器由LDO

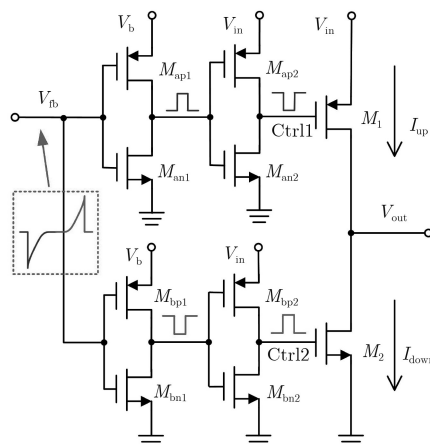


图4 本文提出的快速瞬态调节电路

的输入电压 V_{in} 供电。为了使第1级反相器具有合适的开关阈值电压,以便于检测特定的过冲和下冲电压,使 $V_b < V_{in}$ 。第2级反相器由LDO的输入电压 V_{in} 供电,以确保其具有足够的脉冲幅度和驱动能力来控制晶体管 M_1 和 M_2 的导通和关断。上冲检测电路和下冲检测电路具有相同的电路结构,但两个电路的开关阈值电压不同。考虑到工艺波动等非理想因素的存在,为了避免两个辅助晶体管 M_1 和 M_2 同时导通,上冲检测电路和下冲检测电路的开关阈值电压需要有一定的差异,当负载恒定时,不仅能辅助晶体管 M_1 和 M_2 同时关断,而且两路检测与控制电路均不发生翻转,能够显著减小动态功耗。

输出信号的过冲或下冲,同样会引起反馈电压 V_{fb} 出现过冲或下冲,分别通过两路级联反相器检测和整形之后,被转换成具有一定驱动能力的控制信号Ctrl1和Ctrl2,用于控制辅助晶体管 M_1 和 M_2 的导通和关断,其对应关系如表1所示。

3.3 稳定性分析

本文所提出的CL-LDO,其误差放大器采用基于密勒补偿的两级放大电路结构,以NMOS作为输入晶体管。主极点放置在误差放大器第1级的输出,以减小输出负载变化时对CL-LDO系统稳定性的影响。将LDO的PMOS功率调整管MP看作第3级放大,本文提出的CL-LDO的开环小信号等效电路如图5所示,主要包括第1级放大器、第2级放大器、输出功率晶体管和前馈通路^[9]。为了分析LDO的稳定性,需要推导其开环传递函数 $A_V(s) = V_{out}/V_{in}$ 。

表1 控制信号Ctrl1和Ctrl2的工作原理

I_L	V_{fb}	Ctrl1	Ctrl2	M_1	M_2
升高	下冲/ <0.70 V	低电平	低电平	导通	关断
降低	过冲/ >0.90 V	高电平	高电平	关断	导通
稳定	稳定/ $=0.80$ V	高电平	低电平	关断	关断

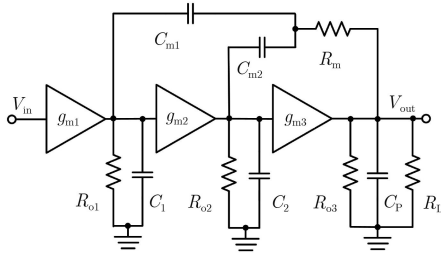


图5 本文CL-LDO的小信号模型等效电路

在图5中, R_{o1} , R_{o2} 和 R_{o3} 分别代表3级放大电路的输出等效电阻, R_m 为调零电阻, R_L 为负载电阻。根据实际电路设计, 满足如下条件: (1)每1级运放的增益都远大于1; (2)误差放大器第1级和第2级的输出电容 C_1 和 C_2 都小于密勒补偿电容 C_{m1} , C_{m2} 以及第3级的输出电容 C_L ; (3)调整管的跨导 g_{m3} 远大于误差放大器第1级和第2级的跨导 g_{m1} 和 g_{m2} 。整个电路的直流增益的由第1级放大器、第2级放大器和功率晶体管的增益乘积决定。通过对小信号模型等效电路进行分析, 其环路增益可表示为

$$A_V(s) = \frac{A_{DC}(1 + b_1s + b_2s^2)}{(1 + s/p_1)(1 + a_1s + a_2s^2)} \quad (1)$$

其中, A_{DC} 为直流电压增益, p_1 为主极点频率, a_1 , a_2 , b_1 , b_2 , A_{DC} 和 p_1 分别表示为

$$a_1 = \frac{C_{m2}(g_{m3} - g_{m2})}{g_{m2}g_{m3}} \quad (2)$$

$$a_2 = \frac{(1 - g_{m2}R_m)C_L C_{m2}}{g_{m2}g_{m3}} \quad (3)$$

$$b_1 = C_{m1}R_m + C_{m2}(R_m - 1/g_{m3}) \quad (4)$$

$$b_2 = \frac{(g_{m3}R_m - 1)C_{m1}C_{m2}}{g_{m2}g_{m3}} \quad (5)$$

$$A_{DC} = g_{m1}g_{m2}g_{m3}R_{o1}R_{o2}(R_{o3} \parallel R_L) \quad (6)$$

$$p_1 = [g_{m2}g_{m3}C_{m1}R_{o1}R_{o2}(R_{o3} \parallel R_L)]^{-1} \quad (7)$$

根据式(1)的分母, 存在2个复数共轭极点 $p_{2,3}$, 其固有频率 ω_n 和品质因数 Q 由式(8)和式(9)给出

$$\begin{aligned} \omega_n &= \frac{1}{\sqrt{a_2}} = \sqrt{\frac{g_{m2}g_{m3}}{(1 - g_{m2}R_m)C_L C_{m2}}} \\ &= g_{m3}\sqrt{\frac{g_{m2}}{(g_{m3} - g_{m2})C_L C_{m2}}} \end{aligned} \quad (8)$$

$$\begin{aligned} Q &= \frac{\sqrt{a_2}}{a_1} = \sqrt{\frac{(1 - g_{m2}R_m)C_L g_{m2}g_{m3}}{C_{m2}(g_{m3} - g_{m2})^2}} \\ &= \sqrt{\frac{C_L g_{m2}}{C_{m2}(g_{m3} - g_{m2})}} \end{aligned} \quad (9)$$

根据式(8)和式(9), 功率调整管的跨导 g_{m3} 对 ω_n

和 Q 影响较大, 进而能影响整个电路的稳定性^[10]。 ω_n 和 Q 可通过增大 g_{m3} 优化, 然而, 跨导 g_{m3} 的增大往往需要更多的面积。因此, g_{m3} 的取值要结合系统的稳定性和芯片面积折中考虑。

根据式(1), 零点可由式(10)获得

$$\begin{aligned} Z(s) &= 1 + [C_{m1}R_m + C_{m2}(R_m - 1/g_{m3})]s \\ &\quad + \frac{C_{m1}C_{m2}(g_{m3}R_m - 1)}{g_{m2}g_{m3}}s^2 \\ &= 1 + \frac{C_{m1}}{g_{m3}}s \end{aligned} \quad (10)$$

整个闭环系统中原有两个零点, 一个位于左半平面, 另一个位于右半平面且幅值较小。在右半平面产生零点的原因是因为补偿电容 C_{m1} 和 C_{m2} 在输出端与误差放大器第1, 2级输出端之间形成容性前馈通路。相对于左半平面零点, 右半平面低频区的零点会引起明显的相位移动, 从而降低系统的环路相位裕度^[11,12]。通过添加调零电阻 R_m 消除零点的2次项, 仅留下1个左半平面零点, 能够提高相位裕度和电路稳定性。

本文提出CL-LDO的频率响应仿真结果如图6所示。在电源电压为1.5 V, 负载电流为100 μ A时, 环路增益为85.27 dB, 相位裕度为73.58°; 当电源电压为2.5 V时, 负载电流为100 μ A时, 环路增益为86.39 dB, 相位裕度为61.72°; 在电源电压为1.5 V, 负载电流为10 mA时, 环路增益为82.17 dB, 相位裕度为72.21°; 当电源电压为2.5 V时, 负载电流为10 mA时, 环路增益为89.55 dB, 相位裕度为61.11°。根据仿真结果, 次级点在单位增益带宽之后, 能够保证系统稳定性。

4 测试结果与比较

本文提出的CL-LDO采用0.18 μ m CMOS工艺实现。图7显示了本文CL-LDO的芯片显微照片及版图布局。为了便于对比, 将未采用本文快速瞬态调节的传统CL-LDO也进行了流片加工和测试。包含带隙基准、本文快速响应CL-LDO和用于对比的传统CL-LDO在内, 有源面积为261.45 μ m \times 73.55 μ m, 其中带隙基准电路的面积约为95.25 μ m \times 64.50 μ m, 本文提出的具有快速瞬态调节的CL-LDO面积为0.00529 mm²。

测试结果显示, 本文提出的CL-LDO输出电压为1.194 V。在负载电流发生瞬态变化时, 本文提出的快速瞬态响应调节电路不仅有效减小了LDO输出电压的过冲和下冲, 而且响应速度显著提高, 瞬态测试结果如图8所示。其中, 曲线1是未采用本文瞬态响应增强技术时的测试结果, 曲线2为采取本文瞬态响应增强技术时的测试结果。在1.8 V电

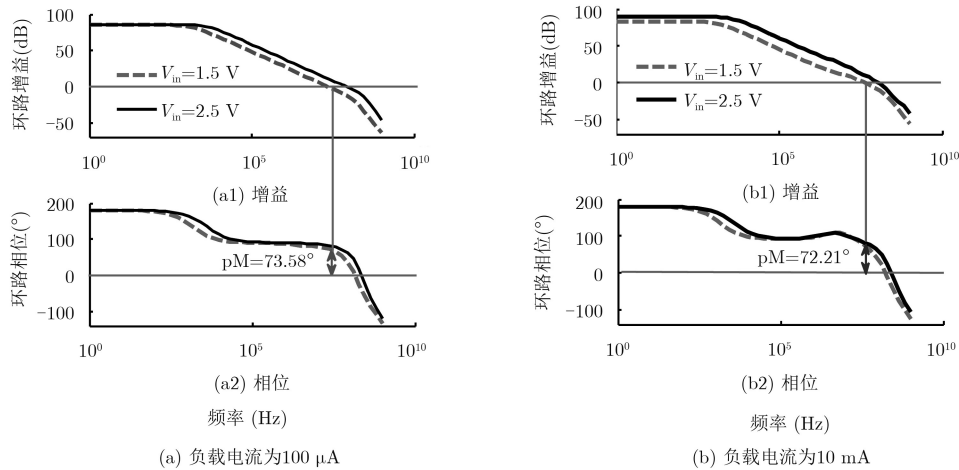


图6 环路特性仿真结果

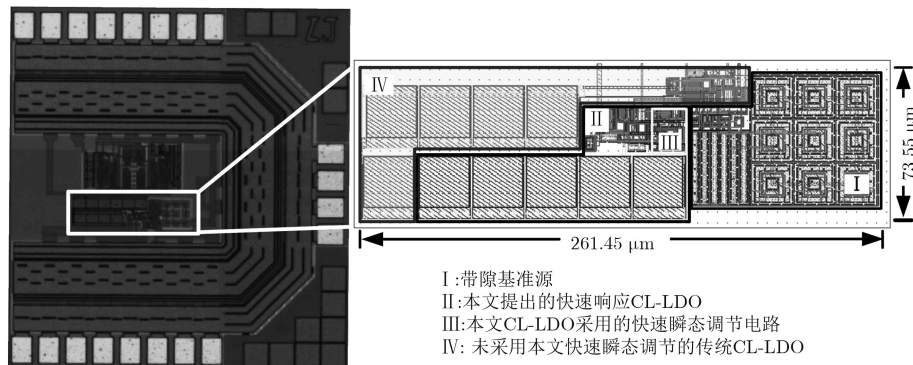


图7 本文提出CL-LDO的芯片照片和版图

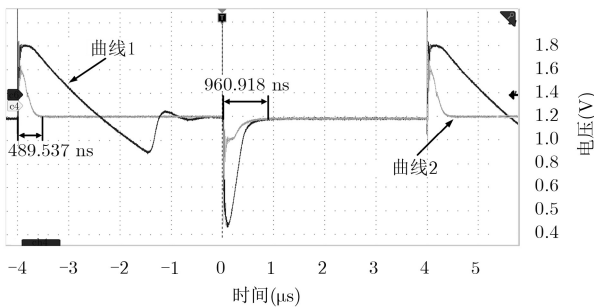


图8 本文CL-LDO的瞬态测试结果

源电压下,当负载电流以1 μs的上升时间和下降时间在100 μA至10 mA之间变化时,本文所提出的

CL-LDO的过冲恢复时间为489.537 ns,下冲恢复时间为960.918 ns。若不采用本文提出的技术,在相同测试条件下,CL-LDO的过冲恢复时间为3.624 μs,下冲恢复时间为1.122 μs。在输出过冲和下冲的幅度方面,与不采用快速瞬态调整技术的CL-LDO相比,本文提出CL-LDO的输出电压过冲幅度减小了211.321 mV,下降了35.3%;下冲幅度减小了739.399 mV,下降了78.1%。

本文CL-LDO的线性调整率测试结果如图9(a)所示。在负载电流为100 μA条件下,当输入电压 V_{in} 从1.5 V变化至2.5 V时,本文提出CL-LDO的输出电压从1.1889 V变化到1.1989 V,线性调整率为10.0 mV/V。

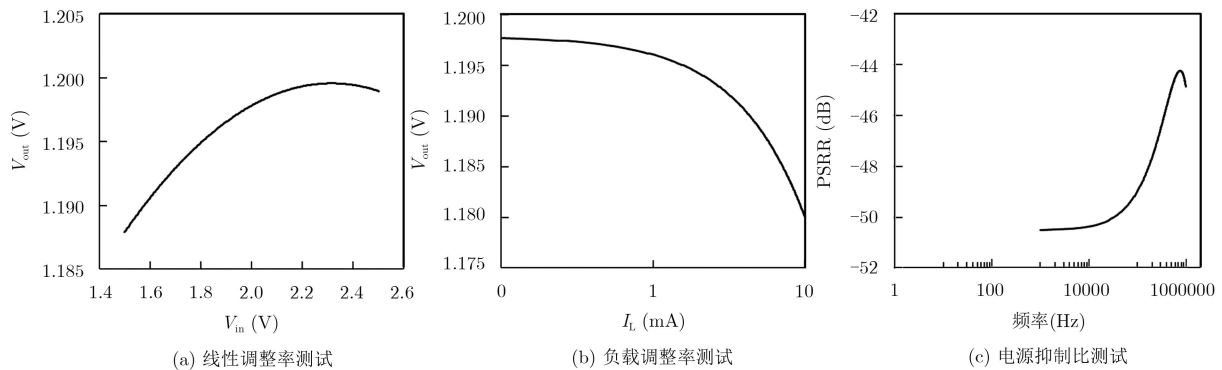


图9 本文CL-LDO的直流特性测试结果

负载调整率的测试结果如图9(b)所示。在输入电压为1.8 V条件下，当负载电流从100 μ A变化到10 mA时，本文CL-LDO的输出电压 V_{out} 从1.1976 V变化到1.1880 V，负载调节率约为0.96 mV/mA。电源抑制比(Power Supply Rejection Ratio, PSRR)的测试结果如图9(c)所示，在 $V_{in}=2.5$ V, $I_L=10$ mA条件下，本文CL-LDO的PSRR约为-50.2 dB。

表2总结了本文提出CL-LDO的性能指标并与当前已有的CL-LDO成果进行了对比。比较结果显示，本文所提出的CL-LDO能够实现快速瞬态响应，并减小了由负载变化引起的输出电压过冲和下冲的幅度，具有较好的负载调整率和线性调整率，且芯片面积较小。其中，W/O表示不具有瞬态调整电路的CL-LDO，W表示具有瞬态调整电路的CL-LDO。

表 2 本文设计的CL-LDO与其它文献的CL-LDO性能比较

参数	文献[13]*	文献[14]	文献[15]	文献[16]	本文	
					W/O	W
工艺 (nm)	180	65	180	130	180	
V_{in} (V)	1.2	1.2	1.2~1.8	1~1.4	1.5~2.5	
V_{out} (V)	1	1	0.8~1.6	0.8	1.2	
I_L (mA)	100	0.1~25	1-100	0.12~25	0.1~10	
过冲/下冲 (mV)	220	225	200	284	597/946	386/207
环路增益 (dB)	-	-	>59.8	75	85~87	85~87
负载调整率 (mV/mA)	0.023	0.042	0.081	0.173	0.97	0.96
线性调整率 (mV/V)	0.69	3.8	-	2.25	11.3	10.0
恢复时间 (μ s)	3.6*	1.3 [†]	0.22 [†]	0.19 [#]	3.624*	0.489*
电源抑制比 (dB)	49.6	52	-	57	50.2	
面积 (mm^2)	0.022	0.087	0.031	0.008	0.00529	

考虑寄生参数的电路后仿真数据； 电流阶跃变化的上升时间和下降时间为1 μ s；[†] 电流阶跃变化的上升时间和下降时间约为300 ps；[#] 电流阶跃变化的上升时间和下降时间约为100 ns。

5 结束语

本文提出了一种具有快速瞬态响应的无片外电容LDO线性稳压器，利用检测与控制电路和辅助晶体管形成了一条快速信号反馈通路，对输出端的瞬态电压波动进行了自适应调整，提高了瞬态响应速度，并减小了由于负载变化引起的输出电压过冲和下冲的幅度。基于0.18 μ m CMOS的流片测试结果显示，当负载电流以1 μ s的上升时间和下降时间在100 μ A~10 mA之间变化时，输出电压的恢复时间最小为489 ns，输出的过冲电压和下冲电压分别减小了35.3%和78.1%。测试结果证明了其实用性和优越性，非常适合在负载电流变化频率较高的电路系统应用。

参 考 文 献

- [1] MILLIKEN R J, SILVA-MARTINEZ J, and SANCHEZ-SINENCIO E. Full on-chip CMOS low-dropout voltage regulator[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2007, 54(9): 1879-1890. doi: 10.1109/TCSI.2007.902615.
- [2] YEO J, JAVED K, LEE J, et al. A capacitorless low-dropout regulator with enhanced slew rate and 4.5- μ A quiescent current[J]. *Analog Integrated Circuits and Signal Processing*, 2017, 90(1): 227-235. doi: 10.1007/s10470-016-0869-z.
- [3] TONG Xingyuan and SUN Tiantian. A programmable multi-output technique in LDO regulator for multi-reference SAR ADC application[J]. *International Journal of Electronics*, 2017, 104(3): 528-538. doi: 10.1080/00207217.2016.1218069.
- [4] HUANG W J, LU S H, and LIU Shenlun. A capacitor-free CMOS low dropout regulator with slew rate enhancement[C]. Proceedings of 2006 International Symposium on VLSI Design, Automation and Test, Hsinchu, China, 2006: 1-4.
- [5] LIU Nanqi, JOHNSON B, NADIG V, et al. A transient-enhanced fully-integrated LDO regulator for SoC application[C]. Proceedings of 2018 IEEE International Symposium on Circuits and Systems, Florence, Italy, 2018: 1-5.
- [6] LEUNG K N and NG Y S. A CMOS low-dropout regulator with a momentarily current-boosting voltage buffer[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2010, 57(9): 2312-2319. doi: 10.1109/TCSI.2010.2043171.
- [7] AL-SHYOUKH M, LEE H, and PEREZ R. A transient-enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation[J]. *IEEE Journal of Solid-*

- State Circuits*, 2007, 42(8): 1732–1742. doi: [10.1109/JSSC.2007.900281](https://doi.org/10.1109/JSSC.2007.900281).
- [8] TONG Xingyuan and WEI Kangkang. A fully integrated fast-response LDO voltage regulator with adaptive transient current distribution[C]. Proceedings of 2017 IEEE Computer Society Annual Symposium on VLSI, Bochum, Germany, 2017: 651–654.
- [9] MARANO D, GRASSO A D, PALUMBO G, *et al.* Optimized active single-miller capacitor compensation with inner half-feedforward stage for very high-load three-stage OTAs[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2016, 63(9): 1349–1359. doi: [10.1109/TCSI.2016.2573920](https://doi.org/10.1109/TCSI.2016.2573920).
- [10] ZENG Yanhan, LI Yuao, ZHANG Xin, *et al.* A push-pulled FVF based output-capacitorless LDO with adaptive power transistors[J]. *Microelectronics Journal*, 2017, 64: 69–77. doi: [10.1016/j.mejo.2017.04.008](https://doi.org/10.1016/j.mejo.2017.04.008).
- [11] LEUNG K N and MOK P K T. Analysis of multistage amplifier-frequency compensation[J]. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 2001, 48(9): 1041–1056. doi: [10.1109/81.948432](https://doi.org/10.1109/81.948432).
- [12] AAMIR S A, HARIKUMAR P, and WIKNER J J. Frequency compensation of high-speed, low-voltage CMOS multistage amplifiers[C]. Proceedings of 2013 IEEE International Symposium on Circuits and Systems, Beijing, China, 2013: 381–384.
- [13] SHIRMOHAMMADLI V, SABERKARI A, MARTINEZ-GARCIA H, *et al.* Low power output-capacitorless class-AB CMOS LDO regulator[C]. Proceedings of 2017 IEEE International Symposium on Circuits and Systems, Baltimore, USA, 2017: 1–4.
- [14] LIM Y, LEE J, PARK S, *et al.* An external capacitorless low-dropout regulator with high PSR at all frequencies from 10 kHz to 1 GHz using an adaptive supply-ripple cancellation technique[J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(9): 2675–2685. doi: [10.1109/JSSC.2018.2841984](https://doi.org/10.1109/JSSC.2018.2841984).
- [15] TANG Jun, LEE J, and ROH J. Low-power fast-transient capacitor-less LDO regulator with high slew-rate Class-AB amplifier[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2019, 66(3): 462–466. doi: [10.1109/TCSII.2018.2865254](https://doi.org/10.1109/TCSII.2018.2865254).
- [16] BU Shi, GUO Jianping, and LEUNG K N. A 200-ps-response-time output-capacitorless low-dropout regulator with unity-gain bandwidth >100 MHz in 130-nm CMOS[J]. *IEEE Transactions on Power Electronics*, 2018, 33(4): 3232–3246. doi: [10.1109/TPEL.2017.2711017](https://doi.org/10.1109/TPEL.2017.2711017).
- 佟星元: 男, 1984年生, 博士后, 教授, 研究方向为生物医疗电子、超低功耗模拟. 混合信号集成电路设计.
- 李 茂: 男, 1994年生, 硕士生, 研究方向为电源管理及无线能量传输电路设计.
- 董嗣万: 男, 1988年生, 博士, 讲师, 研究方向为模拟集成电路设计.