

一种全数字前馈式时间交织模数转换器时间误差后台校准算法

邓红辉^{①②} 闫辉^① 肖瑞^① 陈红梅^{*①②}

^①(合肥工业大学微电子设计研究所 合肥 230601)

^②(教育部IC设计网上合作研究中心 合肥 230601)

摘要: 该文设计实现了一种全数字前馈式时间交织模数转换器(TIADC)时间误差校准算法, 其中采样时间误差提取采用改进的时间误差函数求导模块的前馈式提取方法, 可以提高在输入信号频率较高时误差提取的准确度; 同时, 为了降低误差提取单元的复杂性, 采用了以减法实现的时间误差函数; 最后, 采用基于1阶泰勒补偿完成时间误差的实时校正。仿真验证表明, 应用于4通道14位TIADC系统, 当输入信号为多频信号时, 系统动态性能无杂散动态范围(SFDR)从48.6 dB提高到80.7 dB。与传统基于前馈校准结构对比, 可以将有效校准输入信号带宽从0.19提高到0.39, 提高了校准算法的应用范围。

关键词: 时间交织模数转换器; 时间误差数字校准; 前馈式; 时间误差函数

中图分类号: TN911.72

文献标识码: A

文章编号: 1009-5896(2020)02-0410-08

DOI: 10.11999/JEIT190052

Fully Digital Feedforward Background Calibration of Time Skew for Sub-Sampling Time-interleaved Analog-to-digital Converter

DENG Honghui^{①②} YAN Hui^① XIAO Rui^① CHEN Hongmei^{①②}

^①(Institute of Very Large Scale Integration Design of Hefei University of Technology, Hefei 230601, China)

^②(Ministry of Education IC Design Web-cooperation Research Center, Hefei 230601, China)

Abstract: A full digital feedforward Time-Interleaved Analog-to-Digital Converter (TIADC) time skew calibration algorithm is presented, the time skew estimation adopts the feedforward extraction method of the improved derivative module of time skew function, which can greatly improve the accuracy of skew estimation when the input signal frequency is high. At the same time, the time skew function is based on subtraction, in order to reduce the complexity of skew estimation unit. Finally, the time skew is corrected by using first-order Taylor compensation. The simulation results show that when the input signal is a multi-frequency signal, the Spurious-Free Dynamic Range (SFDR) increases from 48.6 dB to 80.7 dB, after adopting the proposed time skew correction for a 4-channel 14-bit TIADC system. Compared with the traditional feedforward calibration structure based on correlation operation, the effective calibration input signal bandwidth can be increased from 0.19 to 0.39, which greatly increases the application range of the calibration algorithm.

Key words: Time-Interleaved Analog-to-Digital Converter (TIADC); Digital calibration of time skew; Feedforward; Time skew function

1 引言

在宽带卫星接收机、有线电视调谐器和无线电等现代通信系统中, 模数转换器(Analog-to-Digital Converter, ADC)起着至关重要的作用。时间交织

模数转换器(Time-Interleaved Analog-to-Digital Converter, TIADC)由多个采样速率较低但精度较高的ADC并行组合而成^[1,2], 是高采样率ADC的重要发展趋势。但由于工艺、电压和温度的变化, TIADC的偏移、增益和采样时间等通道间失配会显著降低TIADC的无杂散动态范围(Spurious Free Dynamic Range, SFDR)及信号-噪声失真比(Signal-to-Noise-and-Distortion Ratio, SNDR)等性能。其中采样时间失配误差是最关键的, 因为采样时间误差随着输入频率的增加而增加, 并会覆盖宽带输入^[3]。基于这些原因, 本文着重于解决TIADC

收稿日期: 2019-01-18; 改回日期: 2019-05-12; 网络出版: 2019-08-23

*通信作者: 陈红梅 hmchen@hfut.edu.cn

基金项目: 国家自然科学基金(61704043), 合肥工业大学校博士专项科研基金(JZ2017HGBZ0955)

Foundation Items: The National Natural Science Foundation of China (61704043), Hefei University of Technology Ph.D. Special Fund (JZ2017HGBZ0955)

采样时间失配误差问题。

TIADC采样失配误差校准技术根据处理的信号域不同,可以分为模拟校准、混合信号校准^[4-6]和全数字校准。其中模拟和混合信号校准技术易受工艺、电源电压和温度以及热噪声的影响,并且不能在CMOS不同工艺之间移植。相比而言,全数字技术可以利用CMOS先进工艺的优点,更容易移植到下一代技术中。

全数字校准的实现有两种,一是图1(a)所示基于反馈回路实现的数字校准算法,二是图1(b)所示的前馈方式实现的数字校准算法^[7],前者被定义为全数字反馈校准,后者被定义为全数字前馈校准。全数字反馈校准^[8-11]在误差提取时,会对误差补偿后的结果与理想值间的偏差量作方向性的判断,结果作为LMS的驱动反馈到误差补偿单元,以得到合适的时间误差补偿量;全数字前馈校准^[12,13]的误差提取单元根据TIADC的量化输出信号直接计算出各个子通道间的时序不匹配,不需要反馈回路,得到时间误差量直接送入时间误差补偿单元,补偿单元的输出即经过了失配误差的校准。在校准系统中,误差提取准确度会随输入信号频率的提高而变差,这使在输入信号频率较高时反馈校准的效果会优于前馈校准。但反馈校准中含有反馈回路,会存在潜在的稳定性问题^[12,14],前馈校准系统的稳定性会比反馈校准更强,并且反馈校准的校准过程是误差的估计、收敛和补偿的循环,前馈校准的校准过程是误差估计后直接补偿,前馈校准在收敛速度方面会明显优于反馈校准。

在现有的前馈式数字校准算法中,文献^[12,13]利用相邻子ADC之间的相关性,以及子ADC输出样本与其相应的导数样本之间的相关性来直接估算时间偏差。上述成对互相关是通过使用总TIADC输出和系数为-1, 0, +1的FIR滤波器来实现的,这种实现方式需要FIR滤波器以全采样率运行,这对

于高速ADC的数字校准电路实现是非常具有挑战性,带来的功率消耗较大。文献^[15]中,通过利用相邻子ADC之间的相关性构建以时间误差为变量的线性方程组,解线性方程组获得时间误差量并以可变延迟线做补偿。这种校准算法相对文献^[12,13]结构简单,但由于在高频段的误差提取结果偏差太大,文献^[7]中放弃了前馈式结构,采用反馈式校准方案以提高校准效果。

为了降低校准算法的复杂度,并保证输入信号频率较高时的校准效果,本文提出了一种用于TIADC的全数字时间误差的前馈式校准技术。该技术不需要导频输入也不需要额外的参考信道,并且不需要借助FIR滤波器完成误差提取,利用输入信号的时间误差函数获得时间误差的误差函数,构建线性方程组得到各个子通道的时间误差,利用1阶泰勒补偿方式完成在较宽输入信号范围的TIADC系统时间误差校准。具体实现时,为了进一步降低系统复杂度,采用了基于减法实现的时间误差函数用于误差提取,使校准系统的硬件消耗大大降低。

2 时间误差校准原理

2.1 TIADC工作原理

图2(a)为TIADC的架构框图,包括了 M 个时间交织的子ADC,以相同的频率 f_s/M 对输入信号进行采样,最后子ADC的输出被数据复合以形成输出数据流。理想情况下,整个ADC将具有与子ADC相同的分辨率,等效采样频率 f_s 和等效采样周期 T_s 。然而,由于工艺偏差,导致子ADC之间存在通道失配,主要包括偏移(o_m),增益(g_m)和时序失配(δt_m),如图2(b)误差模型所示,这些失配会大大

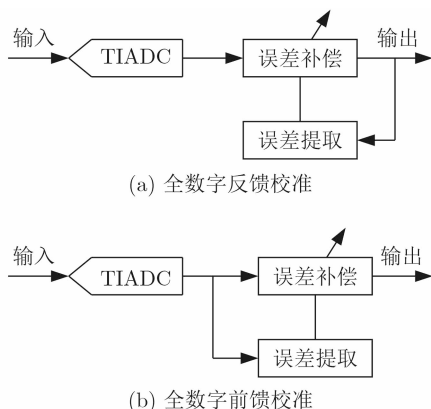


图1 TIADC时间误差的全数字校准

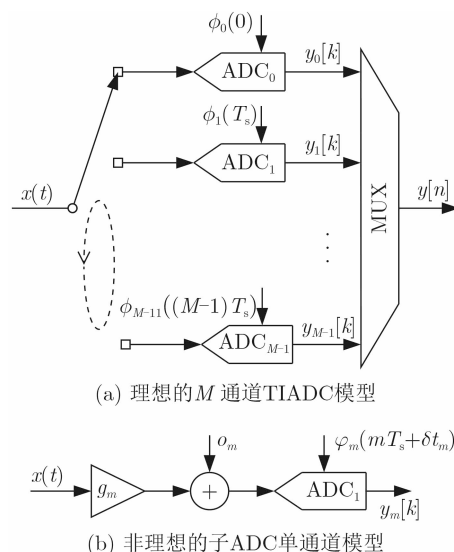


图2 TIADC原理框图

降低TIADC的动态性能^[16]。相比于其它两种失配误差,时序失配引起的时间误差由于频率依赖性对系统性能影响最大,本文主要分析时间误差。

忽略量化误差,当通道间存在失配误差时,则第 m 个通道ADC的数字输出序列 $y_m[k]$ 表示为

$$y_m[k] = y_m(kT_s) = x(kMT_s + mT_s + t_0 + \delta t_m) \quad (1)$$

其中, t_0 是初始采样相位。时间误差与采样周期 T_s 相比较小,通常小于1%,使用只包含1阶项的泰勒级数近似,则第 m 个通道子ADC输出可以表示为理想信号加上时间偏移和信号导数成比例的误差项之和^[4,13]

$$y_m[k] \approx x_m[k] + \delta t_m x'_m[k] \quad (2)$$

其中, $x'_m[k]$ 是标准采样时间下输入信号的导数。时序偏移引起的误差是子ADC输出样本的导数与其相应时间误差 δt_m 的乘积。根据式(2),为了得到校准后的 $x_m[k]$,则需要提取时间误差 δt_m 和对 $x_m[k]$ 进行求导,下面介绍具体如何实现。

2.2 基于减法实现的时间误差提取

设模拟输入 $x(t)$ 是广义平稳(WSS)的,且频带受Nyquist频率的限制,则其期望 $E\{x(t)\}$ 为常数,自定义函数 $G_x(\tau)$ 是与采样时间相关的函数^[17]。这些特性可用下列方程表示

$$E\{x(t)\} = \eta \quad (3a)$$

$$E\{x(t) - \eta\} = \gamma \quad (3b)$$

$$G_x(t_1, t_2) = G_x(\tau) = E\{|x(t + \tau) - x(t)|\} \quad (3c)$$

其中, η 为输入信号的期望, γ 为与输入信号摆幅相关的期望值,为了简化分析过程,认为 $\eta=0$, γ 为一个常数。在离散时间域中,两个信号 $f[n]$ 和 $r[n]$ 的 $G_{fr}[l]$ 函数可表示为

$$G_{fr}[l] = E\{f[n+l] - r[n]\} \quad (4)$$

其中, l 是时间相移(或滞后)参数。

在TIADC理想时钟采样情况下,两个相邻通道采样时间的间隔为 T_s ,则相邻通道 G_x 函数之间无差异;当存在采样时间失配误差时,两个 G_x 函数之间的差异可以构建一个线性方程系统,其变量是各个信道ADC的时间误差,求解该线性方程组可以准确地得到时间误差量,具体分析如下:

(1) 具有时间误差变量的线性方程组:由式(1),式(3a)和式(4)可以得到,两个连续通道的ADC(ADC_m 和 ADC_{m-1} , $1 \leq m \leq M-1$)之间的 G_x 函数可表示为

$$\begin{aligned} G_{y_m y_{m-1}}[0] &= E\{|y[k] - y_{m-1}[k]|\} \\ &= E\left\{|x(kMT_s + mT_s + t_0 + \delta t_m) - x(kMT_s + (m-1)T_s + t_0 + \delta t_{m-1})|\right\} \\ &= G_x(T_s + \delta t_m - \delta t_{m-1}) \end{aligned} \quad (5)$$

类似地,对于 $1 \leq m \leq M-2$,来自子通道 ADC_m 和 ADC_{m+1} 的两个相邻序列输出的 G_x 函数被写成

$$\begin{aligned} G_{y_m y_{m-1}}[0] &= E\{|y_{m+1}[k] - y_m[k]|\} \\ &= E\left\{|x(kMT_s + (m+1)T_s + t_0 + \delta t_{m+1}) - x(kMT_s + mT_s + t_0 + \delta t_m)|\right\} \\ &= G_x(T_s + \delta t_{m+1} - \delta t_m) \end{aligned} \quad (6)$$

为了提取采样时间误差,将时间误差函数定义为子ADC输出采样值成对 G_x 函数的差,并用式(7)表示

$$\Gamma_m = G_{y_m y_{m-1}}[0] - G_{y_m y_{m+1}}[0], 1 \leq m \leq M-2 \quad (7)$$

通过将泰勒级数展开到 T_s 附近的1阶导数,作为变量 δt 的函数 $G_x(T_s + \delta t)$ 表示为

$$\begin{aligned} G_x(T_s + \delta t) &\approx G_x(T_s) + \delta t \times \left. \frac{dG_x(T_s + \delta t)}{d\delta t} \right|_{\delta t=0} \\ &\approx G_x(T_s) + \delta t \times G'_x(T_s) \end{aligned} \quad (8)$$

其中, $G'_x(T_s)$ 是输入信号 G_x 函数的导数。在实践中,与时间间隔 T_s 相比,TIADC中产生的时间误差通常较小。通过式(8)中所做的对式(5)和式(6)应用泰勒级数展开,可以将式(7)简化为

$$\Gamma_m \approx G'_x(T_s)(2\delta t_m - \delta t_{m-1} - \delta t_{m+1}) \quad (9)$$

其中, $1 \leq m \leq M-2$,以子通道 ADC_0 为参考($\delta t_0=0$),式(9)为一个线性方程系统,具有 $(M-2)$ 阶方程式和 $(M-1)$ 个变量作为第1到 $(M-1)$ 通道子ADC的时间误差。为了获得与变量数目相同的线性方程组,引入了1个附加的时间误差函数 Γ_{M-1} 为

$$\Gamma_{M-1} = G_{y_{M-1} y_{M-2}}[0] - G_{y_{M-1} y_0}[-1] \quad (10)$$

将 $m=M-1$ 代入式(5),得到

$$G_{y_{M-1} y_{M-2}}[0] = G_x(T_s + \delta t_{M-1} - \delta t_{M-2}) \quad (11)$$

根据式(5)和式(6),得到

$$\begin{aligned} G_{y_{M-1} y_0}[-1] &= E\{|y_{M-1}[k-1] - y_0[k]|\} \\ &= E\left\{|x(kMT_s - T_s + t_0 + \delta t_{M-1}) - x(kMT_s + t_0 + \delta t_0)|\right\} \\ &= G_x(T_s + \delta t_0 - \delta t_{M-1}) \end{aligned} \quad (12)$$

由式(8),式(10),式(11),式(12),得到

$$\Gamma_{M-1} \approx G'_x(T_s)(2\delta t_{M-1} - \delta t_{M-2} - \delta t_0) \quad (13)$$

以子通道 ADC_0 为参考,则有 $\delta t_0=0$,并由式(9)和式(13),得到 $1 \leq m \leq M-1$ 时的线性方程组

$$\left. \begin{aligned} \Gamma_1 &\approx G'_x(T_s)(2\delta t_1 - \delta t_2) \\ &\vdots \\ \Gamma_m &\approx G'_x(T_s)(2\delta t_m - \delta t_{m-1} - \delta t_{m+1}) \\ &\vdots \\ \Gamma_{M-1} &\approx G'_x(T_s)(2\delta t_{M-1} - \delta t_{M-2}) \end{aligned} \right\} \quad (14)$$

(2) 估算 G_x 函数的导数：由2.2节中第(1)部分的分析可以看出，可能引起误差提取偏差的因素主要有两个：一是估算 G_x 函数在 T_s 点的导数时，传统的基于三点公式的拉格朗日插值多项式存在不准确^[15]；二是式(13)中只计算了1阶量，忽略了高阶量。但式(14)中 $\delta t_m < T_s$ ，忽略了高阶量对计算结果的影响不大，故在此主要讨论前者的影响。

基于三点公式的拉格朗日插值多项式的1阶数值微分式估算 G_x 函数在 T_s 处的导数为

$$G'_x(T_s) \approx \frac{G_x(2T_s) - G_x(0)}{2} = \frac{G_x(2T_s)}{2} \quad (15)$$

在相同工作环境下TIADC的时间失配误差不变，并与输入信号无关。在低频输入时，误差提取函数 $G_x(\tau)$ 的线性度非常好，基于上述方法估算 $G'_x(T_s)$ 准确度很高，应用于前馈式校准结构中能达到很好的效果，可以被用来作为参考值。但在输入信号频率上升时，误差提取函数 $G_x(\tau)$ 的线性度变差， $G'_x(T_s)$ 的估计值和实际值间存在一定比例的偏差，导致误差提取的准确度降低，影响校准系统的效果。为了弥补在输入信号频率较高时误差估算的偏差，以在相同工作环境下归一化输入频率(输入信号频率 f_{in} 与TIADC系统采样频率 f_s 的比值)为0.03时的误差提取结果作为参考，测量出高频段的误差提取的偏差比例。

假设 $G'_x(T_s)$ 与式(15)中估算值 $G_x(2T_s)/2$ 间有关系为

$$G'_x(T_s) = r \times \frac{G_x(2T_s)}{2} \quad (16)$$

其中， r 为估算值的偏差比例， r 与归一化输入频率相关，利用函数 $R_f(f_{in}/f_s)$ 表征归一化输入频率与 r 的关系。

为获得 f_{in}/f_s 的大小，需要与其相关的量表示 f_{in}/f_s ，令 G_f 为

$$G_f = G_{x,\tau=T_s}/\gamma = G_x\left(\frac{1/f_s}{f_{in}/f_s}\right)/\gamma \quad (17)$$

由式(17)可以看出， G_f 同样是一个变量为 f_{in}/f_s 的函数，通过实测获取 G_f 和 f_{in}/f_s 的函数关系， G_f 与 r 的实测结果如图3所示。

由图3可以看出， $G_f(f_{in}/f_s)$ 具有单调性，可以利用 $G_{x,\tau=T_s}$ 反映输入信号归一化输入频率，则有

$$f_{in}/f_s = G_f^{-1}(G_{x,\tau=T_s}/\gamma) \quad (18)$$

由函数 $r=R_f(f_{in}/f_s)$ 得

$$r = R_f(f_{in}/f_s) = R_f(G_f^{-1}(G_{x,\tau=T_s}/\gamma)) \quad (19)$$

图4反映了 r 与 $G_{x,\tau=T_s}/\gamma$ 的关系，显然 r 与 $G_{x,\tau=T_s}/\gamma$ 的关系具有单调性，即在Nyquist内对应

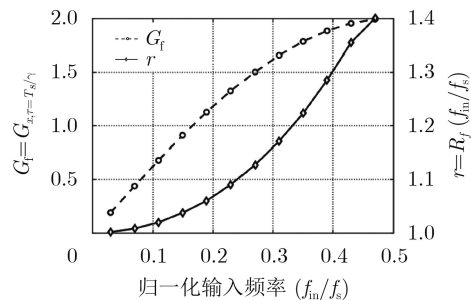


图3 G_f 和 r 与输入信号归一化输入频率的关系

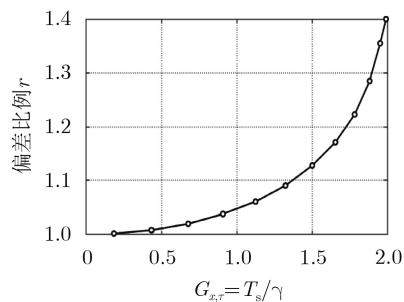


图4 r 与 $G_{x,\tau=T_s}/\gamma$ 的关系

的 $G_{x,\tau=T_s}/\gamma$ 有且仅有唯一 r 对应，将结果存储在寄存器中，根据 $G_{x,\tau=T_s}/\gamma$ 寻址获得相应的偏差比例数据 r 进行修正。

由于误差提取函数 $G_x(\tau)$ 只与输入信号特性相关，不会受TIADC的通道数量、时间误差大小和工作环境等因素的影响，因此修正因子 r 对误差提取准确度的提升效果也不受这些因素影响。

(3) 线性方程组的解：以矩阵表示线性方程组(14)，对 M 通道，以子通道 ADC_0 为参考($\delta_{t0}=0$)，线性方程组可以用矩阵表示法表示

$$\frac{\mathbf{F}}{G'_x(T_s)} \approx \mathbf{H} \times \delta \mathbf{T} \quad (20)$$

其中， $\delta \mathbf{T}$ 是列向量，其元素是第1到 $(M-1)$ 通道子ADC的时间误差，并且有

$$\mathbf{F} = [F_1, F_2, \dots, F_{M-1}]^T \quad (21a)$$

$$\delta \mathbf{T} = [\delta_{t1}, \delta_{t2}, \dots, \delta_{tM-1}]^T \quad (21b)$$

$$\mathbf{H} = \begin{bmatrix} 2 & -1 & 0 & \cdots & 0 \\ -1 & 2 & -1 & \cdots & 0 \\ 0 & -1 & 2 & \cdots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & -1 & 2 \end{bmatrix}_{M-1 \times M-1} \quad (21c)$$

因为 $|\mathbf{H}| \neq 0$ ，该方程组有解，由式(20)得

$$\delta \mathbf{T} \approx \frac{\mathbf{H}^{-1} \mathbf{F}}{G'_x(T_s)} \quad (22)$$

对于4通道TIADC，以子通道 ADC_0 为参考($\delta_{t0}=0$)，时间误差有

$$\begin{bmatrix} \delta t_1 \\ \delta t_2 \\ \delta t_3 \end{bmatrix} \approx \frac{1}{4G'_x(T_s)} \times \begin{bmatrix} 3 & 2 & 1 \\ 2 & 4 & 2 \\ 1 & 2 & 3 \end{bmatrix} \times \begin{bmatrix} \Gamma_1 \\ \Gamma_2 \\ \Gamma_3 \end{bmatrix} \quad (23)$$

2.3 时间误差补偿技术

由于时间误差 δt 通常较小,取1阶泰勒级数作为时间误差的近似值,并将式(23)中时间误差代入式(2)中,并忽略量化误差对系统的影响。由于无法得到输入信号准确的导数 $x'_m[k]$,本文用子通道数据复合后的 $y[n]$ 经过导数滤波器的求导结果 $y'[n]$ 代替准确的导数,时间误差补偿公式为

$$\hat{y}[n] \approx y[n] - \delta t_m y'[n] \quad (24)$$

其中, $\hat{y}[n]$ 为时间误差补偿后的结果。

2.4 TIADC时间误差校准系统

基于上面的分析构建数字校准整体框架如图5所示, M 通道子ADC量化后的数据 $y_0[k], y_1[k], \dots, y_{M-1}[k]$ 进入数字校准单元,分别进入 G_x 函数单元得到时间误差提取值 $\Gamma = [\Gamma_1, \Gamma_2, \dots, \Gamma_{M-1}]^T$,和数据复合单元用于求 $1/G'_x(T_s)$;二者相乘后进入 H^{-1} ,解式(14)中方程组,得到 $\delta T = [\delta t_1, \delta t_2, \dots, \delta t_{M-1}]^T$;时间误差提取是以子通道ADC $_0$ 为参考,进入补偿模块前需要对 δT 进行插0,并将时间误差与信号 $y[n]$ 中不同通道的量化数据对应,得到数据流 $\{0, \delta t_1, \dots, \delta t_{M-1}, 0, \delta t_1, \dots\}$ 送入补偿单元;补偿单元以导数滤波器求导进行1阶泰勒补偿,即完成时间误差校准。

3 校准算法的验证结果

本文以一个4通道14 bit的TIADC为例通过MATLAB Simulink建模来验证校准算法的有效性。以子通道ADC $_0$ 为参考,4个通道的误差分别为 $[0, -3\%, 2\%, 4\%]T_s$ 。

图6所示为TIADC中第1, 2, 3通道的时间误差提取结果收敛图,横坐标为系统迭代次数,纵坐标为各通道时间误差收敛值。如图6中所示,校准系统误差提取单元的收敛结果即为相对时间误差 $\delta t_m/T_s$ 。在多相时钟时,3个通道的采样时间误差提取都会收敛于与ADC $_0$ 采样时间相位的相对偏差。

图7是每个通道的误差分别为 $[0, -3\%, 2\%, 4\%]T_s$ 的条件下得到的频谱图。由于误差的存在,在各通道出现了杂散频谱,对比添加 $G'_x(T_s)$ 的修正因子 r 前后经过校准的输出频谱图。表1反映了校准前后性能参数对比,从表1中数据可以看出,校准效果明显改善。

表中SNDR表示系统输出信号的信号-噪声失真比, SFDR表示系统输出信号的无杂散动态范围, ENOB表示系统输出信号的有效位数。

测试输入信号在不同归一化输入频率下算法的校准效果,采用4通道TIADC,理想精度为14 bit,时间误差分别为 $[0, -3\%, 2\%, 4\%]T_s$,测试结果如图8所示。从图8中可以看出归一化输入频率在0~0.1区间内,添加修正因子 r 的改善效果并不明

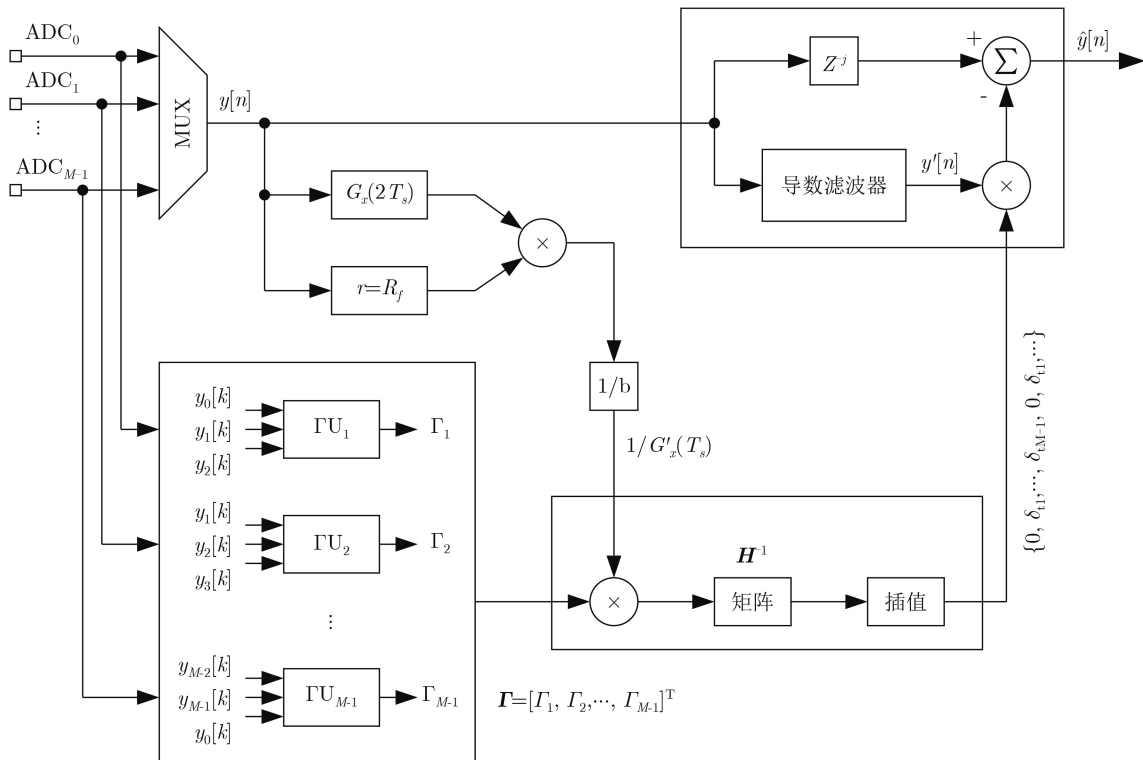


图5 前馈式时间误差校准算法整体框图

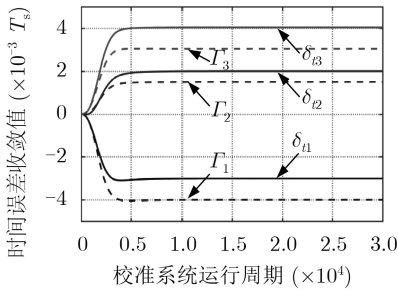


图6 误差提取收敛情况

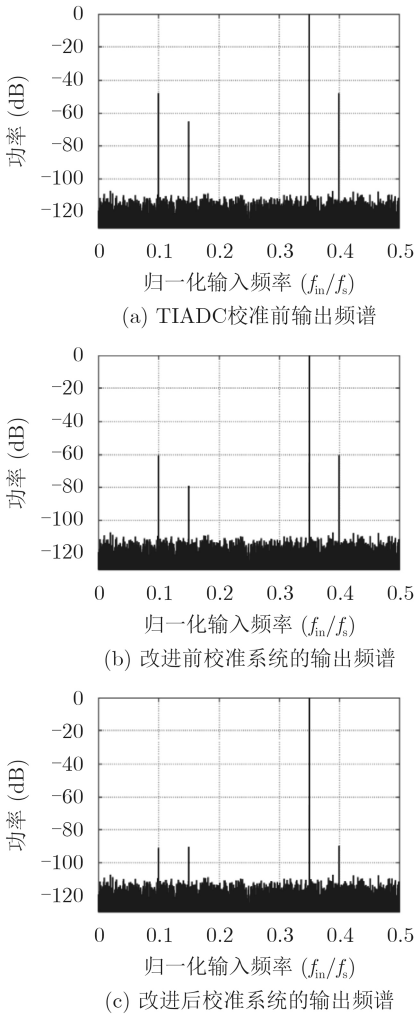


图7 归一化输入频率为0.35时，校准前后的频谱图

显；在归一化输入频率0.1~0.4区间内，改善效果显著；在0.4~0.5区间内，校准效果很差。这是由于在低频段对 $G'_x(T_s)$ 的估算比较准确，而在归一化输入频率高于0.1后，对 $G'_x(T_s)$ 的估算偏差开始增大，校准效果明显下降；添加修正因子 r 可以在一定程度上降低估算的偏差，从而提高校准效果；补偿单元在求导时采用的导数滤波器在归一化输入频率0.4以上时的幅频响应过低，这是导致归一化输入频率大于0.4时校准效果很差的原因。14 bit ADC的理想SNDR约为86 dB，从图8可以看出改进前后校准效果中的SNDR下降为76 dB处所对应的带宽由0.19提高到0.39，TIADC能获得良好性能的输入信号带宽获得明显提高。

为了分析本文的校准算法与现有的TIADC时间误差校准技术之间的关键差异，表2给出了本文和文献[12,15,18,19]中主要特征的对比。

采用多频输入的校准效果如图9，可以看出，校准前后的SFDR由-57.63 dB下降到-89.76 dB，该校准系统对多频信号的校准效果显著。

表1 归一化输入频率为0.35时，校准前后性能参数表

	SNDR (dB)	SFDR (dB)	ENOB (bit)
校准前	44.89	47.94	7.16
改进前	57.54	60.56	9.27
改进后	82.90	89.94	13.48

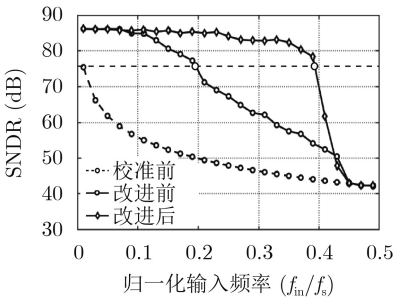


图8 不同输入频率下，改进前后SNDR对比

表2 与现有技术的对比

性能特征	ISSCC 2014 ^[12]	ISCAS 2017 ^[15]	SPAWC 2011 ^[18]	TCAD-I 2012 ^[19]	本文结果
盲校准	是	是	半盲校准	是	是
任意奈奎斯特适用	否	否	是	是	否
需要添加参考通道	否	否	否	是	否
测试输入	否	否	是	否	否
适用通道	任意	任意	2	任意	任意
前馈校准	是	否	否	否	是
收敛时间($\times T_s$)	10 k	250 k	4 k	1.5 k	5 k

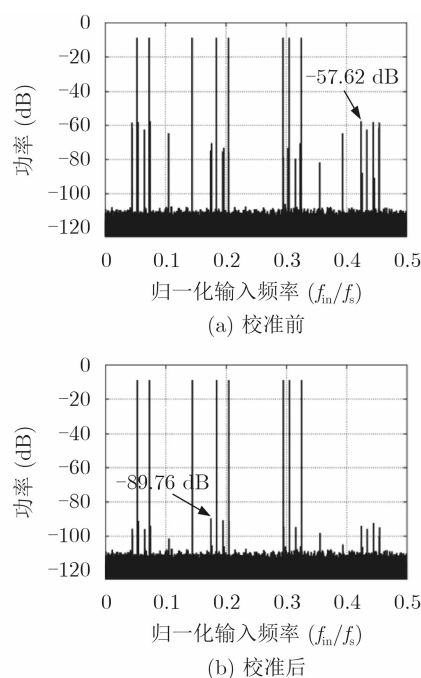


图9 多频输入下的校准结果

4 结论

本文提出了一种用于TIADC的时间偏移误差的全数字前馈式校准技术。该技术通过对误差提取函数求导时的偏差进行自适应的修正,提高了校准系统的输入信号在高频段时的校准效果,并采用了结构更简单的时间误差函数,使校准系统的硬件消耗大大降低。该校准系统对多频输入校准时,14 bit理想量化精度下可以使SFDR获得30 dB的提升。

参考文献

- [1] RAZAVI B. Design considerations for interleaved ADCs[J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(8): 1806–1817. doi: [10.1109/JSSC.2013.2258814](https://doi.org/10.1109/JSSC.2013.2258814).
- [2] BLACK W and HODGES D. Time interleaved converter arrays[C]. 1980 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, San Francisco, USA, 1980: 14–15.
- [3] EL-CHAMMAS M and MURMANN B. General analysis on the impact of phase-skew in time-interleaved ADCs[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2009, 56(5): 902–910. doi: [10.1109/TCSI.2009.2015206](https://doi.org/10.1109/TCSI.2009.2015206).
- [4] STEPANOVIC D and NIKOLIC B. A 2.8 GS/s 44.6 mW time-interleaved ADC achieving 50.9 dB SNDR and 3 dB effective resolution bandwidth of 1.5 GHz in 65 nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(4): 971–982. doi: [10.1109/JSSC.2013.2239005](https://doi.org/10.1109/JSSC.2013.2239005).
- [5] WANG Xiao, LI Fule, JIA Wen, *et al.* A 14-bit 500-MS/s time-interleaved ADC with autocorrelation-based time skew calibration[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2019, 66(3): 322–326. doi: [10.1109/TCSII.2018.2849691](https://doi.org/10.1109/TCSII.2018.2849691).
- [6] STRAAYER M, BALES J, BIRDSALL D, *et al.* 27.5 A 4 GS/s time-interleaved RF ADC in 65 nm CMOS with 4 GHz input bandwidth[C]. The 2016 IEEE International Solid-state Circuits Conference, San Francisco, USA, 2016: 464–465.
- [7] BENABES P, LELANDIS-PERRAULT C, and LE DORTZ N. Mismatch calibration methods for high-speed time-interleaved ADCs[C]. The 12th IEEE International New Circuits and Systems Conference, Trois-Rivieres, Canada, 2014: 49–52.
- [8] WANG Yongsheng, LI Shanshan, WANG Ruoyang, *et al.* LMS-FIR based digital background calibration for the four-channel time-interleaved ADC[C]. The 12th IEEE International Conference on ASIC, Guiyang, China, 2017: 391–394.
- [9] LE DUC H, NGUYEN D M, JABBOUR C, *et al.* All-digital calibration of timing skews for TIADCs using the polyphase decomposition[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2016, 63(1): 99–103. doi: [10.1109/TCSII.2015.2483423](https://doi.org/10.1109/TCSII.2015.2483423).
- [10] LIN C Y, WEI Y H, and LEE T C. A 10-bit 2.6-GS/s time-interleaved SAR ADC with a digital-mixing timing-skew calibration technique[J]. *IEEE Journal of Solid-state Circuits*, 2018, 53(5): 1508–1517. doi: [10.1109/JSSC.2018.2793535](https://doi.org/10.1109/JSSC.2018.2793535).
- [11] QIU Yongtao, ZHOU Jie, LIU Youjiang, *et al.* An adaptive blind calibration technique for frequency response mismatches in M-channel time-interleaved ADCs[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2019, 66(4): 702–706. doi: [10.1109/TCSII.2018.2871108](https://doi.org/10.1109/TCSII.2018.2871108).
- [12] LE DORTZ N, BLANC J P, SIMON T, *et al.* 22.5 A 1.62 GS/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70 dBFS[C]. The 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers, San Francisco, USA, 2014: 386–388.
- [13] LE DORTZ N, SIMON T, URARD P, *et al.* Method and device for use with analog to digital converter[P]. USA, US2014232575, 2014-11-18.
- [14] LE DUC H, NGUYEN D M, JABBOUR C, *et al.* Hardware implementation of all digital calibration for undersampling TIADCs[C]. The 2015 IEEE International Symposium on Circuits and Systems, Lisbon, Portugal, 2015: 2181–2184.
- [15] SALIB A, CARDIFF B, and FLANAGAN M F. A low-complexity correlation-based time skew estimation technique for time-interleaved SAR ADCs[C]. The 2017 IEEE International Symposium on Circuits and Systems, Baltimore, USA, 2017: 1–4.

- [16] YEN H T, VAN T, HAN L D, *et al.* Background calibration of multiple channel mismatches in time-interleaved ADCs[C]. The 3rd International Conference on Recent Advances in Signal Processing, Telecommunications & Computing, Ha Noi, Vietnam, 2019: 43–47.
- [17] WEI Hegong, ZHANG Peng, SAHOO B D, *et al.* An 8 bit 4 GS/s 120 mW CMOS ADC[J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(8): 1751–1761. doi: [10.1109/JSSC.2014.2313571](https://doi.org/10.1109/JSSC.2014.2313571).
- [18] HARRIS F, CHEN Xiaofei, VENOSA E, *et al.* Two channel TI-ADC for communication signals[C]. The 12th IEEE International Workshop on Signal Processing Advances in Wireless Communications, San Francisco, USA, 2011: 576–580.
- [19] CENTURELLI F, MONSURRO P, and TRIFILETTI A. Efficient digital background calibration of time-interleaved pipeline analog-to-digital converters[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2012, 59(7): 1373–1383. doi: [10.1109/TCSI.2011.2177003](https://doi.org/10.1109/TCSI.2011.2177003).
- 邓红辉：女，1973年生，副研究员，硕士生导师，研究方向为模拟、混合信号集成电路设计低功耗电路设计。
- 闫 辉：男，1995年生，硕士生，研究方向为集成电路设计与测试。
- 肖 瑞：女，1995年生，硕士生，研究方向为嵌入式系统综合测试。
- 陈红梅：女，1986年生，博士，讲师，研究方向为高速数模混合集成电路设计。