

星地高速数传系统低复杂度可重构LDPC编码器设计

康婧^{*①②} 安军社^① 王冰冰^{①②}

^①(中国科学院国家空间科学中心 北京 100190)

^②(中国科学院大学 北京 100049)

摘要: 为满足近地轨道(LEO)卫星星地高速数传系统对高通量、低复杂度、高可靠性信道编码的应用需求, 该文提出一种基于国际空间数据系统咨询委员会(CCSDS)近地卫星通信标准低密度奇偶校验(LDPC)码的低复杂度可重构编码器设计实现方案。通过对输入信息比特插0处理和拆分循环矩阵, 并分析不同并行度编码的结构特点, 实现了可重构编码方案, 提高了编码器的灵活性和编码数据吞吐率; 采用优化的移位寄存器累加单元, 降低了编码器的整体硬件资源规模。在Xilinx FPGA上对提出的编码器进行了实现, 结果表明, 在125 MHz系统工作时钟下, 编码数据吞吐率最高可达1 Gbps, 归一化编码数据吞吐率与其它文献并行度相近的编码器相比提高了17.1%, 其寄存器资源和查找表资源与相同平台已有方案相比分别降低了13.7%和14.8%。

关键词: 星地高速数传; 低密度奇偶校验码; 可重构; 低复杂度; FPGA

中图分类号: TN911.22

文献标识码: A

文章编号: 1009-5896(2021)12-3727-08

DOI: 10.11999/JEIT200118

Low Complexity and Reconfigurable LDPC Encoder for High-speed Satellite-to-ground Data Transmissions

KANG Jing^{①②} AN Junshe^① WANG Bingbing^{①②}

^①(National Space Science Center, Chinese Academy of Sciences, Beijing 100190, China)

^②(University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A new low complexity and reconfigurable Low Density Parity Check (LDPC) encoder design based on the Consultative Committee for Space Data Systems (CCSDS) standard is proposed to meet the high throughput, low latency and high reliability requirement for high-speed satellite-to-ground data transmission systems of Low Earth Orbit (LEO). This design is parallel reconfigurable by inserting 0 into information bits and splitting cyclic matrices, and analyzed the structural characteristics of different parallelism encoding. Benefitting from the parallel reconfiguration, the throughput is increased and the flexibility is guaranteed. Furthermore, using optimized shift register adder accumulators can reduce the hardware resources. The proposed encoder design is implemented on Xilinx FPGA. The experimental results show that the maximum encoding speed is up to 1 Gbps @125 MHz, and the normalized throughput is increased by 17.1% compared with the similar parallel encoder. And resources of registers and look-up tables are reduced by 13.7% and 14.8% respectively, compared with the existing encoder.

Key words: High-speed satellite-to-ground data transmissions; Low Density Parity Check (LDPC); Reconfigurable; Low complexity; FPGA

1 引言

空间探测任务中, 近地轨道(Low Earth Orbit, LEO)卫星因具有发射成本低、通信时延小和覆盖

范围广等优势而被广泛应用。随着空间探测任务需求愈加复杂、卫星有效载荷传感器精度不断提高, 星地链路传输数据量大大增加^[1], 如何在星上硬件资源、带宽和功率受限的情况下实现高速数据传输已成为我国目前航天器发展需要解决的核心难题。良好的信道纠错编码对于提高数传的抗干扰性、传输可靠性和传输功率受限情况下的数据传输容量十分重要, 与高阶数字调制技术相结合还可以解决带宽受限问题^[2], 因此探索一种合适的信道编码方案

收稿日期: 2020-02-21; 改回日期: 2021-06-07; 网络出版: 2021-07-12

*通信作者: 康婧 k_naive@163.com

基金项目: 中国科学院空间科学先导卫星专项(XDA15320100)

Foundation Item: The Space Science Leading Satellite Project, Chinese Academy of Sciences(XDA15320100)

对当前空间通信的发展具有重要意义。

低密度奇偶校验(Low Density Parity Check, LDPC)码由Gallager^[3]于1962年在其博士论文中提出,是一种纠错性能逼近Shannon极限的信道编码技术,具有译码复杂度低、误码平层低等优势,已广泛应用于多种通信标准,如DVB-S2, CCSDS, IEEE 802.11n等。针对航天通信应用,国际空间数据系统咨询委员会(Consultative Committee for Space Data Systems, CCSDS)制定了《131.0-B-2 遥测同步及信道编码》标准^[4],规定了近地卫星通信应用和深空通信应用的两套LDPC码字,其中近地卫星通信部分采用了码率为7/8的准循环(8176, 7154) LDPC码。

CCSDS标准规定的(8176, 7154)LDPC码是一种准循环LDPC(Quasi-Cyclic, QC-LDPC)码,可利用循环移位寄存器实现线性复杂度的编码^[5,6]。文献^[7]实现了满足航天应用需求的串行编码电路,其实现复杂度低,但所需编码时钟周期数和信息比特位数成正比,码长较长时编码数据吞吐率不能满足高速数传需求。文献^[8]提出了一种高效低功耗低并行度的编码方案,文献^[9-12]实现了并行度更高的编码器。并行编码电路可以满足高编码数据吞吐率要求,但其硬件资源消耗大,功耗高。文献^[13-15]提出了可重构设计思想,以改善系统性能。本文面向LEO卫星星地高速数传系统,针对CCSDS近地卫星通信标准提出了一种低复杂度可重构LDPC编码器设计方案,并进行了硬件实现验证。

2 LDPC编码算法

2.1 CCSDS标准LDPC编码算法

LDPC 码的编码算法可以分为两类:基于生成矩阵的编码算法和基于校验矩阵的编码算法^[16]。基于生成矩阵的编码算法直接将生成矩阵与信息比特进行矩阵运算,这种编码算法简单且易于实现,但编码复杂度高,正比于码长的平方。而CCSDS近地卫星通信标准采用的是码率为7/8的(8176, 7154)LDPC码,该码是一种QC-LDPC码,可以利用移位寄存器实现线性复杂度的编码,其生成矩阵 G 是大小为7154×8176的矩阵

$$G = [I|B] = \left[\begin{array}{cccc|cc} I & 0 & \cdots & 0 & B_{1,1} & B_{1,2} \\ 0 & I & \cdots & 0 & B_{2,1} & B_{2,2} \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots \\ 0 & 0 & \cdots & I & B_{14,1} & B_{14,2} \end{array} \right] \quad (1)$$

如式(1)所示,生成矩阵 G 是系统的准循环结构,由 14×16 个 511×511 阶循环矩阵组成,其中 I 为单位矩阵, 0 为零矩阵, $B_{i,j}(i=1,2,\dots,14;j=1,2)$ 为循环矩阵。令 $b_{i,j}$ 为循环矩阵 $B_{i,j}$ 的首行行向量,

则 $B_{i,j}$ 可通过 $b_{i,j}$ 循环移位得到,因此在硬件实现时,只需存储28个循环矩阵首行即可,简化了存储结构。

基于生成矩阵的编码算法为

$$V = u \times G = u \times [I|B] = [u|u \times B] = [u \quad C] \quad (2)$$

其中, $u = [u_1 \ u_2 \ \cdots \ u_{7154}]$ 为输入的信息比特, $C = [c_1 \ c_2 \ \cdots \ c_{1022}]$ 为计算出的校验信息比特, V 为编码生成的码字。

2.2 并行编码算法

为缩短编码周期,提高编码数据吞吐率,在CCSDS标准LDPC编码算法基础上,通过对输入信息比特进行插0处理和拆分循环矩阵,可以实现并行编码算法。具体步骤如下:

(1)以循环矩阵 $B_{i,j}$ 的阶数511为一段,将输入信息比特 u 分割为14个长度为511 bit的子向量

$$A_i = [u_{(i-1) \times 511 + 1} \ u_{(i-1) \times 511 + 2} \ \cdots \ u_{i \times 511}] \quad (i = 1, 2, \dots, 14) \quad (3)$$

(2)为实现偶数位信息比特并行编码,对 A_i 进行插0处理,扩展为长度为512 bit的向量

$$E_i = [e_{i,1} \ e_{i,2} \ \cdots \ e_{i,512}] = [A_i \ 0] \\ = [u_{(i-1) \times 511 + 1} \ u_{(i-1) \times 511 + 2} \ \cdots \ u_{i \times 511} \ 0] \quad (i = 1, 2, \dots, 14) \quad (4)$$

(3)根据编码并行度 M ,即并行编码的信息比特数,将 E_i 分割为 M 个长度为 $N = 512/M$ bit的子向量

$$K_i^c = [k_{i,1}^c \ k_{i,2}^c \ \cdots \ k_{i,N}^c] \\ = [e_{i,c} \ e_{i,c+M} \ \cdots \ e_{i,c+(N-1) \times M}] \quad (i = 1, 2, \dots, 14; c = 1, 2, \dots, M) \quad (5)$$

同时将循环矩阵 $B_{i,j}$ 分割为 M 个子循环矩阵 $B_{i,j}^c$,令 $b_{i,j}$ 循环右移1位得到的向量为 $b_{i,j}^1$,且 $b_{i,j}^0 = b_{i,j}^{511} = b_{i,j}$,则每个子循环矩阵 $B_{i,j}^c$ 首行行向量为 $b_{i,j}^{c-1}$,其它行由 $b_{i,j}^{c-1}$ 循环右移 M 位得到。

(4)利用式(6)计算得到校验比特向量 C_j

$$C_j = \sum_i S_{i,j} = \sum_i \sum_c S_{i,j}^c = \sum_i \sum_c K_i^c B_{i,j}^c \quad (i = 1, 2, \dots, 14; c = 1, 2, \dots, M; j = 1, 2) \quad (6)$$

其中, $C_j = [c_{(j-1)+1} \ c_{(j-1)+2} \ \cdots \ c_{511j}]$ 表示511位的校验比特, $S_{i,j}^c$ 和 $S_{i,j}$ 为中间计算结果。

(5)将信息比特和校验比特相结合得到系统形式的码字 $V = [u \quad C] = [u \quad C_1 \quad C_2]$ 。

3 低复杂度可重构LDPC编码器

3.1 整体结构

在对资源、编码数据吞吐率要求苛刻的星地数

传系统中，应根据实际应用需求选择合适的编码并行度 M ，并行度过高，会占用大量硬件资源，并行度太低，则不能满足编码数据吞吐率要求，大多数文献中的编码器仅支持单一的编码并行度，灵活性较差。另一方面，当今飞行器和地面系统通常只能处理32 bit倍数结构的数据，(8176, 7154)码并不满足这个条件，为在实际空间通信系统中获得应用，需将(8176, 7154)码缩短和调整为(8160, 7136)码并在编码时进行添加32 bit帧头、加扰等操作^[4]。针对上述需求，设计了如图1所示的低复杂度可重构LDPC编码器。包括控制模块、数据处理模块、并行编码模块和输出处理模块。

控制模块是编码器的核心模块，主要由状态机和控制信号组成，其作用是根据用户设置参数动态重构编码器，为数据处理模块、并行编码模块和输出处理模块提供状态参数和时序控制逻辑，协调各模块有序工作。图2所示为低复杂度可重构LDPC编码器工作流程图。数据处理模块按照指令对 $b_{i,j}$ 进行读取，并对其进行移位操作得到并行编码所需的 $2M$ 个子循环矩阵 $B_{i,j}^c$ 首行行向量 $b_{i,j}^{c-1}$ ，同时对输入信息比特进行插0处理输出至并行编码模块；并行编码模块在控制信号控制下加载子循环矩阵 $B_{i,j}^c$ 首行行向量 $b_{i,j}^{c-1}$ ，并根据当前信息比特的取值完成校验比特的计算；当一帧数据的所有信息比特输入完毕时，校验比特计算结束，输出处理模块对编码码字进行添加32 bit帧头、加扰操作，根据编

码器当前工作状态并行输出加扰后的信息比特和校验比特，并置输出数据有效。

3.2 低复杂度设计

由式(6)知，当第 i 组信息比特向量 $K_i^1, K_i^2, \dots, K_i^M$ 进入编码器时，在 $d(d = 1, 2, \dots, N)$ 时刻， $k_{i,d}^1, k_{i,d}^2, \dots, k_{i,d}^M$ 同时参与累加运算得到式(7)所示累加和 $S_{i,j}(d)$ 并存储于寄存器中，其中 $k_{i,d}^c$ 为 K_i^c 第 d 个元素。

$$\begin{aligned} S_{i,j}(d) &= S_{i,j}^1(d) + S_{i,j}^2(d) + \dots + S_{i,j}^M(d) \\ &= k_{i,d}^1 B_{i,j}^1(d, :) + k_{i,d}^2 B_{i,j}^2(d, :) + \dots \\ &\quad + k_{i,d}^M B_{i,j}^M(d, :) \end{aligned} \quad (7)$$

在 $d + 1$ 时刻，由式(7)得到累加和 $S_{i,j}(d + 1)$ 并累加到 $S_{i,j}(d)$ ，重复上述过程， N 个时钟后，即可累加计算得到 $S_{i,j}$ 。每个信息比特向量组编码过程相同，经过 $14 \times N$ 个时钟，累加 $S_{i,j}$ 便可得到校验比特向量 C_j 。

针对上述编码过程，可采用如图3所示移位寄存器累加单元(Shift Register Adder Accumulator, SRAA)^[7]完成校验比特计算。该单元包括：一个位宽511 bit用于存储异或运算结果的寄存器，一个位宽511 bit用于产生和存储循环子矩阵行向量 $B_{i,j}^c(d, :)$ 的循环移位寄存器，511个用于计算信息比特 $k_{i,d}^c$ 与 $B_{i,j}^c(d, :)$ 乘积的二输入与门和511个用于累加与门计算结果的二输入异或门。

由于信息比特在二元域取值，当输入信息比特为0时，经过与门运算的结果为0，与寄存器中的值

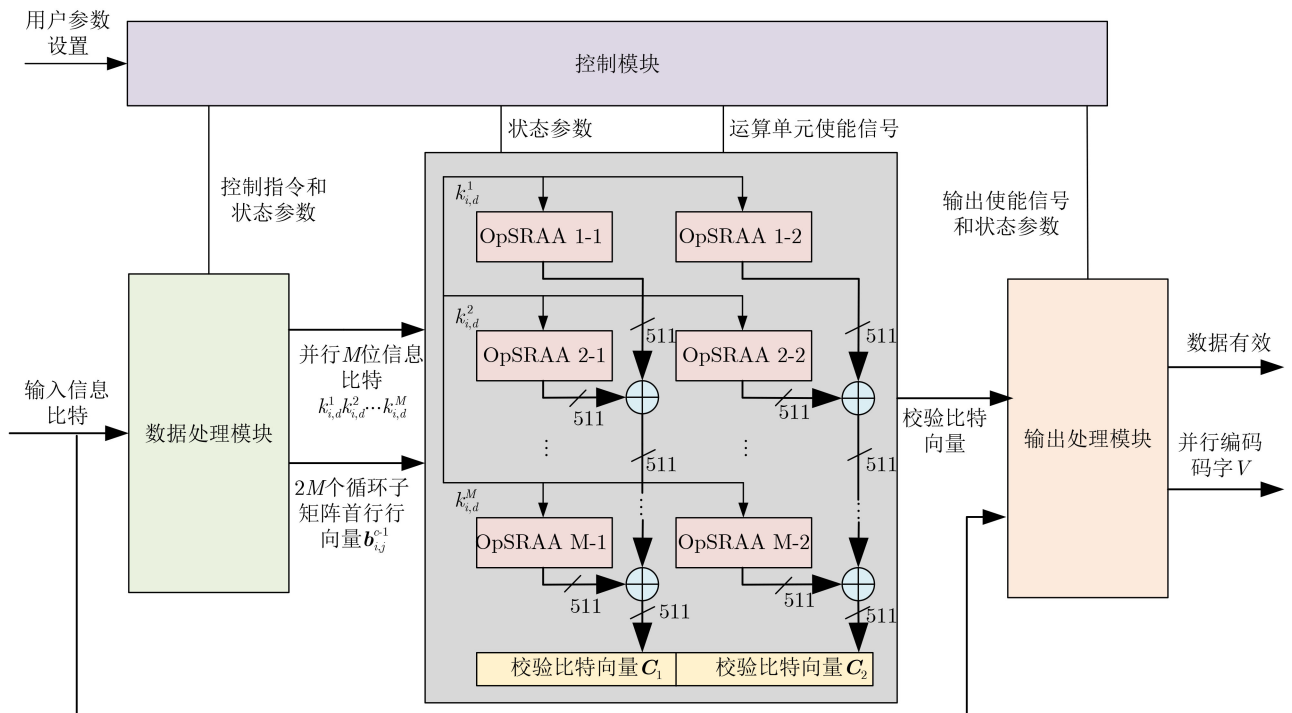


图1 低复杂度可重构LDPC编码器

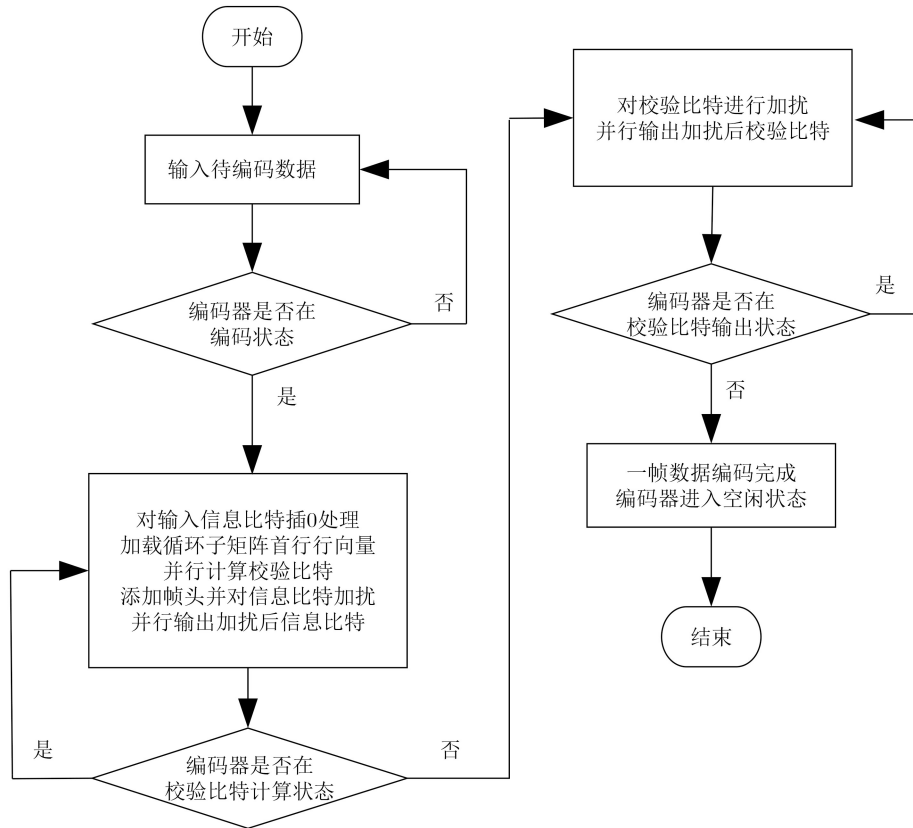


图2 低复杂度可重构LDPC编码器工作流程

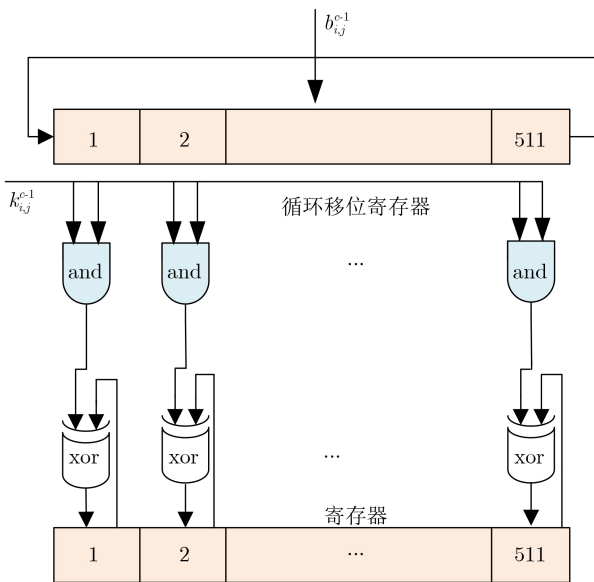


图3 SRAA单元

进行异或时，不会改变寄存器中的值，因此可将SRAA进行优化，只在输入信息比特为1时，将循环移位寄存器中的值和寄存器中的值进行异或并存储于寄存器中。图4为优化的移位寄存器累加单元 (Optimized Shift Register Adder Accumulator, OpSRAA)，该单元包括：一个位宽511 bit用于存储异或运算结果的寄存器，一个位宽511 bit用于产

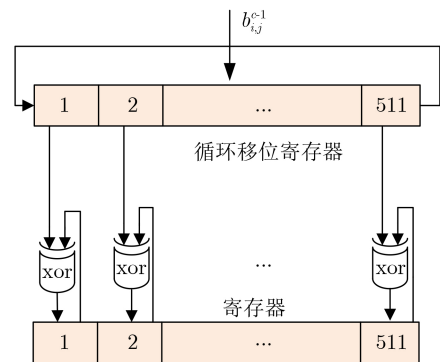


图4 OpSRAA单元

生和存储循环子矩阵行向量 $\mathbf{B}_{i,j}^c(d,:)$ 的循环移位寄存器以及511个用于累加运算的二输入异或门。

编码初始化时，将 $\mathbf{b}_{i,j}^{c-1}$ 加载到循环移位寄存器，寄存器置零，之后每个时钟循环移位寄存器循环右移 M 位。根据控制模块编码运算使能信号，只在输入信息比特 $k_{i,d}^c$ 为1时，将循环移位寄存器中的值 $\mathbf{B}_{i,j}^c(d,:)$ 与寄存器中的值进行异或并存储于寄存器。

SRAA单元和OpSRAA单元所需硬件资源对比如表1所示。

由以上分析知，利用 $2M$ 个OpSRAA单元，经过 $14 \times N$ 个时钟周期即可计算得到 \mathbf{C} ，可节省 $2 \times 511 \times M$ 个二输入与门，降低了硬件实现复杂

度。而且本文设计的OpSRAA对于具有准循环结构的编码具有普适性，实际应用时，只需要根据生成矩阵循环矩阵阶数改变寄存器的宽度和二输入异或门的个数。

3.3 并行度可重构设计

可重构硬件设计思想是复用硬件电路中的主要资源，在增加少量控制硬件的情况下增加系统的功能或改善系统的性能^[15]。本文将可重构设计思想应用于LDPC编码器来改善系统性能。

为设计可重构并行度编码器，首先需要分析不同并行度编码器的异同点，提取可被重用的单元，然后通过控制指令，改变重用单元的内部结构和相互之间的连接关系，以适应不同的应用需求。由并行编码算法知，对于不同编码并行度 M ，编码运算过程相同，可以共用OpSRAA基本编码运算单元。区别在于 M 取值不同时，子循环矩阵 $\mathbf{B}_{i,j}^c$ 不同，即编码初始化时需要加载的首行行向量 $\mathbf{b}_{i,j}^{c-1}$ 不同，而且不同编码并行度所需的OpSRAA基本编码运算单元个数不同。本文支持2, 4, 8共3种编码并行度，如果对所有编码并行度所需的 $\mathbf{b}_{i,j}^{c-1}$ 进行存储，则需要存储 $28 \times (2 + 4 + 8)$ 个向量，由于矩阵的循环特性， $\mathbf{b}_{i,j}^{c-1}$ 均可由 $\mathbf{b}_{i,j}$ 循环移位得到，为节省硬件资源，只对28个 $\mathbf{b}_{i,j}$ 进行存储，编码时根据控制指令从相应地址读取 $\mathbf{b}_{i,j}$ ，然后对其进行移位生成并行编码所需的 $2M$ 个 $\mathbf{b}_{i,j}^{c-1}$ 。为兼容所有编码并行度，本文采取最大化备份编码策略，利用 $2M_{\max}$ ($M_{\max} = 8$)个OpSRAA单元完成编码基本运算，编码时由控制模块根据编码并行度置相应的 $2M$ 个OpSRAA单元有效，完成编码运算得到校验比特。

综上所述，在控制模块的控制下，采用可重构

思想设计的编码器可以有效保证编码器动态自适应调整以适用于不同近地卫星通信系统对编码指标、性能的不同要求，使得所设计的编码器具有灵活性与通用性，而且可以取得编码数据吞吐率和资源消耗之间的良好折中。

4 实现结果与分析

4.1 编码器硬件实现分析

对本文提出的低复杂度可重构LDPC编码器，在Xilinx XC4VLX80-12ff1148型号FPGA上进行了实现，开发环境为ISE14.7，与其它文献编码器对比结果如表2所示。

文献[8]通过插0处理和改变矩阵结构实现了2路并行编码。文献[11]利用矩阵转换的概念，即只要循环矩阵的阶数可以分解为两个互质的数，那么可按照一定规则将其转换为维度更小的块循环矩阵，由于 $511 = 7 \times 73$ ，因此文献[11]将 511×511 的循环矩阵转换为 73×73 的块循环矩阵实现了7路并行编码。文献[12]中800 Mbps数传吞吐率需求以及Spacewire接口和组帧模块的设计要求编码在886个时钟周期完成，因此设计了98路高并行度编码。上述文献只支持单一编码并行度，而本文提出的编码器通过插0处理和拆分循环矩阵支持2, 4和8共3种编码并行度，具有可重构性，其中控制模块有效保证了编码器的动态自适应调整，提高了编码器的灵活性与通用性。

从表2可以看出，由于采用OpSRAA单元完成基本编码运算，本文提出的编码器寄存器资源、查找表资源与文献[8]采用SRAA单元的编码器相比分别节约了13.7%和14.8%，具有低实现复杂度。文献[11]根据转换的块循环矩阵结构和向量乘法运算规则，利用2个并行移位寄存器累加单元(Parallel Shift Register Adder Accumulator, PSRAA)实现编码，且由于编码并行度7是CCSDS标准循环矩阵阶数511的约数，可以将信息比特序列直接分割，节省了插0处理需要的硬件逻辑，而本文为兼容多

表1 SRAA和OpSRAA资源对比

	寄存器	二输入异或门	二输入与门
SRAA	511×2	511	511
OpSRAA	511×2	511	0

表2 不同文献编码器对比

	文献[8]	文献[11]	文献[12]	本文
FPGA型号	xc4vlx80-12ff1148	xc6vlx240t-1ff1156	xc7k325-2tffg900	xc4vlx80-12ff1148
编码并行度	2	7	98	2, 4, 8
Slices Registers	14326	4539	45933	12357
Slices LUT's	25572	6741	65035	21791
IOBs	11	12	37	19
GCLKs	1		1	1
Block RAM/FIFO(kbit)	-	360	2592	4

种编码并行度，采用了最大化备份编码策略，因此总体寄存器资源和查找表资源消耗比文献[11]多。但文献[11]设计的PSRAA需消耗 2×73 个7比特寄存器、 7×511 个2输入与门、 7×511 个2输入异或门和146个矩阵向量乘法运算单元，具有针对性，而本文设计的OpSRAA单元只需要2个511 bit寄存器和511个二输入异或门，相较于PSRAA具有低复杂度，且对于具有准循环结构的编码具有普适性，实际应用时，只需要根据循环矩阵阶数改变寄存器的宽度和异或门的个数。文献[12]的编码器是针对OFDM链路而设计，除包括核心编码模块还包括输入输出组帧模块、数据缓存等模块，因此硬件资源占用较多。

4.2 编码器性能分析

编码数据吞吐率是衡量编码器性能的一个重要指标。对于航天应用编码器，考虑其可靠性和功耗约束，将系统时钟约束为125 MHz，借助Timing Analyzer工具，对本文编码器进行时序分析，并按式(8)计算编码数据吞吐率

$$T = \frac{n \times f_{\text{clk}}}{t_d + t_{\text{cycle}}} \quad (8)$$

其中， n 为编码数据帧长度，其值为8192； f_{clk} 为时序分析得出的最大时钟频率，其值为129.9 MHz； t_d 为系统可重构时间，经测试该值为8个时钟周期； t_{cycle} 为编码所需时钟周期数。本文提出的编码器的数据吞吐率如表3所示。

表3 本文编码器吞吐率

编码并行度 M	t_{cycle}	$T(\text{Mbps})$	编码延时(ms)
2	4096	259.29	31.59
4	2048	517.58	15.83
8	1024	1031.14	7.94

注：编码延时= n/T ，为待编码数据进入编码器到编码完成所需时间。

为进一步验证本文编码器的可行性及有效性，搭建如图5(a)所示硬件平台对该编码器进行实际测试并利用高速数据接收终端对其进行状态参数监控。测试时，设置编码调制FPGA系统时钟为125 MHz，LDPC编码器并行度为8，数字调制方式为QPSK，测试结果如图5(b)所示。

图5(b)中“①”指示硬件健康状态，显示当前编码调制通道的网络连接、外设驱动、FPGA温度、硬件电压等状态，绿色表示正常的硬件状态，蓝色表示正常的网络连接。“②”指示编码调制通道固件及基本性能，包括编码调制通道、FPGA固件版本以及支持的中频和调制符号速率范围。“③”指示编码调制流程图，绿色表示该模块正常工作，灰色表示该模块被旁路，从图中可看到数据源经LDPC编码和QPSK调制后输出。“④”显示I、Q调制基带波形的时域图，便于用户观察调制数据。“⑤”为编码调制状态参数显示，包括编码开关、卷积开关、调制开关、中频、噪声、码率、功率等信息，从图中可看到实测编码数据吞吐率为1 Gbps。

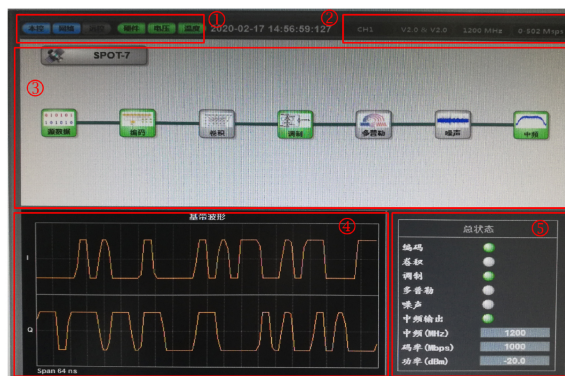
系统时钟直接影响编码数据吞吐率的大小，而系统时钟会受到硬件平台影响，因此本文对系统时钟进行归一化处理，比较归一化编码数据吞吐率。本文与其它编码器归一化编码数据吞吐率比较如表4所示。

由表4可以看出，与文献[11]设计的7路并行编码器相比，本文归一化编码数据吞吐率提高了17.1%，文献[12]采用98路并行编码达到了和本文相同的归一化编码数据吞吐率。由此可见，本文设计的编码器更高效。

综上分析，本文提出的低复杂度可重构LDPC编码器，降低了硬件资源规模，提高了编码数据吞吐率，实现了硬件资源和编码数据吞吐率之间的动态平衡，而且能够兼容3种编码并行度，提高了编码器的灵活性，可以满足不同卫星通信系统的要求。



(a) 测试场景



(b) 测试结果

图5 测试场景与测试结果

表 4 不同文献归一化编码器吞吐率对比

	文献[8]	文献[11]	文献[12]	本文
系统时钟(MHz)	193	150	100	125
编码并行度 M	2	7	98	8
T (Mbps)	386	1025	800	1000
T/f_{clk}	2.00	6.83	8.00	8.00

5 结束语

本文面向LEO卫星星地高速数传系统对高通量、低复杂度、高可靠性信道编码的应用需求,提出了一种低复杂度可重构LDPC编码器。通过对输入信息比特插0处理、拆分循环矩阵并动态重构编码电路,实现了并行度可重构编码,提高了编码器的灵活性与编码数据吞吐率;采用OpSRAA结构显著降低了编码器硬件资源。FPGA实现结果表明,本文设计的编码器,在系统时钟为125 MHz时,采用8路并行编码最高编码数据吞吐率可达1 Gbps,归一化编码数据吞吐率与并行度相近的编码器相比提高了17.1%,且寄存器资源和查找表资源与相同平台已有方案相比分别降低了13.7%和14.8%。综上,本文设计的编码器在对资源、功耗、编码数据吞吐率要求苛刻的LEO卫星星地高速数传系统中具有较高应用价值。

参 考 文 献

- [1] 李炯卉. 基于可变编码多载波调制技术的星地高速数传系统研究[D]. [博士学位论文], 中国科学院大学(中国科学院国家空间科学中心), 2018.
LI Jionghui. Satellite-ground high-rate data transmission system based on variable coding multi-carrier modulation[D]. [Ph.D. dissertation], University of Chinese Academy of Sciences (National Space Science Center, the Chinese Academy of Sciences), 2018.
- [2] 张浩, 殷柳国. 星地高速数传系统LDPC编码器ASIC集成芯片设计[J]. 宇航学报, 2015, 36(1): 96–102. doi: 10.3873/j.issn.1000-1328.2015.01.013.
ZHANG Hao and YIN Liuguo. ASIC design of an LDPC encoder for satellite-ground high-speed data transmission system[J]. *Journal of Astronautics*, 2015, 36(1): 96–102. doi: 10.3873/j.issn.1000-1328.2015.01.013.
- [3] GALLAGER R. Low-density parity-check codes[J]. *IRE Transactions on Information Theory*, 1962, 8(1): 21–28. doi: 10.1109/TIT.1962.1057683.
- [4] CCSDS. CCSDS 131.0-B-2-TM Synchronization and channel coding[S]. Washington: CCSDS, 2011.
- [5] WU Hao and WANG Huayong. A high throughput implementation of QC-LDPC codes for 5G NR[J]. *IEEE Access*, 2019, 7: 185373–185384. doi: 10.1109/ACCESS.2019.2960839.
- [6] MAHDI A and PALIOURAS V. A low complexity-high throughput QC-LDPC encoder[J]. *IEEE Transactions on Signal Processing*, 2014, 62(10): 2696–2708. doi: 10.1109/tsp.2014.2314435.
- [7] 马明晓, 安军社. 欧氏几何LDPC长码的卫星通信编码方案研究[J]. 计算机测量与控制, 2014, 22(3): 813–815, 829. doi: 10.16526/j.cnki.11-4762/tp.2014.03.051.
MA Mingxiao and AN Junshe. Research on long Euclidean geometry-based LDPC coding scheme for satellite communications[J]. *Computer measurement & Control*, 2014, 22(3): 813–815, 829. doi: 10.16526/j.cnki.11-4762/tp.2014.03.051.
- [8] 燕威, 薛长斌. 高效低功耗低并行度LDPC编码方法[J]. 电子与信息学报, 2016, 38(9): 2268–2273. doi: 10.11999/JEIT151362.
YAN Wei and XUE Changbin. An efficient LDPC encoder scheme with low-power low-parallel[J]. *Journal of Electronics & Information Technology*, 2016, 38(9): 2268–2273. doi: 10.11999/JEIT151362.
- [9] WANG Zhaohui, HAO Xin, LIN Changxing, et al. An efficient hardware LDPC encoder based on partial parallel structure for CCSDS[C]. The IEEE 18th International Conference on Communication Technology, Chongqing, China, 2018: 136–139.
- [10] 叶荣润, 黄聪, 俞帆. 高速并行LDPC编码的FPGA实现[J]. 无线电工程, 2012, 42(3): 25–26, 37. doi: 10.3969/j.issn.1003-3106.2012.03.008.
YE Rongrun, HUANG Cong, and YU Fan. FPGA implementation of high-speed parallel LDPC encoding[J]. *Radio Engineering*, 2012, 42(3): 25–26, 37. doi: 10.3969/j.issn.1003-3106.2012.03.008.
- [11] 曹明星. 卫星通信中LDPC码高速编译码器实现技术研究[D]. [硕士学位论文], 西安电子科技大学, 2018.
CAO Mingxing. Implementation of high-speed codec for LDPC codes in satellite communication[D]. [Master dissertation], Xidian University, 2018.
- [12] 王干. 800 Mbps吞吐率LDPC码并行编译码器关键技术与验证[D]. [硕士学位论文], 电子科技大学, 2017.
WANG Gan. Key technology and verification of 800Mbps throughput parallel coding and decoding for LDPC code[D]. [Master dissertation], University of Electronic Science and Technology of China, 2017.
- [13] 栾志斌, 裴玉奎, 葛宁. 低存储高速可重构LDPC码译码器设计及ASIC实现[J]. 电子与信息学报, 2014, 36(10): 2287–2292. doi: 10.3724/SP.J.1146.2013.01939.
LUAN Zhibin, PEI Yukui, and GE Ning. Design and ASIC implementation of low memory high throughput reconfigurable LDPC decoder[J]. *Journal of Electronics & Information Technology*, 2014, 36(10): 2287–2292. doi: 10.3724/SP.J.1146.2013.01939.

3724/SP.J.1146.2013.01939.

- [14] 魏星, 黄志洪, 杨海钢. 高吞吐率双模浮点可重构FFT处理器设计实现[J]. 电子与信息学报, 2018, 40(12): 3042-3050. doi: [10.11999/JEIT180170](https://doi.org/10.11999/JEIT180170).

WEI Xing, HUANG Zhihong, and YANG Haigang. High throughput dual-mode reconfigurable floating-point FFT processor[J]. *Journal of Electronics & Information Technology*, 2018, 40(12): 3042-3050. doi: [10.11999/JEIT180170](https://doi.org/10.11999/JEIT180170).

- [15] 王刚, 李冰, 刘勇, 等. 一种可重构LDPC编码器的设计与实现[J]. 微计算机信息, 2010, 26(12-2): 168-170. doi: [10.3969/j.issn.2095-6835.2010.35.067](https://doi.org/10.3969/j.issn.2095-6835.2010.35.067).

WANG Gang, LI Bing, LIU Yong, *et al.* Design and implementation of a reconfigurable LDPC encoder[J].

Microcomputer Information, 2010, 26(12-2): 168-170. doi: [10.3969/j.issn.2095-6835.2010.35.067](https://doi.org/10.3969/j.issn.2095-6835.2010.35.067).

- [16] 袁东风, 张海刚. LDPC码理论与应用[M]. 北京: 人民邮电出版社, 2008: 37-40.

YUAN Dongfeng and ZHANG Haigang. LDPC Code Theory and Applications[M]. Beijing: Post & Telecom Press, 2008: 37-40.

康 婧: 女, 1993年生, 博士生, 研究方向为数字通信、信道编译码技术及大规模集成电路设计.

安军社: 男, 1969年生, 研究员, 研究方向为空间综合电子技术.

王冰冰: 男, 1996年生, 硕士生, 研究方向为信道编译码技术.

责任编辑: 马秀强