

基于施密特触发的高鲁棒性亚阈值标准单元

张跃军^{①②} 韩金亮^② 张会红^{*②}

^①(复旦大学专用集成电路与系统国家重点实验室 上海 201210)

^②(宁波大学信息科学与工程学院 宁波 315211)

摘要: 亚阈值电路是低功耗重要发展方向之一。随着电源电压降低, 晶圆代工厂提供的标准单元电路性能容易受噪声和工艺偏差的影响, 已经成为制约亚阈值芯片的瓶颈。该文提出一种基于施密特触发(ST)与反向窄宽度效应(INWE)的亚阈值标准单元设计方案。该方案首先利用ST的迟滞效应与反馈机制, 在电路堆叠结点处添加施密特反馈管以优化逻辑门、减少漏电流、增强鲁棒性; 然后, 采用INWE最小宽度尺寸与分指版图设计方法, 提高电路的开关阈值与MOS管的驱动电流; 最后, 在TSMC 65 nm工艺下构建标准单元的物理库、逻辑库和时序库, 完成测试验证。实验结果表明, 所设计的亚阈值标准单元与文献相比, 功耗降低7.2%~15.6%, 噪声容限提升11.5%~15.3%, ISCAS测试电路的平均功耗降低15.8%。

关键词: 标准单元; 低功耗; 亚阈值; 施密特触发特性

中图分类号: TN492

文献标识码: A

文章编号: 1009-5896(2021)06-1550-09

DOI: 10.11999/JEIT210001

High-Robust Sub-threshold Standard Cells Using Schmitt Trigger

ZHANG Yuejun^{①②} HAN Jinliang^② ZHANG Huihong^②

^①(State Key Laboratory of Application Specific Integrated Circuits and Systems, Shanghai 201210, China)

^②(Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China)

Abstract: Sub-threshold circuit is an important development direction of low power consumption. With the reduction of power supply voltage, the performance of standard cell circuits provided by foundries is susceptible to noise and process deviations, which has become a bottleneck restricting sub-threshold chips. The high-robust sub-threshold standard cells are proposed in this work. The Schmitt Trigger (ST) and Inverse Narrow Width Effect (INWE) are used to improve the performance, leakage, robust of the logic gates. Then, the INWE minimum width size and finger layout methods are used to increase the switching threshold of the circuit and the drive current of transistor. Finally, the standard cell library is designed and verified with TSMC 65 nm process. The experimental results show that the power of designed standard cells is reduced about 7.2%~15.6%, the noise margin is improved about 11.5%~15.3%, and the average power of ISCAS test circuit is reduced about 15.8%.

Key words: Standard cell; Low power; Sub-threshold; Schmitt Trigger (ST)

1 引言

生物医疗、射频识别、无线传感网络与环境监

测等应用领域通常对芯片的功耗具有苛刻的要求。芯片功耗包括动态功耗和静态功耗。纳米级工艺下, 芯片静态功耗占主导地位, 其与电源电压呈指数关系。当电源电压降至亚阈值区, 功耗能够降低2~3个数量级, 降低电源电压被认为是目前降低芯片功耗最直接且最有效的方法^[1,2]。但是标准数字逻辑电路无法在亚阈值电压下正常工作。当电源电压下降到阈值电压附近, 电路延时和漏电流急剧增加, 电压传输特性(Voltage Transfer Characteristics, VTC)恶化, 晶体管驱动能力失配, 导致电路稳定性降低且对工艺偏差非常敏感^[3-5]。此外, 电源电压的降低可以减少翻转功耗, 但会使晶体管在相对较长的时间内处于半导通状态, 从而增大泄漏

收稿日期: 2021-01-04; 改回日期: 2021-04-17; 网络出版: 2021-04-30

*通信作者: 张会红 zhanghuihong@nbu.edu.cn

基金项目: 国家自然科学基金(61871244, 61874078), 专用集成电路与系统国家重点实验室开放研究课题基(2019KF002), 宁波市公益性计划项目(202002N3134), 宁波市自然科学基金(202003N4107)
Foundation Items: The National Natural Science Foundation of China (61871244, 61874078), The Open Research Project Fund of the State Key Laboratory of AISC and Systems (2019KF002), The S&T Plan of Ningbo Science and Technology Department (202002N3134), The Ningbo Natural Science Foundation (202003N4107)

功耗^[6]。在亚阈值区,受反向短沟道效应(Reverse Short Channel Effect, RSCE)和反向窄宽度效应(Inverse Narrow Width Effect, INWE)的影响,晶体管的阈值电压随着晶体管的沟道尺寸而改变^[7]。RSCE和INWE效应对亚阈值电路性能影响的好坏与器件尺寸紧密相关,表现为电路面积、延时和功耗的优化或恶化^[8]。如何有效地利用RSCE和INWE效应,改善亚阈值电路性能,已经成为当前研究的热点之一。

在亚阈值数字标准单元库设计及系统设计方面,研究者已经开展相关研究工作。文献^[9]提出采用MOS管堆叠的扩展传输门标准单元电路结构,利用堆叠效应减少漏电流。在90 nm工艺下仿真验证,与传统布尔逻辑电路相比,其漏电流与信号损失得到显著改善。Lotze等人^[10]在固态电路(Journal of Solid-State Circuits, JSSC)上发表的施密特型亚阈值标准单元电路设计技术,该标准单元电路利用施密特触发(Schmitt Trigger, ST)原理改进逻辑门电路结构,结合RSCE效应对晶体管尺寸进行调整和优化,达到减少泄漏电流、提升抗噪声能力、加强鲁棒性的目的。Sharma等人^[11]提出晶体管的最大电流电容比(Current to Capacitance Ratio, CCR),优化晶体管尺寸,给出CCR最大时的晶体管最佳沟道长度解析表达式。文献^[12]提出可调节的P/N比来优化电路版图,该方法允许每个单元单独调整P/N比,填补标准单元版图槽口,提高版图面积利用率。虽然该版图设计技术可以有效降低标准单元的功耗,但P阱和N阱边界不规则可能导致芯片良率的降低。

鉴此,通过对已有技术和亚阈值电路特性的研究,本文提出一种高鲁棒性标准单元设计方法。该方法利用施密特触发的迟滞效应改进标准单元电路结构;然后,采用INWE的最小宽度尺寸调节策略

与分指版图设计方法加强MOS管的驱动电流并提升电路工作速度;最后,在TSMC 65 nm CMOS工艺下,对所提的标准单元电路进行特征化、提取时序与物理参数,实现亚阈值标准单元库并完成ISCAS测试验证。

2 施密特触发逻辑

2.1 施密特触发逻辑基本原理

亚阈值电流 I_{sub} 计算公式如式(1)所示^[13], W 和 L 分别为MOS管的有效沟道宽度和长度, V_{TH} 为晶体管阈值电压, m 为体效应系数, $V_{\text{T}}=kT/q$ 为热电参数, I_0 为方块漏极电流, e 为自然常数, V_{GS} 为栅源电压, V_{DS} 为漏源电压。从表达式可知,亚阈值电流与电源电压呈指数关系,随着电源电压的降低,亚阈值电流呈指数级增加。在亚阈值区,栅极电压和漏-衬底电压较小,因此栅泄漏电流和反偏结的泄漏电流与亚阈值漏电流相比可忽略不计,电路的漏电流主要是亚阈值泄漏电流。

$$I_{\text{sub}} = I_0 \frac{W}{L} e^{(V_{\text{GS}} - V_{\text{TH}})/mV_{\text{T}}} (1 - e^{-(V_{\text{DS}}/V_{\text{T}})}) \quad (1)$$

传统的6T施密特触发器如图1(a)所示,由6个晶体管构成,P0,P1为堆叠PMOS管将输出拉高,N0,N1为堆叠NMOS管将输出下拉。P2,N2为反馈晶体管,通过输出信号反馈来提高电路的开关阈值。当输入信号为0时, V_{OUT} 为1,N2导通,将结点X处的电容上拉至高电平,使得N1的 V_{DS} 接近零,N1的 V_{GS} 小于0,如图1(b)。由式(1)可知,抑制漏电流呈指数上涨,且N1关断的更加彻底,因此亚阈值漏电流大大降低。当输入端从0→1过渡时,反馈晶体管N2通过提高N1的源电位来保持输出端的逻辑“1”。由于中间结点X电压上升,导致N1的 V_{SB} 大于0,N1的阈值电压提高,从而产生更高的开关阈值。对于输入为1时, V_{OUT} 为0,P2打

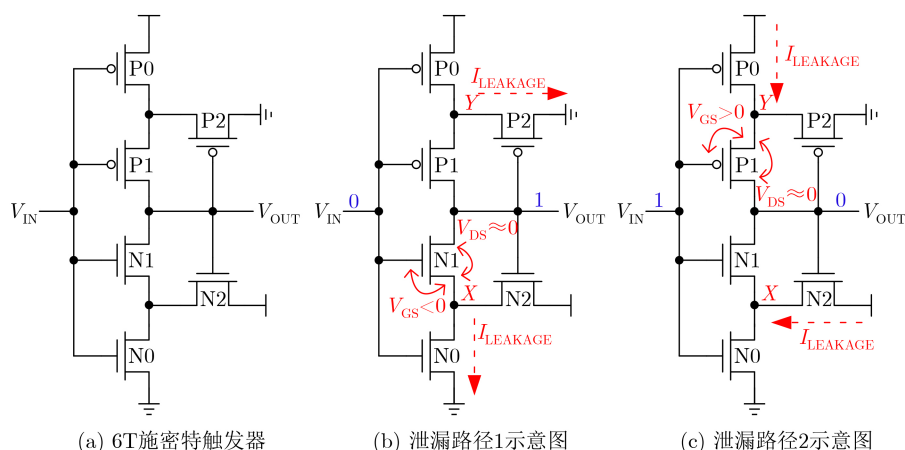


图1 6T施密特触发器及其泄漏路径

开, 节点Y的电容通过P2放电。此时, P1的 V_{DS} 接近零, P1的 V_{GS} 大于0, 反馈管P2将结点Y放电到低电位, 从而极大地减少泄漏电流, 如图1(c)。此外, 开关阈值也可以通过1→0输入转换期间的反馈机制来提高。

由于P2与N2管的反馈, 使得ST的VTC在上升和下降时产生明显的滞后, 该现象称为迟滞效应, 如图2(a)所示。假定NMOS晶体管的阈值电压为 V_{TN} , PMOS晶体管的阈值电压 V_{TP} , K_{N0} , K_{N2} , K_{P0} 和 K_{P2} 为MOS管的器件跨导, V_{HL} 和 V_{LH} 分别为低触发电压和高触发电压, V_{OH} 为输出高电压, V_{OL} 为输出低电压。 V_{LH} , V_{HL} 计算如式(2)和(3)所示

$$V_{LH} = \frac{V_{DD} + \sqrt{\frac{K_{N0}}{K_{N2}}} \cdot V_{TN}}{1 + \sqrt{\frac{K_{N0}}{K_{N2}}}} \quad (2)$$

$$V_{HL} = \frac{(V_{DD} + V_{TP}) \sqrt{\frac{K_{P0}}{K_{P2}}}}{1 + \sqrt{\frac{K_{P0}}{K_{P2}}}} \quad (3)$$

因此, 相对于一个无迟滞的静态逻辑门, 施密特触发器显示出卓越的噪声抑制能力。噪声容限之和可能超过电源电压^[4], 如式(4)所示

$$V_{NML} + V_{NMH} = V_{OH} - V_{OL} + V_{LH} - V_{HL} \leq 2V_{DD} \quad (4)$$

其中, V_{NML} , V_{NMH} 分别为低电平噪声容限和高电平噪声容限。对于输入0, 由于NMOS晶体管的弱传输“1”特性, 结点X处会出现弱“1”电压。漏极引起的势垒降低效应(Drain-Induced Barrier

Lowering, DIBL)^[15]将导致通过N0的漏电流显著降低。同样, 对于输入1, 由于PMOS晶体管的弱传输“0”特性, 得益于DIBL效应, 通过P2的漏电流也显著降低。图2(b)为ST与标准反相器的开关电流比(I_{on}/I_{off}), 该结果是在TSMC 65 nm CMOS中仿真得到, 两个设计中的器件具有相同的尺寸^[3]。可以看出, ST的开关电流比率比传统反相器的开关电流比率明显增高, 甚至高出两个数量级。ST结构能够使漏电流显著减小, 并增大 I_{on}/I_{off} 比率, 从而确保电路的高鲁棒性。

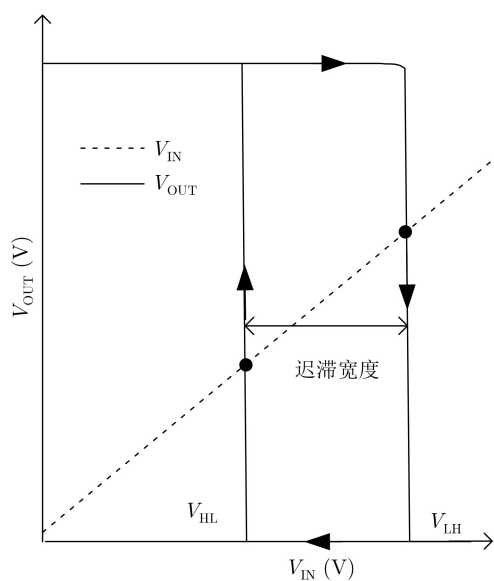
2.2 施密特触发逻辑门电路

传统的施密特触发逻辑门结构, 如图3所示^[10]。与常规逻辑门相比, ST结构采用堆叠方式增加晶体管数量, 并在NMOS和PMOS堆叠处添加反馈管, 实现具有迟滞特性的输出信号。ST逻辑门的迟滞特性有助于提高亚阈值区的抗工艺偏差与抗噪声能力, 堆叠效应有利于减少漏电流。但是, ST逻辑门的面积开销较大, 扇入数为 n 的ST逻辑门的晶体管数量达 $2(2n+1)$ 。此外, ST NOR2上拉网络采用4管堆叠模式, ST NOR3上拉网络采用6管堆叠模式, 堆叠效应将急剧增加电路延时。

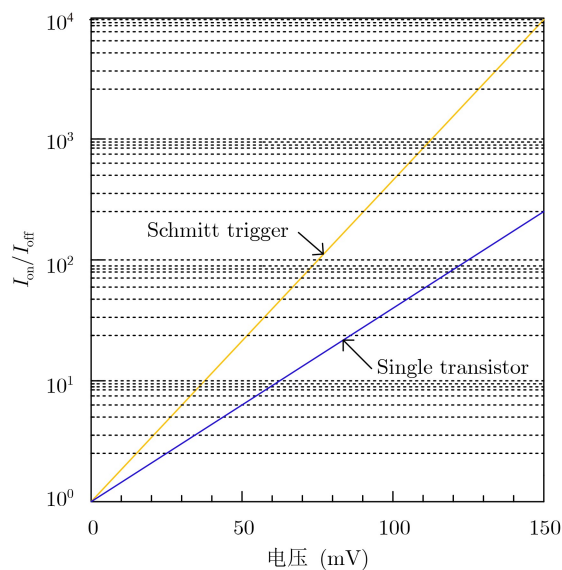
3 基于施密特触发的亚阈值标准单元设计

3.1 半堆叠式施密特触发逻辑门电路

针对上述亚阈值电路的设计难点与ST逻辑门存在的缺陷, 提出一种高鲁棒性ST亚阈值电路设计方法。该方法利用ST逻辑的迟滞效应优化布尔逻辑门, 减少亚阈值电路的漏电流、提高逻辑门的稳定性和抗工艺偏差能力。



(a) VTC曲线



(b) 开关电流比率

图2 6T施密特触发器的VTC曲线和开关电流比率

本文采用半堆叠式ST结构设计NOR2, NOR3, NAND2, NAND3等逻辑门, 电路结构如图4所示。在NOR2中, 电路上拉路径的堆叠结点处添加栅极反馈P2管, 构成P型半堆叠式ST结构, 如图4(a)所示。上拉路径与ST结构具有相同功能, 当P2与N2管同时导通时, 将堆叠结点处的电容放电, 使P1的 $V_{DS} \approx 0$ 且 $V_{GS} > 0$ 。由2.1节的分析可知, 减少上拉路径的漏电流, 并有效提高开关阈值电压。在NAND2中, 电路下拉路径的堆叠结点处添加栅极反馈的N2管, 构成N型半堆叠式ST结构。当N2与P2同时导通时, 对下拉路径的堆叠结点处电容充电, 使N0的 $V_{DS} \approx 0$ 且 $V_{GS} < 0$, 其下拉路径与ST结构具有相同的迟滞特性。

在NOR3中, 上拉路径中存在两个堆叠结点, 添加两个栅极反馈P3, P4管连接到堆叠结点处, 使上拉路径具有与ST结构功能一致的双重反馈, 同样地, 构成P型半堆叠式ST结构。当P3与N3同时导通时, 对P0与P1的堆叠结点处电容放电; 当P4与N4或N5同时导通时, 对P1与P2的堆叠结点处电容放电, 使得P1与P2管的栅源电压提高, 从而减少上拉路径的漏电流。同理, 在NAND3的下拉路径中存在两个堆叠结点, 添加两个栅极反馈N3, N4管连接到堆叠结点处, 使下拉路径构成N型半堆叠式ST结构。电路中存在两条反馈环路, 当反馈环路导通时, 使得N0与N1的栅源电压降低, 从而减少下拉路径的漏电流。由式(2)和式(3)可以推导

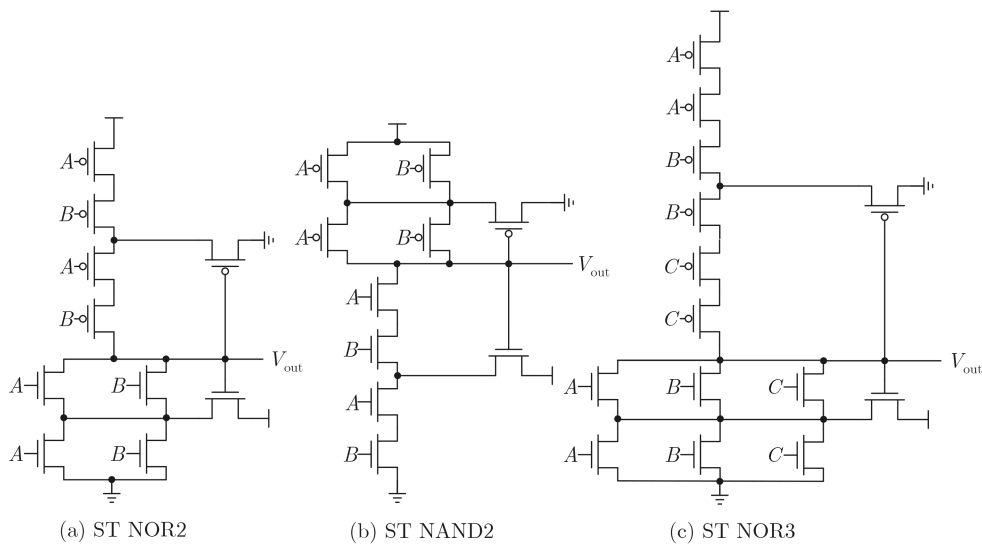


图3 施密特触发逻辑门

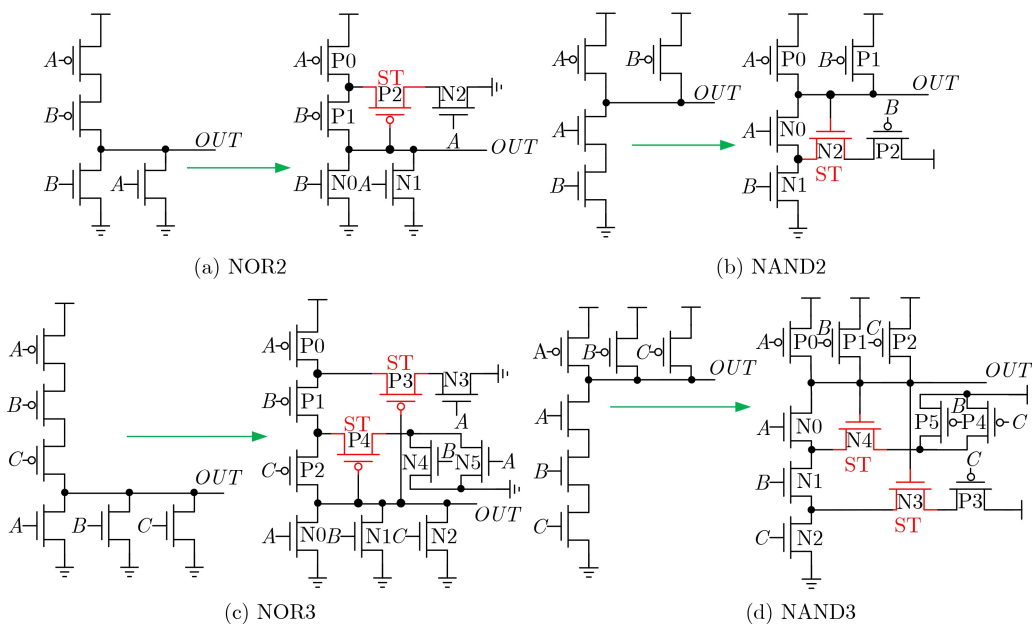


图4 半堆叠式ST亚阈值逻辑门

出NAND3与NOR3的高触发电压 V_{LH} 和低触发电压 V_{HL} ，如式(5)、式(6)所示

$$V_{LH} = \frac{V_{DD} + \left(\sqrt{\frac{K_{N2}}{K_{N3} \cdot K_{P3}}} + \sqrt{\frac{K_{N1} \cdot K_{N2}}{\frac{K_{P4} \cdot K_{P5}}{K_{P4} + K_{P5}} \cdot K_{N4}}} \right) \cdot V_{TN}}{1 + \sqrt{\frac{K_{N2}}{K_{N3} \cdot K_{P3}}} + \sqrt{\frac{K_{N1} \cdot K_{N2}}{\frac{K_{P4} \cdot K_{P5}}{K_{P4} + K_{P5}} \cdot K_{N4}}}} \quad (5)$$

$$V_{HL} = \frac{(V_{DD} + V_{TP}) \left(\sqrt{\frac{K_{P0}}{K_{P3} \cdot K_{N3}}} + \sqrt{\frac{K_{P0} \cdot K_{P1}}{\frac{K_{N4} \cdot K_{N5}}{K_{N4} + K_{N5}} \cdot K_{N4}}} \right)}{1 + \sqrt{\frac{K_{P0}}{K_{P3} \cdot K_{N3}}} + \sqrt{\frac{K_{P0} \cdot K_{P1}}{\frac{K_{N4} \cdot K_{N5}}{K_{N4} + K_{N5}} \cdot K_{N4}}}} \quad (6)$$

从式(2)与式(5)中可知，对于NAND3采用双重反馈的N型半堆叠式ST结构，其高触发电压 V_{LH} 与下拉路径堆叠晶体管的器件跨导有关，通过调节堆叠晶体管的尺寸可以有效地增加 V_{LH} 的值，从而增加迟滞宽度提升电路稳定性。同理，对于NOR3采用双重反馈的P型半堆叠式ST结构，通过调节上拉路径堆叠晶体管的尺寸，增加电路的迟滞宽度。NAND3与NOR3采用双重反馈环路，由于堆叠效应的存在与ST结构的特性，与NOR2, NAND2相比，可以有效降低漏电流和增强迟滞，从而提高噪声容限。此外，NAND2逻辑门中仅需要7个晶体管，与布尔逻辑电路相比仅增加两个晶体管，而图3中ST NAND2中的晶体管数量为10个，从而实现晶体管数量减少、面积开销降低。同时，与ST NAND2相比，提出的NAND2下拉路径中堆叠的

NMOS数量减少1/2，在面积、传输延迟等方面具有优势。同理可得，NAND3, NOR3在晶体管数量与堆叠管数量方面也存在一定的优势。

3.2 基于INWE效应的电路版图

由于INWE效应的存在，在亚阈值区较小的器件尺寸具有更大的驱动电流，相同的器件宽度采用多指版图结构能有效提升电流效率^[16]。半堆叠式ST逻辑门采用最小宽度分指版图进行设计。在版图设计过程中，考虑亚阈值区的INWE效应，对MOS管的宽度进行加宽或分指，从而提高或降低MOS管的阈值，加强整体电路的抗噪声能力。设计的NAND2与NAND3电路版图，如图5所示。在上拉路径中，无堆叠点MOS管采用两倍加宽并分指的版图结构。由于INWE效应的存在，宽MOS管具有高阈值电压，可以提高电路的开关阈值。对于有堆叠点的下拉路径，MOS管采用最小宽度分指版图结构，小宽度的MOS管具有低阈值电压，可弥补堆叠结构带来的电路延时。同理，在NOR2与NOR3电路版图中，下拉路径采用两倍加宽并分指版图结构，上拉路径采用最小宽度分指版图结构，如图6所示。与传统的ST逻辑门电路相比，提高电路工作速度，降低面积开销和漏电流。

4 实验结果与分析

4.1 噪声容限

为了保证电路稳定工作，半堆叠式ST逻辑门必须具备抗干扰能力，以应对低电压下的工艺偏差、电压波动、电路内部与外部的噪声干扰等。静态噪声容限(Static Noise Margin, SNM)是衡量逻辑单元稳定输出所能承受的最大直流噪声的重要指标^[17]。噪声容限的测量方式有多种，蝶形图是一种简单且有效的方法。在上述分析基础上，该文采用

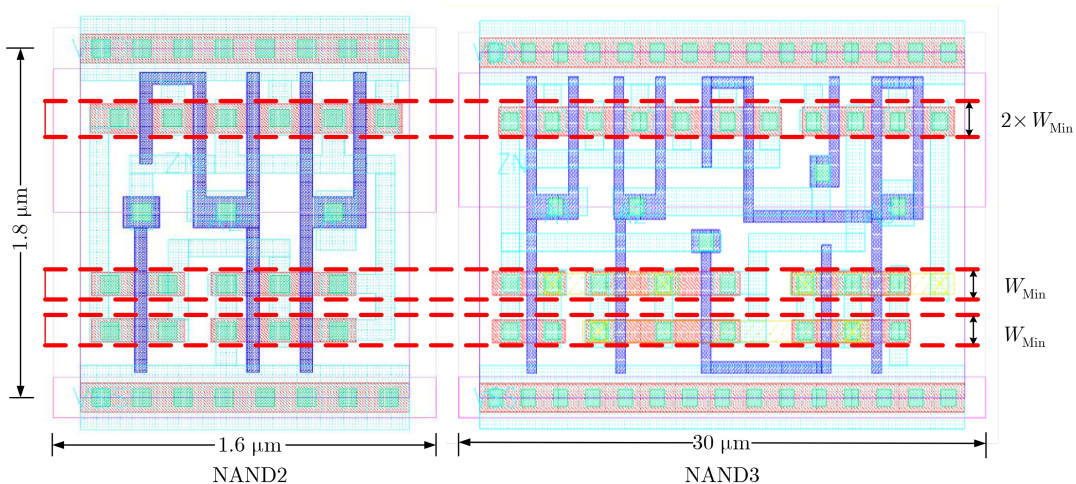


图5 NAND电路版图

蝶形曲线法对标准单元的SNM进行测量^[10]。测试电路SNM时，将与非门、或非门采用首尾相接的方式构成交叉耦合环路，图7(a)所示。所测的两条VTC曲线构成蝶形曲线，在蝶形曲线中能插入的最大正方形边长即为被测电路的噪声容限值。如图7(b)为采用1000次蒙特卡洛仿真的反相器环电路的蝶形曲线图。采用上述测试方案，将本文所设计的逻辑门与TSMC 65 nm标准单元的SNM进行比较分析，如图8所示。从图中可知，TSMC标准单元SNM与电源电压比值为16.3%~21.8%，本文所提ST逻辑单元的SNM与电源电压比值为18.5%~24.8%。与TSMC标准单元相比，所设计ST逻辑单元SNM提升11.5%~15.3%。

4.2 功耗、延时和面积

在TSMC 65 nm工艺下，设计基于半堆叠式亚阈值标准单元库，采用HSPICE软件进行仿真验证。在同等条件下将所提设计与同类技术在功耗、延时、功耗延时积(Power Delay Product, PDP)

和面积等方面进行比较。简便起见，仅就NAND2, XNOR2的对比仿真结果展开分析。以Cov表示TSMC 65 nm工艺库单元，ST表示传统的施密特逻辑门，opt表示采用INWE尺寸调节策略优化的电路版图。

不同设计方案下NAND2, XNOR2的功耗情况如图9(a)所示。与Cov_NAND2和文献[3]相比，NAND2_本文在0.45 V电压下的功耗分别降低7.17%和21.3%，在电压低于0.45 V时，功耗有更显著的降低。由于文献[3]中的NAND2在输入信号切换时，存在NMOS同时导通的情况，导致电源到地的直流通路，增大电路功耗。与文献[10]相比，在电压为0.30~0.45 V时，NAND2_本文功耗降低20%~30%。采用半堆叠式ST结构设计的XNOR2在电压接近0.45 V时，与Cov相比功耗降低15.6%。所提出的半堆叠式P型与N型ST结构能有效地减少电路的漏电流，进而减少电路的总功耗。

图9(b)比较不同设计方案下两种门电路的传输

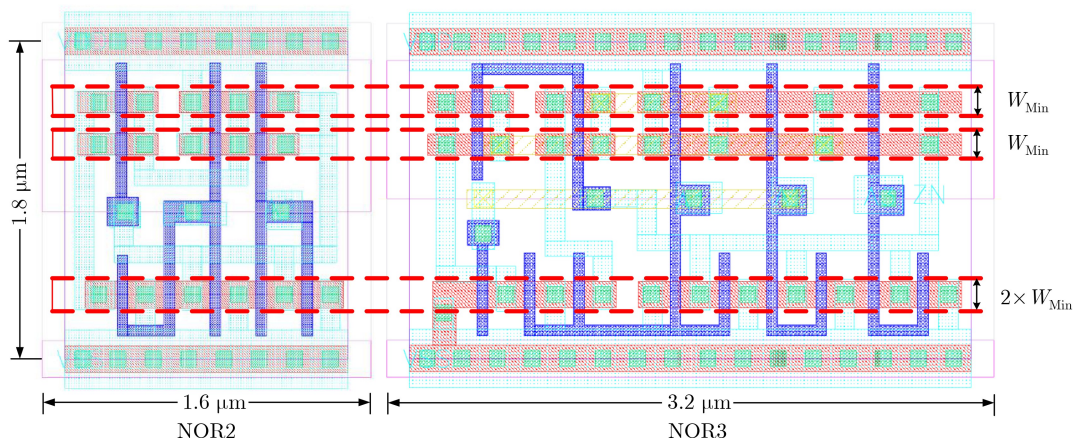
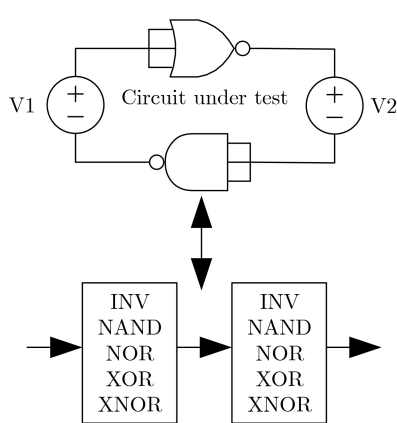
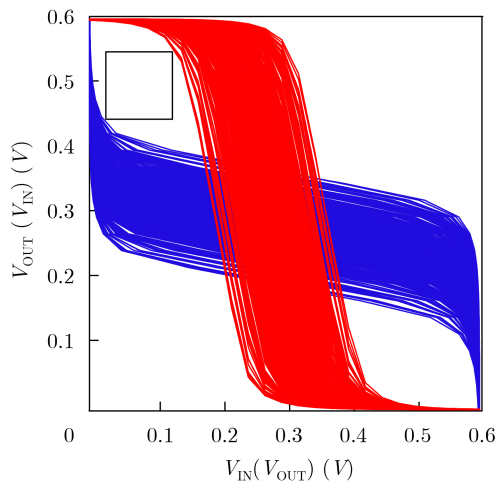


图 6 NOR电路版图



(a) SNM测试电路



(b) 反相器的蝶形图(1000次蒙特卡洛仿真)

图 7 SNM测试电路与蝶形图

延时。可以看出,随着VDD的减小,电路延时急剧增加,当VDD从0.6 V降低到0.3 V时,电路延时最大可增加3×数量级。由于ST结构的迟滞效应与堆叠效应,与其它电路相比,ST_NAND2^[10]具有最大的电路延时。与ST_NAND2相比,ST_NAND2_opt在相同电路结构下延时降低,同样的Cov_NAND2_opt的延时也降低,表明最小宽度多指版图设计方法的有效性。由于采用半堆叠式ST结构与最小宽度多指版图设计NAND2,与ST_NAND2_opt相比,其NMOS管的堆叠数量减少1/2,在0.45 V电压时电路延时减小约54.4%。同理,由于迟滞效应的存在,相比于Cov_XNOR2_opt, XNOR2_本文延时略有增加。

图9(c)为门电路的PDP对比曲线,随着电源电

压的降低,电路的延时迅速恶化,PDP呈现上升的趋势。由于ST_NAND2^[10]的延时恶化最大,在0.3 V-0.6 V电压变化范围内具有最大的PDP。NAND2_本文与Cov_NAND2_opt电路相比,PDP的增加始终保持在小幅度范围,但是可靠性与稳定性得到提升。与文献[3]相比,由于NAND2_本文的延时相近,但功耗改善较大,PDP保持在较低的范围。这表明所提出的半堆叠式ST结构逻辑门在亚阈值区的速度和功耗方面进行了更好的优化。图9(d)为电路的面积开销情况,以Cov_NAND2与Cov_NOR2面积为1×,NAND2_本文与NOR2_本文的面积为1.14×,额外面积开销为14%;NAND3_本文与NOR3_本文的面积分别为2.14×和2.29×,额外面积开销分别为65%和77.5%;XNOR3_本文的面积为1.86×,额外面积开销为30%。

4.3 ISCAS测试电路

为了进一步验证单元库的有效性,比较综合后的电路性能,选取ISCAS基准测试电路中的5个典型电路作为测试对象^[18]。为了便于对比分析,对每个测试电路分别采用两种单元库进行电路综合,两种单元库分别为亚阈值标准单元库和TSMC 65 nm标准单元库(简称为Cov_lib库)。在综合过程中,采用相同的工艺条件(TT工艺角、温度为27 °C、工作电压为0.6 V),采用相同类型的标准单元和驱

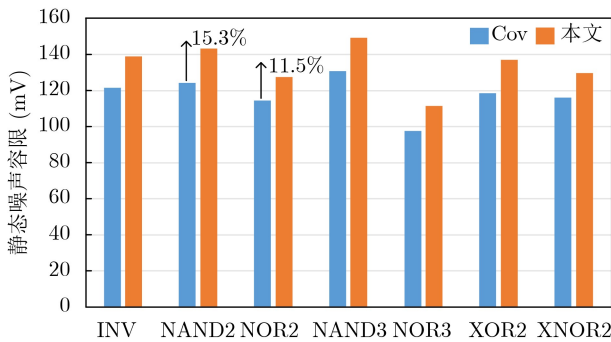
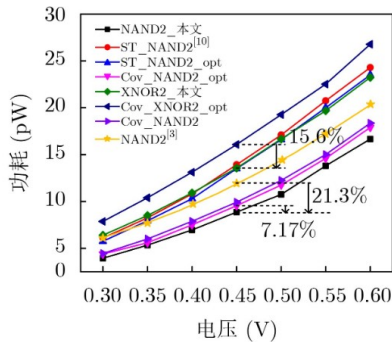
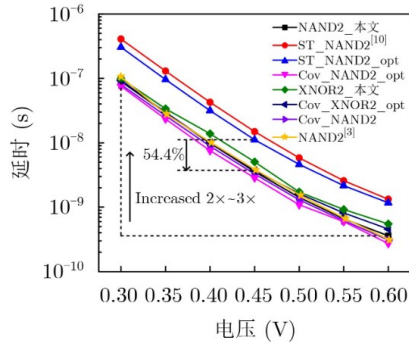


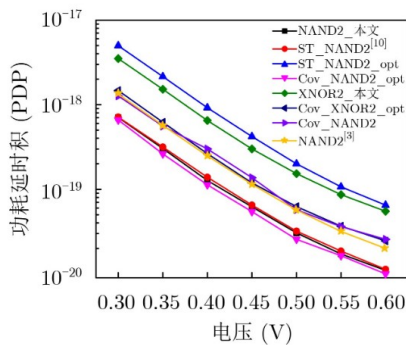
图8 不同逻辑单元的静态噪声容限



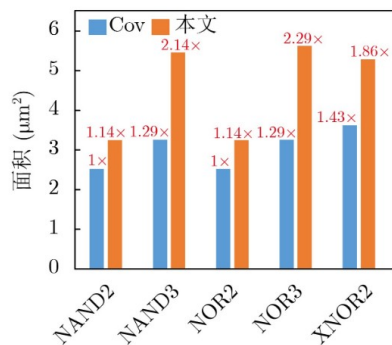
(a) 功耗对比



(b) 延时对比



(c) 功耗延时积对比



(d) 面积对比

图9 改进的ST电路与标准单元的延时、漏流、PDP及面积的对比

表 1 基准测试电路验证与对比

基准测试电路	面积(μm^2)		单元数量		功耗(mW)		延时(ns)	
	Cov_lib	本文	Cov_lib	本文	Cov_lib	本文	Cov_lib	本文
c432	301	447	139	148	1.20E-02	1.01E-02	28.20	27.18
c499	571	742	193	180	3.48E-02	3.20E-02	23.01	21.53
c880	623	869	240	259	2.24E-02	1.86E-02	25.07	22.40
c3540	1942	2641	768	795	7.21E-02	6.10E-02	37.23	32.40
c7552	3193	3726	1246	1161	1.65E-01	1.26E-01	38.81	37.01

动能力, 综合后分别进行延时、功耗和面积的比较分析, 比较结果如表1所示。从表中数据可得, 本文设计的亚阈值标准单元库: (1)延时平均减少7.71%, 最大减少12.9%(c3540), 最小减少3.6%(c432); (2)功耗平均减少15.8%, 最大减少23.6%(c7552), 最小减少8.04%(c499); (3)面积平均增大24.84%, 最大增加32.5%(c432), 最小增加14.3%(c7552)。由于Cov_lib库是台积电公司提供的, 在亚阈值电压下晶体管尺寸及电路结构未经优化, 综合后电路的延时大大增加, 而本文设计的单元库可以改善延时过大的问题。同时, 平均功耗的大幅度降低, 验证了半堆叠结构减少泄漏电流的有效性。

5 结束语

在对亚阈值电路工作特点、纳米级效应与施密特触发电路结构研究的基础上, 结合INWE的版图尺寸优化方法, 本文提出一种半堆叠式ST结构的标准单元电路设计方案。从电路和版图两方面对标准单元进行优化, 采用堆叠结点处添加反馈管的方式构建类施密特触发逻辑门, 采用最小宽度的多指方法设计门电路版图, 实现亚阈值电路的开关阈值提高、泄漏电流降低、增强稳定性与鲁棒性。实验结果表明, 所设计的逻辑门电路在延时、功耗、PDP和可靠性等方面均有明显的改善。在TSMC 65 nm工艺下完成物理库、时序库和逻辑库, 将其应用于ISCAS进行逻辑综合和测试验证, 结果表明采用亚阈值单元库在延时和功耗提高显著。

参考文献

- [1] WANG A and CHANDRAKASAN A. A 180-mV subthreshold FFT processor using a minimum energy design methodology[J]. *IEEE Journal of Solid-State Circuits*, 2005, 40(1): 310–319. doi: [10.1109/JSSC.2004.837945](https://doi.org/10.1109/JSSC.2004.837945).
- [2] SHI Weiwei, PENG Panfeng, and CHOY C S. A 90nm passive RFID tag's custom baseband processor for subthreshold operation below 0.3V[J]. *Chinese Journal of Electronics*, 2017, 26(4): 720–724. doi: [10.1049/cje.2017.04.006](https://doi.org/10.1049/cje.2017.04.006).
- [3] WEN Liang, NAN Longmei, ZHANG Jing, *et al.* 65 nm sub-threshold logic standard cell library using quasi-schmitt-trigger design scheme and inverse narrow width effect aware sizing[J]. *IET Circuits, Devices & Systems*, 2020, 14(3): 303–310. doi: [10.1049/iet-cds.2019.0028](https://doi.org/10.1049/iet-cds.2019.0028).
- [4] ZHOU Jun, JAYAPAL S, BUSZE B, *et al.* A 40 nm dual-width standard cell library for near/sub-threshold operation[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2012, 59(11): 2569–2577. doi: [10.1109/TCSI.2012.2190674](https://doi.org/10.1109/TCSI.2012.2190674).
- [5] 金威. 面向超低功耗的抗PVT波动电路设计技术研究[D]. [博士学位论文], 上海交通大学, 2017.
JIN Wei. Research on ultra-low power PVT tolerant circuits design techniques[D]. [Ph. D. dissertation], Shanghai Jiao Tong University, 2017.
- [6] MORRIS J. A novel deep submicron bulk planar sizing strategy for low energy subthreshold standard cell libraries[D]. [Ph. D. dissertation], Newcastle University, 2018.
- [7] MIYAMOTO M, OHTA H, KUMAGAI Y, *et al.* Impact of reducing STI-induced stress on layout dependence of MOSFET characteristics[J]. *IEEE Transactions on Electron Devices*, 2004, 51(3): 440–443. doi: [10.1109/TED.2003.822877](https://doi.org/10.1109/TED.2003.822877).
- [8] ALAM N, ANAND B, and DASGUPTA S. The impact of process-induced mechanical stress in narrow width devices and circuit design issues[C]. 2012 International Symposium on Electronic System Design, Kolkata, India, 2012: 213–215. doi: [10.1109/ISED.2012.42](https://doi.org/10.1109/ISED.2012.42).
- [9] REYNDERS N and DEHAENE W. Variation-resilient building blocks for ultra-low-energy sub-threshold design[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2012, 59(12): 898–902. doi: [10.1109/TCSII.2012.2231022](https://doi.org/10.1109/TCSII.2012.2231022).
- [10] LOTZE N and MANOLI Y. A 62mV 0.13 μm CMOS standard-cell-based design technique using schmitt-trigger logic[C]. Proceedings of 2011 IEEE International Solid-State Circuits Conference, San Francisco USA, 2011: 340–342. doi: [10.1109/ISSCC.2011.5746345](https://doi.org/10.1109/ISSCC.2011.5746345).
- [11] SHARMA P, JAIN P, and DAS B P. An optimal device

- sizing for a performance-driven and area-efficient subthreshold cell library for IoT applications[J]. *Microelectronics Journal*, 2019, 92: 104613. doi: [10.1016/j.mejo.2019.104613](https://doi.org/10.1016/j.mejo.2019.104613).
- [12] NISHIZAWA S, ISHIHARA T, and ONODERA H. A flexible structure of standard cell and its optimization method for near-threshold voltage operation[C]. The 2012 IEEE 30th International Conference on Computer Design, Montreal, Canada, 2012: 235–240. doi: [10.1109/ICCD.2012.6378646](https://doi.org/10.1109/ICCD.2012.6378646).
- [13] GEMMEKE T, ASHOUEI M, LIU Bo, *et al.* Cell libraries for robust low-voltage operation in nanometer technologies[J]. *Solid-State Electronics*, 2013, 84: 132–141. doi: [10.1016/j.sse.2013.02.006](https://doi.org/10.1016/j.sse.2013.02.006).
- [14] AYERS J E. *Digital Integrated Circuits: Analysis and Design*[M]. 2nd ed. Boca Raton: CRC Press, 2010: 256–257.
- [15] HSIAO S F, TSAI M Y, and WEN C S. Low area/power synthesis using hybrid pass transistor/CMOS logic cells in standard cell-based design environment[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2010, 57(1): 21–25. doi: [10.1109/TCSII.2009.2034198](https://doi.org/10.1109/TCSII.2009.2034198).
- [16] JUN J, SONG J, and KIM C. A near-threshold voltage oriented digital cell library for high-energy efficiency and optimized performance in 65nm CMOS process[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2018, 65(5): 1567–1580. doi: [10.1109/TCSI.2017.2758793](https://doi.org/10.1109/TCSI.2017.2758793).
- [17] BORTOLON F T, MOREIRA M T, MORAES F G, *et al.* Estimation methods for static noise margins in CMOS subthreshold logic circuits[C]. The 30th Symposium on Integrated Circuits and Systems Design, Fortaleza, Brazil, 2017: 90–95. doi: [10.1145/3109984.3109998](https://doi.org/10.1145/3109984.3109998).
- [18] 丁杰. 0.6V 40nm低电压标准单元库设计[D]. [硕士论文], 东南大学, 2016.
DING Jie. Design of 40nm standard cell library for 0.6V low voltage[D]. [Master dissertation], Southeast University, 2016.
- 张跃军: 男, 1982年生, 副教授, 研究方向为低功耗、高信息密度集成电路理论和设计、安全芯片理论和设计.
- 韩金亮: 男, 1996年生, 硕士生, 研究方向为低功耗集成电路设计.
- 张会红: 女, 1976年生, 副教授, 研究方向为控制理论与应用、低功耗集成电路理论与优化设计.

责任编辑: 马秀强