

## 一种低开销的三点翻转自恢复锁存器设计

黄正峰<sup>①</sup> 李先东<sup>①</sup> 陈鹏<sup>①</sup> 徐奇<sup>①</sup> 宋钛<sup>①</sup>  
戚昊琛<sup>①</sup> 欧阳一鸣<sup>②</sup> 倪天明<sup>\*③</sup>

<sup>①</sup>(合肥工业大学电子科学与应用物理学院 合肥 230601)

<sup>②</sup>(合肥工业大学计算机与信息学院 合肥 230601)

<sup>③</sup>(安徽工程大学电气工程学院 芜湖 241000)

**摘要:** 随着集成电路特征尺寸的不断缩减,在恶劣辐射环境下,纳米级CMOS集成电路中单粒子三点翻转的几率日益增高,严重影响可靠性。为了实现单粒子三点翻转自恢复,该文提出一种低开销的三点翻转自恢复锁存器(LC-TNURL)。该锁存器由7个C单元和7个钟控C单元组成,具有对称的环状交叉互锁结构。利用C单元的阻塞特性和交叉互锁连接方式,任意3个内部节点发生翻转后,瞬态脉冲在锁存器内部传播,经过C单元多级阻塞后会逐级消失,确保LC-TNURL锁存器能够自行恢复到正确逻辑状态。详细的HSPICE仿真表明,与其他三点翻转加固锁存器(TNU-Latch, LCTNUT, TNUTL, TNURL)相比,LC-TNURL锁存器的功耗平均降低了31.9%,延迟平均降低了87.8%,功耗延迟积平均降低了92.3%,面积开销平均增加了15.4%。相对于参考文献中提出的锁存器,LC-TNURL锁存器的PVT波动敏感性最低,具有较高的可靠性。

**关键词:** 锁存器; 抗辐射加固设计; C单元; 自恢复; 三点翻转

中图分类号: TN43; TP302.8

文献标识码: A

文章编号: 1009-5896(2021)09-2508-10

DOI: [10.11999/JEIT200379](https://doi.org/10.11999/JEIT200379)

## A Low-Cost Triple-Node-Upset-Resilient Latch Design

HUANG Zhengfeng<sup>①</sup> LI Xiandong<sup>①</sup> CHEN Peng<sup>①</sup> XU Qi<sup>①</sup> Song Tai<sup>①</sup>  
QI Haochen<sup>①</sup> OUYANG Yiming<sup>②</sup> NI Tianming<sup>\*③</sup>

<sup>①</sup>(School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230601, China)

<sup>②</sup>(School of Computer & Information, Hefei University of Technology, Hefei 230601, China)

<sup>③</sup>(School of Electrical Engineering, Anhui Polytechnic University, Wuhu 241000, China)

**Abstract:** As the feature size of integrated circuits continues to scale down, under the harsh radiation environment, the probability of single event triple node upsets in nano-scale CMOS integrated circuits is increasing, seriously affecting reliability. In order to realize the resilient of single-event triple-node-upsets, a Low-Cost Triple-Node-Upset-Resilient Latch (LC-TNURL) is proposed. The latch is composed of seven C-elements and seven clock-gating C-elements, and has a symmetrical ring-shaped cross-interlock structure. Using the interceptive characteristics of the C-elements and the cross-interlock connection mode, after any three internal nodes are flipped, the transient pulse propagates inside the latch. After the C-elements is blocked in multiple stages, it will disappear step by step to ensure the LC-TNURL latch can self-recover to the correct logic state. Detailed HSPICE simulation shows that the power consumption of the LC-TNURL latch is reduced by an average of 31.9%, the delay is reduced by an average of 87.8%, the power-delay product is reduced by an average of 92.3% and the area overhead is increased by an average of 15.4% compared to other triple-node-upsets hardened latches (TNU-Latch, LCTNUT, TNUTL, TNURL). The LC-TNURL latch proposed in this paper is the least sensitive to PVT fluctuations and has high reliability compared with reference latches.

**Key words:** Latch; Radiation hardening by design; C-elements; Resilient; Triple node upsets

收稿日期: 2020-05-05; 改回日期: 2021-05-15; 网络出版: 2021-08-11

\*通信作者: 倪天明 timmyni126@126.com

基金项目: 国家自然科学基金(61874156, 61874157, 61904001, 61904047), 安徽省自然科学基金(1908085QF272)

Foundation Items: The National Natural Science Foundation of China (61874156, 61874157, 61904001, 61904047), Anhui Province Natural Science Foundation (1908085QF272)

## 1 引言

延迟、功耗和面积一直是集成电路设计者关注的重点。随着集成电路工艺的不断发展和集成电路设计者的不懈努力，延迟、功耗和面积的折中问题已经得到了较好的解决；但是，由于特征尺寸不断减小，集成电路愈发容易受到高能粒子的影响，因此集成电路的可靠性问题变得越来越严重。汽车电子、雷达芯片以及卫星导航等领域对于集成电路的可靠性要求均较高<sup>[1,2]</sup>。在空间环境下，当 $\alpha$ 粒子或宇宙中子等高能粒子轰击集成电路敏感区域时，产生的电荷会被敏感节点的漏极收集，当收集的电荷量超过临界电荷时，就很可能产生瞬态电压脉冲<sup>[3]</sup>，如果该瞬态电压脉冲被锁存器或寄存器等时序逻辑器件捕获，导致存储单元内部节点发生翻转，就称为单粒子翻转(Single Event Upset, SEU)。如果电荷被单个敏感节点收集，造成单个敏感节点的逻辑值发生翻转，就称为单粒子单点翻转(Single Node Upset, SNU)。晶体管特征尺寸的缩减会导致相邻晶体管的间距缩小，因此根据电荷共享机制，高能粒子轰击敏感节点时，产生的电荷很有可能被周围多个敏感节点收集<sup>[4-7]</sup>，使得对应敏感节点逻辑值发生翻转，这被称为单粒子多点翻转(Multiple Node Upsets, MNUs)，包括单粒子双点翻转(Double Node Upsets, DNUs)和单粒子三点翻转(Triple Node Upsets, TNUs)等<sup>[8-14]</sup>。研究表明，SNU和MNUs已经成为诱发时序电路产生软错误的最主要因素<sup>[13,14]</sup>。

为了应对SNU和MNUs，国内外学者已经提出了许多加固方案，如版图隔离技术、空间冗余技术和抗辐射加固设计技术<sup>[3-16,17-25]</sup>。在这些技术中，抗辐射加固设计技术不仅能够有效地减弱软错误造成的影响，还能够大大节省开销，因此被广泛应用。文献<sup>[8-14]</sup>中已经提出了几种能够容忍TNUs的抗辐射加固锁存器设计方案，但是存在可靠性较差，无法实现TNUs自恢复，或者能实现TNUs自恢复，但开销较大等缺点。因此，对低开销的TNUs自恢复锁存器的进一步研究很有必要。

本文基于冗余互锁技术，提出了一种低开销的三点翻转自恢复锁存器(Low-Cost Triple-Node-Upset-Resilient Latch, LC-TNURL)。该锁存器利用了C单元的阻塞特性，并结合了冗余互锁技术，将7个C单元和7个钟控C单元以精妙的方式连接成环状冗余互锁结构，实现了任意TNUs的完全自恢复。7个钟控C单元的使用，使得本文提出的LC-TNURL锁存器有着较低的功耗；输入输出之间有一条高速路径，使得本文提出的LC-TNURL

锁存器有着较小的延迟。HSPICE仿真结果表明，相比于4种已有的容忍TNUs锁存器，本文提出的LC-TNURL锁存器的平均功耗延迟积降低了92.3%；相比于同样具有最强加固能力的TNURL<sup>[11]</sup>锁存器，本文提出的LC-TNURL锁存器延迟降低了62.2%，功耗降低了49.1%，面积降低了34.4%，功耗延迟积降低了80.6%。

本文的主要贡献可总结如下：(1)提出了一个可以实现TNUs自恢复，对高阻态不敏感且开销较小的加固锁存器；(2)提出了一种特定的加固单元连接方式，该连接方式可以扩展到其他加固电路设计中；(3)相比于对比结构，提出的加固锁存器有着最低的PVT敏感度。

本文的其余部分安排如下：第2节介绍4种已有的能容忍TNUs的加固锁存器；第3节讨论本文提出的LC-TNURL锁存器的电路结构、工作原理及其容忍TNUs自恢复的容错原理，并进行故障注入分析；第4节将本文提出的锁存器和4种对比结构进行加固能力对比、性能开销对比以及PVT波动分析；第5节总结全文。

## 2 现有的加固锁存器设计

为了应对TNUs的问题，目前已经有一些基于C单元结构的抗辐射加固设计。本小节简要阐述TNU-Latch<sup>[8]</sup>，LCTNUT<sup>[9]</sup>，TNUTL<sup>[10]</sup>和TNURL<sup>[11]</sup>4种已有的TNUs加固锁存器。

如图1(a), 1(b), 1(c)所示，文献<sup>[8-10]</sup>中提出了3种可以容忍TNUs的加固锁存器，分别是TNU-Latch, LCTNUT和TNUTL。不过上述3个加固锁存器只能容忍三点翻转，却无法实现三点翻转完全自恢复，因此输出端会存在高阻状态，加固能力有待进一步提升。此外，TNU-Latch延迟和功耗开销较大；LCTNUT由大量双输入反相器构成，发生软错误后很可能会出现电源到地的直接通路，因此电路稳定性较差；而TNUTL是一个动态锁存器，锁存期内不存在反馈回路，因此低频状态下会存在漏电的情况。

为了进一步提高加固能力，文献<sup>[11]</sup>中提出了一种可以实现三点翻转完全自恢复的加固锁存器TNURL，电路结构如图1(d)所示。该锁存器相比于前3种锁存器，加固能力得到了进一步提升；然而该锁存器一共使用了130个管子，面积开销和功耗开销大大增加。

## 3 本文提出的LC-TNURL加固锁存器

本小节阐述本文提出的LC-TNURL锁存器，首先介绍LC-TNURL锁存器的基本结构及工作原

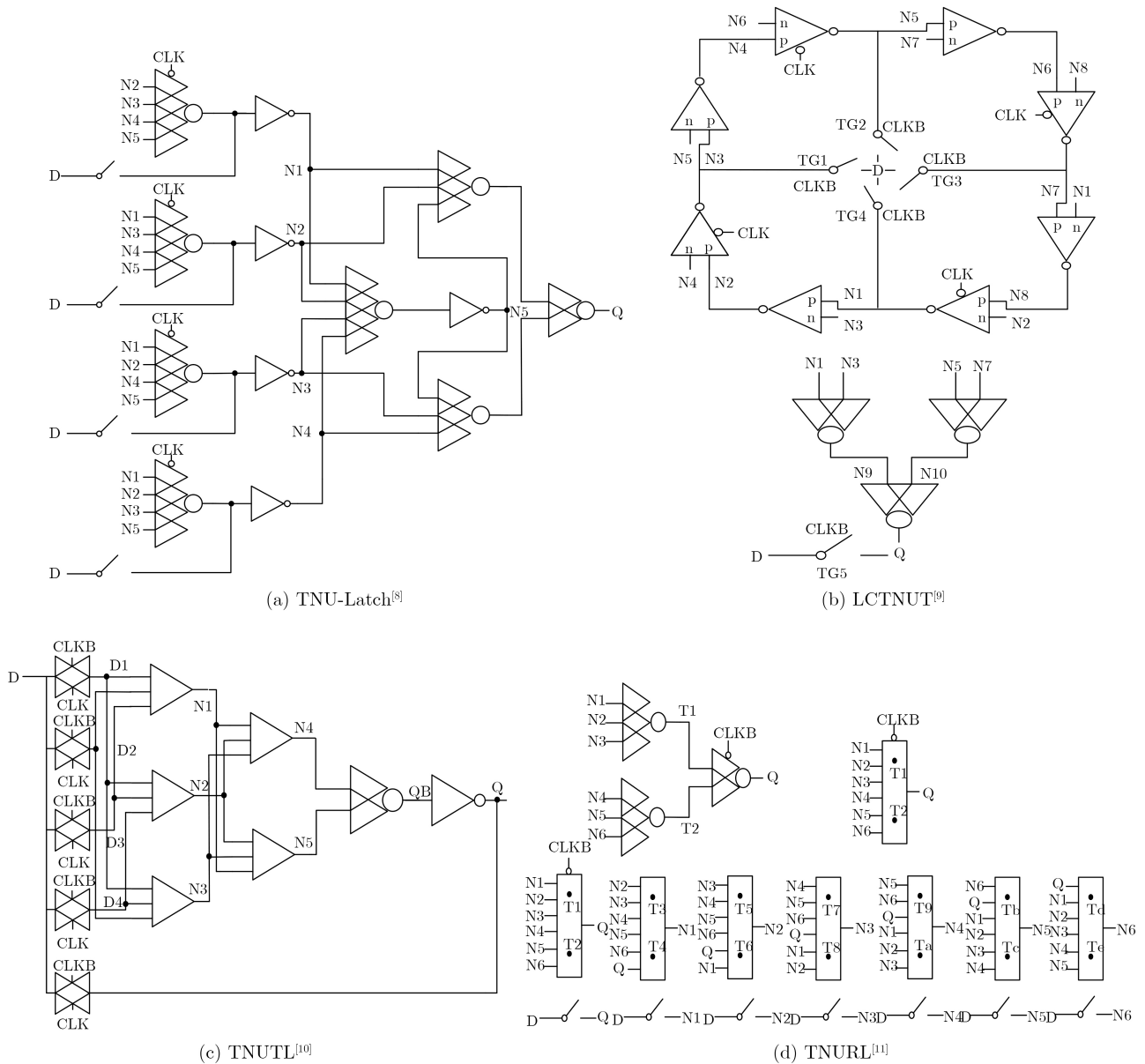


图1 现有的TNUs加固锁存器

理，其次详细介绍LC-TNURL锁存器的容错原理，最后结合仿真波形图对LC-TNURL锁存器容忍SNU自恢复、容忍DNU<sub>s</sub>自恢复以及容忍TNU<sub>s</sub>自恢复的情况分别进行分析。

3.1 提出结构及工作原理

为了解决现有的加固锁存器可靠性较差，无法实现TNU<sub>s</sub>自恢复或者是可以实现TNU<sub>s</sub>自恢复，但开销太大的问题，本文提出了一种可以完全实现TNU<sub>s</sub>自恢复且开销较低的锁存器LC-TNURL。该锁存器的门级结构如图2(a)所示，包含7个C单元C<sub>i</sub>(i=0, 2, 4, 6, 8, 10, 12)、7个钟控C单元C<sub>j</sub>(j=1, 3, 5, 7, 9, 11, 13)和7个传输门，其中7个C单元和7个钟控C单元以特定且唯一的方式交叉互联，构成一个锁存环，包含14个内部节点N0~N13。

图2(b), 2(c), 2(d)依次为本文所提结构C单元、钟控C单元和传输门的晶体管级电路和对应的门级电路符号。如图2(b)所示，C单元的两个输入端中，用弧线连接的一端称为级联输入端，用直线连接的输入端称为非级联输入端。对于任意一个C单元C<sub>i</sub>(i=0, 2, 4, 6, 8, 10, 12)，其级联输入均为N<sub>i</sub>，非级联输入端均为N<sub>i+6</sub>，输出端均为N<sub>i+1</sub>。同理，如图2(c)所示，对于任意一个钟控C单元C<sub>j</sub>(j=1, 3, 5, 7, 9, 11, 13)，其级联输入端均为N<sub>j</sub>(j=1, 3, 5, 7, 9, 11, 13)，非级联输入端均为N<sub>j+6</sub>，输出端均为N<sub>j+1</sub>，其中前一级C单元(或钟控C单元)的输出端，均作为后一级C单元(或钟控C单元)的级联输入端。以上提到的加法运算均为模14加法运算，运算结果对14取模为最终值。比如当

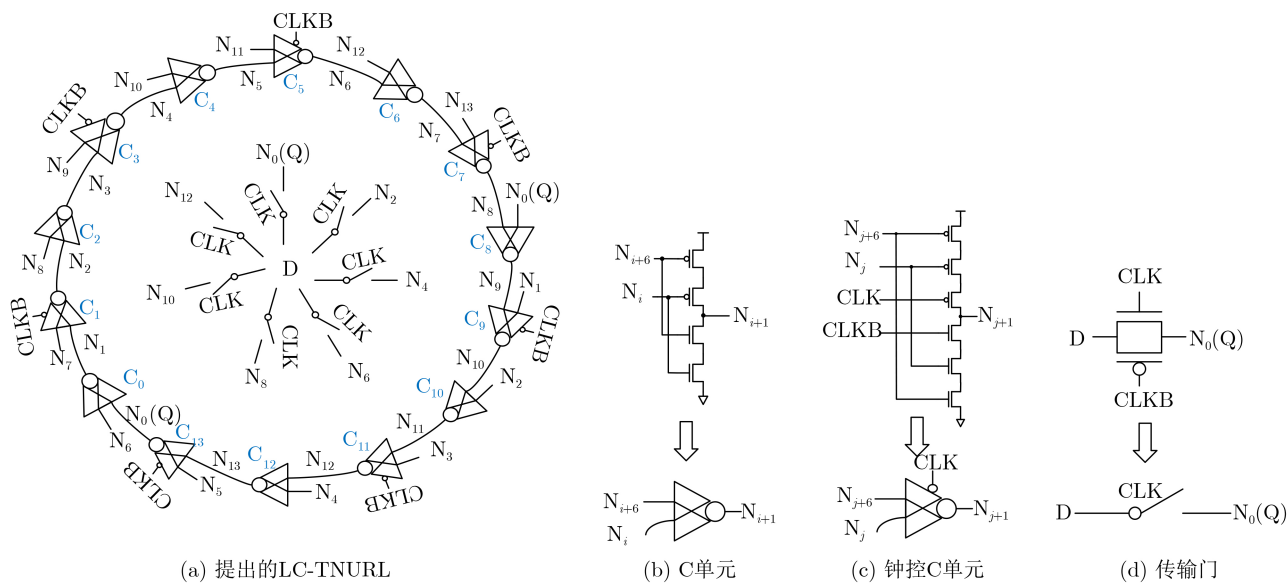


图2 本文提出的LC-TNURL锁存器

$i=10$ 时,  $i+6$ 表示 $(i+6)\text{mod}14$ , 结果为2; 当  $j=11$ 时,  $j+6$ 表示 $(j+6)\text{mod}14$ , 结果为3。

此外, 如图2(d)所示, 所提出的锁存器还包括7个传输门。7个传输门的作用是在透明期内同时将输入数据D写入到 $N_i(i=0, 2, 4, 6, 8, 10, 12)$ , 以此分别作为7个C单元的级联输入端, 其中 $N_0$ 节点既是 $C_0$ 的级联输入端, 又作为整个锁存器的输出端, 因此称作 $N_0(Q)$ 。

该锁存器的工作原理是: 在 $\text{CLK}=1, \text{CLKB}=0$ 时, 锁存器处于透明期, 此时7个传输门打开, 7个钟控C单元关断, 输入数据同时写入到7个内部节点 $N_i(i=0, 2, 4, 6, 8, 10, 12)$ , 并从 $N_0(Q)$ 节点输出; 此后再通过7个C单元 $C_i(i=0, 2, 4, 6, 8, 10, 12)$ 分别将 $N_i(i=0, 2, 4, 6, 8, 10, 12)$ 节点的反相逻辑值写入到 $N_j(j=1, 3, 5, 7, 9, 11, 13)$ 节点锁存。在 $\text{CLK}=0, \text{CLKB}=1$ 时, 锁存器处于保持期, 此时7个传输门关断, 7个钟控C单元打开。  $N_j(j=1, 3, 5, 7, 9, 11, 13)$ 节点保存的数据分别通过对应的钟控C单元 $C_j(j=1, 3, 5, 7, 9, 11, 13)$ 来刷新 $N_i(i=2, 4, 6, 8, 10, 12, 0)$ 节点。

### 3.2 加固原理及仿真分析

本文提出的LC-TNURL锁存器可以实现任意SNU, DNU或TNU的完全自恢复。下面就以LC-TNURL锁存器实现TNU自恢复为例分析其加固原理。所有的加固原理都是在锁存器的保持期内分析的, 并且假设 $N_i(i=0, 2, 4, 6, 8, 10, 12)$ 节点的初始状态均为0,  $N_j(j=1, 3, 5, 7, 9, 11, 13)$ 节点的初始状态均为1。为了便于分析加固原理, 在这里定义作为同一个C单元(或钟控C单元)输入中的任意两个节点为“关联节点”; 不作为同一个C单元(或钟

控C单元)输入的任意两个节点为“非关联节点”。从电路中可以看出, 任意一个内部节点均有两个关联节点和11个非关联节点。此外定义受到高能粒子轰击后, 逻辑状态直接发生翻转的节点为“主翻转节点”; 由于主翻转节点的错误在电路中传递致使逻辑状态发生翻转的节点称为“次翻转节点”。

当LC-TNURL锁存器受到高能粒子轰击, 发生TNU时, 电路中将出现3个主翻转节点, 此时根据错误逻辑值的传递范围以及产生的次翻转节点数目差异, 可以分为以下4种情形。

**情形1:** 假设任意一个节点发生翻转的同时, 该节点的两个关联节点也发生翻转, 此时由于错误逻辑值的传递, 会产生3个次翻转节点。该情形是发生TNU的最坏情形。

由于结构的对称性, 只需要分析 $\{N_1, N_7, N_{13}\}$ 节点组发生翻转的情况即可证明该情形下锁存器的TNU自恢复能力。  $N_1$ 节点的两个关联节点是 $N_7$ 节点和 $N_{13}$ 节点, 若在保持期内 $\{N_1, N_7, N_{13}\}$ 节点组同时受到高能粒子影响从0翻转到1。此时 $N_1$ 节点和 $N_7$ 节点的错误逻辑值会经 $C_1$ 传递到 $N_2$ 节点, 使得 $N_2$ 节点从1翻转到0; 同时,  $N_7$ 节点和 $N_{13}$ 节点的错误逻辑值会经 $C_7$ 传递到 $N_8$ 节点, 使得 $N_8$ 节点从1翻转到0。此后,  $N_2$ 节点和 $N_8$ 节点的错误逻辑值又会经 $C_2$ 传递到 $N_3$ 节点, 使得 $N_3$ 节点从0翻转到1, 由于 $N_9$ 保持初始状态不变, 因此错误传递到 $N_3$ 节点后会被 $C_3$ 阻塞。与此同时,  $N_0(Q)$ 和 $N_6$ 节点的正确状态会经 $C_0$ 使得 $N_1$ 节点快速地恢复到初始状态0;  $N_6$ 和 $N_{12}$ 节点的正确状态会经 $C_6$ 使得 $N_7$ 节点快速地恢复到初始状态0。此后,  $N_1$ 和 $N_7$ 节点的正确状态会经 $C_1$ 使得 $N_2$ 节点快速地恢复到初始状

态1;  $N_7$ 节点和 $N_{13}$ 节点的正确状态会经 $C_7$ 使得 $N_8$ 节点快速地恢复到初始状态1。最后,  $N_2$ 节点和 $N_8$ 节点的正确状态又会经 $C_2$ 使得 $N_3$ 节点快速地恢复到初始状态0。通过以上分析可知, 该情形下提出的锁存器可以完全实现TNU自恢复。

**情形2:** 假设任意一个C单元(或钟控C单元)的两个输入节点发生翻转的同时, 另一个与该C单元(或钟控C单元)输出节点相关联的节点也发生了翻转, 此时由于错误逻辑值的传递, 会产生两个次翻转节点。

由于结构的对称性, 结合情形1的分析可知, 该情况下本文结构中未受影响的9个内部节点将会通过锁存环电路将3个主翻转节点和两个次翻转节点均自恢复到初始状态。

**情形3:** 假设任意一个C单元(或钟控C单元)的两个输入节点发生翻转的同时, 另一个与该C单元(或钟控C单元)的输入输出节点均无关联的节点也发生了翻转, 此时由于错误逻辑值的传递, 会产生一个次翻转节点。

由于结构的对称性, 结合情形1的分析可知, 该情况下本文结构中未受影响的10个内部节点将会通过锁存环电路将3个主翻转节点和一个次翻转节点均自恢复到初始状态。

**情形4:** 假设3个相互无关联的节点发生翻转或者任意一个C单元(或钟控C单元)的两个输入节点和一个输出节点同时发生翻转, 此时由于错误逻辑值不会传递, 因此没有次翻转节点产生。

由于结构的对称性, 结合情形1的分析可知, 该情况下本文结构中未受影响的11个内部节点将会通过锁存环电路将3个主翻转节点均自恢复到初始状态。

综合以上讨论的4种情形可知, 本文提出的LC-TNURL锁存器能够从任何可能的TNU中实现完全自恢复, 因此也必然可以实现任意的SNU或DNU自恢复。

为了进一步验证LC-TNURL锁存器的SNU、DNU和TNU的自恢复性, 采用HSPICE工具进行故障注入分析, 仿真条件如下: 采用PTM(Predictive Technology Model)32 nm工艺, 温度设置为室温25 °C, 供电电压设置为0.9 V, PMOS晶体管尺寸均设为 $W_P/L_P=128/32$  nm, NMOS管尺寸均设为 $W_N/L_N=64/32$  nm。为了便于故障注入, 将时钟周期设置为6 ns, 占空比设置为1/2。

图3显示了LC-TNURL锁存器的故障注入仿真结果。仿真波形图中红色闪电符号表示在该位置采用双指数电流源来模拟故障注入, 公式为

$$I(t) = \frac{Q}{(\tau_2 - \tau_1)} \left[ \exp\left(-\frac{t}{\tau_2}\right) - \exp\left(-\frac{t}{\tau_1}\right) \right] \quad (1)$$

其中,  $Q$ 是粒子轰击节点收集的电荷量;  $t$ 是进行故障注入的时间节点;  $\tau_2$ 是电荷聚集时间,  $\tau_1$ 是离子轨迹建立时间, 根据文献[18,21,22,23]的数据和仿真的结果,  $\tau_2$ 的取值为164 ps,  $\tau_1$ 的取值是50 ps。

图3(a)是模拟SNU故障注入的仿真波形图。如图所示, 分别对 $N_1$ 节点和 $N_2$ 节点进行故障注入。从波形图中可以直观看出,  $N_1$ 节点和 $N_2$ 节点无论是从0翻转到1, 还是从1翻转到0都可以快速地自恢复到初始状态。

图3(b)是模拟DNU故障注入的仿真波形图。如图所示, 分别对( $N_1, N_3$ )节点对和( $N_2, N_8$ )节点对进行故障注入, 其中 $N_1$ 和 $N_3$ 是非关关节点,  $N_2$ 和 $N_8$ 是关关节点。从波形图可以直观看出, ( $N_1, N_3$ )节点对和( $N_2, N_8$ )节点对无论是同时从0翻转到1, 还是同时从1翻转到0, 都能快速地自恢复到初始状态。

图3(c)是模拟TNU故障注入的仿真波形图。如图所示, 分别对 $\{N_1, N_7, N_{13}\}$ ,  $\{N_3, N_9, N_{10}\}$ ,  $\{N_0(Q), N_3, N_6\}$ ,  $\{N_1, N_3, N_5\}$ 和 $\{N_2, N_8, N_3\}$ 5个节点组进行故障注入。从波形图可以看出,  $\{N_1, N_7, N_{13}\}$ 节点组故障注入后产生3个主翻转节点和3个次翻转节点;  $\{N_3, N_9, N_{10}\}$ 节点组故障注入后产生3个主翻转节点和2个次翻转节点;  $\{N_0(Q), N_3, N_6\}$ 节点组故障注入后产生3个主翻转节点和1个次翻转节点;  $\{N_1, N_3, N_5\}$ 和 $\{N_2, N_8, N_3\}$ 节点组故障注入只产生3个主翻转节点。但是, 无论是哪一种情况的, 所有翻转的节点均能快速地自恢复到初始状态。结合上文分析可知, 本文提出的锁存器能够完全自恢复任意3个节点发生TNU的情况。

## 4 评估与对比

本节将对本文提出的锁存器和相关锁存器进行全面对比, 包括锁存器的加固能力对比、性能开销对比以及PVT波动分析。为了公平起见, 所有的锁存器均采用PTM 32 nm工艺设计, 晶体管尺寸均设置为该锁存器能够正常工作的最小尺寸, 时钟信号CLK和反相时钟信号CLKB均由激励给出, 并且沿用之前的仿真环境, 利用HSPICE进行仿真。

### 4.1 加固能力对比

如表1所示, 将本文提出的LC-TNURL锁存器与第2节中提到的4种TNU加固锁存器进行加固能力对比。对比指标包括4项, 从左往右依次为DNU容忍率、DNU自恢复率、TNU容忍率和能TNU自恢复率。其中“容忍”是指能够将对应的MNU

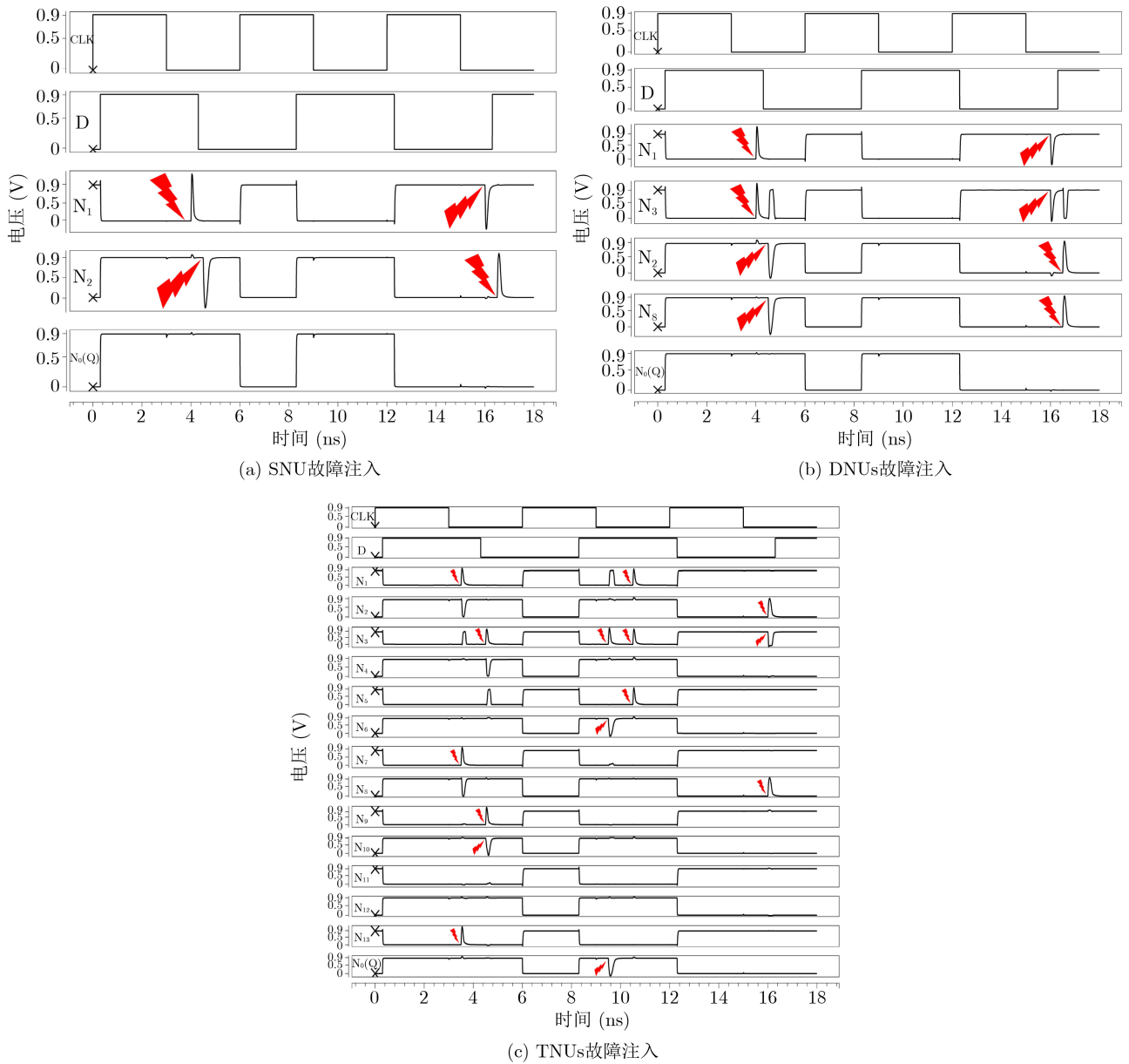


图3 LC-TNURL故障注入

表1 各锁存器加固能力对比(%)

锁存器名称	DNU容忍率	DNU自恢复率	TNU容忍率	TNU自恢复率
TNU-Latch <sup>[8]</sup>	100	91	100	76
LCTNUT <sup>[9]</sup>	100	43	100	14
TNUTL <sup>[10]</sup>	100	33	100	17
TNURL <sup>[11]</sup>	100	100	100	100
本文结构	100	100	100	100

造成的错误阻塞，保证输出端的正确逻辑值；“自恢复”是指不仅能够将MNU造成的错误阻塞，保证输出端的正确逻辑值，还能使得该错误下发生翻转的内部节点自恢复到初始状态。容忍率或自恢复率是指能容忍或自恢复的MNU组合数所占

有可能发生的MNU组合数的百分比。容忍率和自恢复率越大，说明加固锁存器的加固能力越强，可靠性越高。

从表1数据可以看出，本文提出的LC-TNURL锁存器和文献[11]提出的TNURL两种锁存器的自

恢复率均为100%，也就是说相对于其他加固锁存器，本文提出的加固锁存器和TNURL加固锁存器的加固能力最强，可靠性最高。

#### 4.2 性能和开销对比

表2给出了本文提出的加固锁存器和第2节中介绍的4种容忍三点翻转加固锁存器的性能和开销对比。其中功耗是指在相同的激励下，18 ns内电路的平均电源功耗。延迟是指在透明期内，输入D到输出Q的数据传输延迟。面积开销采用宽长比最小的晶体管(Unit Size Transistors, UST)的数目来衡量<sup>[24]</sup>。面积开销与UST成正比，具体的计算公式为

$$UST = \sum_{i=1}^n (W/L)_i \quad (2)$$

从表2的第3列数据可以看出，相比于4种对比结构，本文结构有着最小的延迟开销。从表2的第4列数据可以看出，本文结构的面积开销相对较大。为了实现更高的加固能力，本文结构牺牲了面积开销，然而相比于具有相同加固能力的TNURL结构，还是很有优势的。

功耗延迟积能够综合衡量电路的功耗延迟特性，功耗延迟积越小，电路的性能越好。从表2第5列数据可以直观地看出相对于对比结构，本文结构有着最小的功耗延迟积，因此功耗延迟的综合性能是最优的。

表3给出了本文结构相比于4种对比结构的相对性能和开销变化以及本文结构相比于所有锁存器平均开销的相对变化。从表3的数据可以看出，相比于4种对比结构，本文结构的功耗平均降低了31.9%，延迟平均降低了87.8%，功耗延迟积平均降低了92.3%。特别地，和具有等效的最强加固能力的

TNURL锁存器相比，本文结构功耗降低了62.2%，延迟降低了49.1%，面积降低了34.4%，功耗延迟积降低了80.6%。

#### 4.3 PVT波动分析

随着工艺的不断降低，PVT波动对纳米集成电路的可靠性的影响日益严重<sup>[25]</sup>。因此本文测量了4种对比结构和本文结构在PVT波动下的功耗与延迟。

图4和图5分别为各锁存器在不同工艺角下的功耗和延迟。其中“FF”为“快N快P”工艺，“FS”为“快N慢P”工艺，“TT”为“正常工艺”，“SF”为“慢N快P”工艺，“SS”为“慢N慢P”工艺。从图5和图6可以看出，本文结构在工艺波动下功耗波动和延迟波动都是最平缓的。

图6和图7分别为各锁存器在不同电压下的功耗和延迟，电压波动范围是0.6~1.2 V。从图6和图7可以看出，随着电压升高，锁存器的功耗总体上呈上升趋势，延迟总体上呈下降趋势。但是相对于对比结构，本文结构的功耗波动较为平缓，而延迟波动是最平缓的。

图8和图9分别为各锁存器在不同温度下的功耗和延迟，温度波动范围是-40~100 °C。从图8和图9可以看出相对于对比结构，本文结构在不同温度下的功耗波动适中，不过延迟波动依然是最平缓的。

为了更直观地比较不同锁存器的PVT敏感度，表4给出了不同锁存器的PVT波动方差。其中第2列的“ $\sigma^2(PP)$ ”表示“不同工艺角下的功耗波动方差”；第3列的“ $\sigma^2(PD)$ ”表示“不同工艺角下的延迟波动方差”；第4列的“ $\sigma^2(VP)$ ”表示“不同电压下的功耗波动方差”；第5列的“ $\sigma^2(VD)$ ”

表2 性能与开销对比

锁存器名称	功耗 ( $\mu\text{W}$ )	延迟 (ps)	面积 (USTs)	功耗延迟积 (aJ)
TNU-Latch <sup>[8]</sup>	1.06	106.36	216	112.74
LCTNUT <sup>[9]</sup>	0.70	5.02	132	3.51
TNUTL <sup>[10]</sup>	0.53	24.05	108	12.75
TNURL <sup>[11]</sup>	1.64	6.99	384	11.39
本文结构	0.62	3.56	252	2.21

表3 性能与开销的相对变化(%)

锁存器名称	$\Delta$ 功耗	$\Delta$ 延迟	$\Delta$ 面积	$\Delta$ 功耗延迟积
TNU-Latch <sup>[8]</sup>	-41.5	-96.7	16.7	-98.0
LCTNUT <sup>[9]</sup>	-11.4	-29.1	90.9	-37.0
TNUTL <sup>[10]</sup>	17.0	-85.2	133.3	-82.7
TNURL <sup>[11]</sup>	-62.2	-49.1	-34.4	-80.6
平均值	-31.9	-87.8	15.4	-92.3

表示“不同电压下的延迟波动方差”；第6列的“ $\sigma^2(TP)$ ”表示“不同温度下的功耗波动方差”；第7列的“ $\sigma^2(TD)$ ”表示“不同温度下的延迟波动方差”。从表4的数据可以直观看出，本文结构的 $\sigma^2(PP)$ ,  $\sigma^2(PD)$ ,  $\sigma^2(VD)$ ,  $\sigma^2(TD)$ 以及平均方差都是最小的。也就是说，相对于另外4种对比结构，本文结构有着最低的PVT敏感度。

### 5 结束语

在集成电路工艺飞速发展的今天，可靠性问题

逐渐成为集成电路设计者的关注热点之一。本文提出了一种低开销的三点翻转自恢复锁存器，该锁存器巧妙结合了C单元和钟控C单元的优良特性，降低了电路功耗。特定的级联方式设计，保证了提出的锁存器具有较高的可靠性。32 nm工艺下的HSPICE仿真结果表明，本文提出的LC-TNURL锁存器不仅能够容忍任意情况的SNU, DNUs和TNUs，还能将所有翻转节点迅速自恢复到正确的逻辑状态。相比于已有的TNU自恢复锁存器TNURL，本文提出的LC-TNURL锁存器功耗、延迟、功耗

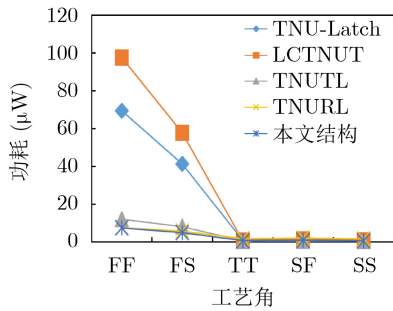


图4 不同工艺角下的功耗

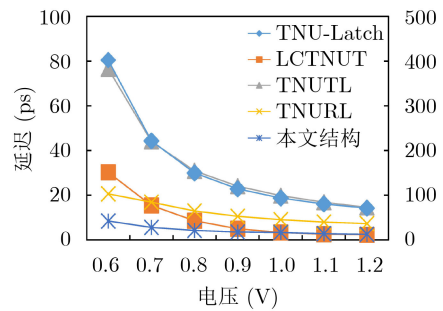


图7 不同电压下的延迟

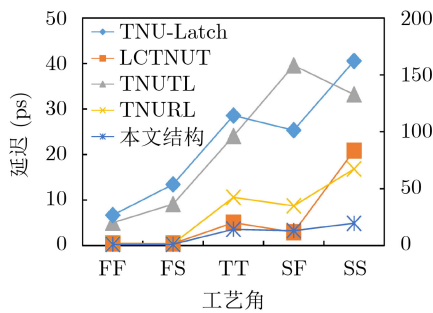


图5 不同工艺角下的延迟

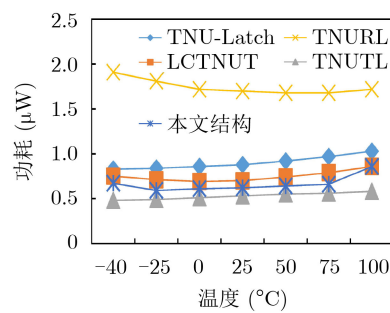


图8 不同温度下的功耗

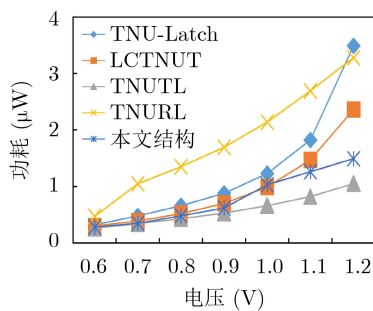


图6 不同电压下的功耗

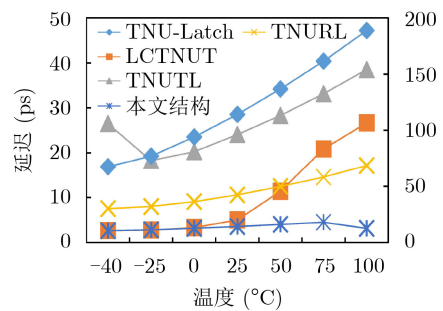


图9 不同温度下的延迟

表4 不同锁存器的PVT波动方差

锁存器名称	$\sigma^2(PP)$	$\sigma^2(PD)$	$\sigma^2(VP)$	$\sigma^2(VD)$	$\sigma^2(TP)$	$\sigma^2(TD)$	平均方差
TNU-Latch <sup>[8]</sup>	698.99	2336.63	0.71	12073.40	0.01	1763.43	2812.20
LCTNUT <sup>[9]</sup>	1964.75	73.31	0.54	103.78	0.00	95.35	372.95
TNUTL <sup>[10]</sup>	28.94	223.50	0.08	479.02	0.00	50.56	130.35
TNURL <sup>[11]</sup>	11.04	18.18	0.95	28.11	0.01	12.79	11.85
本文结构	9.72	4.32	0.22	4.31	0.01	0.45	3.17

延迟积和面积等各项开销均显著降低了。此外，相对于另外4种已有的TNU<sub>s</sub>加固锁存器，本文提出的LC-TNURL锁存器还具有最低的PVT敏感度，因此在高可靠集成电路领域或许会特别适用。

### 参考文献

- [1] 贾海昆, 池保勇. 硅基毫米波雷达芯片研究现状与发展[J]. 电子与信息学报, 2020, 42(1): 173–190. doi: [10.11999/JEIT190666](https://doi.org/10.11999/JEIT190666).  
JIA Haikun and CHI Baoyong. The status and trends of silicon-based millimeter-wave radar SoCs[J]. *Journal of Electronics & Information Technology*, 2020, 42(1): 173–190. doi: [10.11999/JEIT190666](https://doi.org/10.11999/JEIT190666).
- [2] 贺成艳, 卢晓春, 郭际. 一种新型卫星导航信号波形畸变特性评估新方法[J]. 电子与信息学报, 2019, 41(5): 1017–1024. doi: [10.11999/JEIT180656](https://doi.org/10.11999/JEIT180656).  
HE Chengyan, LU Xiaochun, and GUO Ji. Evil waveform evaluating method for new GNSS signals[J]. *Journal of Electronics & Information Technology*, 2019, 41(5): 1017–1024. doi: [10.11999/JEIT180656](https://doi.org/10.11999/JEIT180656).
- [3] LIANG Huaguo, Li Xin, HUANG Zhengfeng, *et al.* Highly robust double node upset resilient hardened latch design[J]. *IEICE Transactions on Electronics*, 2017, E100-C(5): 496–503. doi: [10.1587/transele.E100.C.496](https://doi.org/10.1587/transele.E100.C.496).
- [4] IBE E, TANIGUCHI H, YAHAGI Y, *et al.* Impact of scaling on neutron-induced soft error in SRAMs from a 250 nm to a 22 nm design rule[J]. *IEEE Transactions on Electron Devices*, 2010, 57(7): 1527–1538. doi: [10.1109/ted.2010.2047907](https://doi.org/10.1109/ted.2010.2047907).
- [5] 冯彦君, 华更新, 刘淑芬. 航天电子抗辐射研究综述[J]. 宇航学报, 2007, 28(5): 1071–1080. doi: [10.3321/j.issn:1000-1328.2007.05.001](https://doi.org/10.3321/j.issn:1000-1328.2007.05.001).  
FENG Yanjun, HUA Gengxin, and LIU Shufen. Radiation hardness for space electronics[J]. *Journal of Astronautics*, 2007, 28(5): 1071–1080. doi: [10.3321/j.issn:1000-1328.2007.05.001](https://doi.org/10.3321/j.issn:1000-1328.2007.05.001).
- [6] JIANG Jianwei, XU Yiran, REN Jiangchuan, *et al.* Low-cost single event double-upset tolerant latch design[J]. *Electronics Letters*, 2018, 54(9): 554–556. doi: [10.1049/el.2018.0558](https://doi.org/10.1049/el.2018.0558).
- [7] HUANG Zhengfeng, ZHANG Yangyang, SU Zian, *et al.* A hybrid DMR latch to tolerate MNU using TDICE and WDICE[C]. 2018 IEEE 27th Asian Test Symposium (ATS), Hefei, China, 2018: 121–126. doi: [10.1109/ats.2018.00033](https://doi.org/10.1109/ats.2018.00033).
- [8] WATKINS A and TRAGOUDAS S. Radiation hardened latch designs for double and triple node upsets[J]. *IEEE Transactions on Emerging Topics in Computing*, 2020, 8(3): 616–626. doi: [10.1109/tetc.2017.2776285](https://doi.org/10.1109/tetc.2017.2776285).
- [9] YAN Aibin, LAI Chaoping, ZHANG Yinlei, *et al.* Novel low cost, double-and-triple-node-upset-tolerant latch designs for nano-scale CMOS[J]. *IEEE Transactions on Emerging Topics in Computing*, 2021, 9(1): 520–533. doi: [10.1109/TETC.2018.2871861](https://doi.org/10.1109/TETC.2018.2871861).
- [10] LIU Xin. Multiple node upset-tolerant latch design[J]. *IEEE Transactions on Device and Materials Reliability*, 2019, 19(2): 387–392. doi: [10.1109/TDMR.2019.2912811](https://doi.org/10.1109/TDMR.2019.2912811).
- [11] YAN Aibin, FENG Xiangfeng, HU Yuanjie, *et al.* Design of a triple-node-upset self-recoverable latch for aerospace applications in harsh radiation environments[J]. *IEEE Transactions on Aerospace and Electronic Systems*, 2020, 56(2): 1163–1171. doi: [10.1109/TAES.2019.2925448](https://doi.org/10.1109/TAES.2019.2925448).
- [12] KUMAR C I and ANAND B. A highly reliable and energy-efficient triple-node-upset-tolerant latch design[J]. *IEEE Transactions on Nuclear Science*, 2019, 66(10): 2196–2206. doi: [10.1109/tns.2019.2939380](https://doi.org/10.1109/tns.2019.2939380).
- [13] YAN Aibin, XU Zhelong, YANG Kang, *et al.* A novel low-cost TMR-without-voter based HIS-insensitive and MNU-tolerant latch design for aerospace applications[J]. *IEEE Transactions on Aerospace and Electronic Systems*, 2020, 56(4): 2666–2676. doi: [10.1109/taes.2019.2951186](https://doi.org/10.1109/taes.2019.2951186).
- [14] LIN Dianpeng, XU Yiran, LI Xiaoyun, *et al.* A novel self-recoverable and triple nodes upset resilience DICE latch[J]. *IEICE Electronics Express*, 2018, 15(19): 20180753. doi: [10.1587/elex.15.20180753](https://doi.org/10.1587/elex.15.20180753).
- [15] NICOLAIDIS M, PEREZ R, and ALEXANDRESCU D. Low-cost highly-robust hardened cells using blocking feedback transistors[C]. 26th IEEE VLSI Test Symposium (vts 2008), San Diego, USA, 2008: 371–376. doi: [10.1109/vts.2008.15](https://doi.org/10.1109/vts.2008.15).
- [16] BLUM D R and DELGADO-FRIAS J G. Schemes for eliminating transient-width clock overhead from SET-tolerant memory-based systems[J]. *IEEE Transactions on Nuclear Science*, 2006, 53(3): 1564–1573. doi: [10.1109/tns.2006.874496](https://doi.org/10.1109/tns.2006.874496).
- [17] CALIN T, NICOLAIDIS M, and VELAZCO R. Upset hardened memory design for submicron CMOS technology[J]. *IEEE Transactions on Nuclear Science*, 1996, 43(6): 2874–2878. doi: [10.1109/23.556880](https://doi.org/10.1109/23.556880).
- [18] 黄正峰, 王世超, 欧阳一鸣, 等. 40 nm CMOS工艺下的低功耗容软错误锁存器[J]. 电子与信息学报, 2017, 39(6): 1464–1471. doi: [10.11999/JEIT160889](https://doi.org/10.11999/JEIT160889).  
HUANG Zhengfeng, WANG Shichao, OUYANG Yiming, *et al.* Low power soft error tolerant latch for 40 nm CMOS technology[J]. *Journal of Electronics & Information Technology*, 2017, 39(6): 1464–1471. doi: [10.11999/JEIT160889](https://doi.org/10.11999/JEIT160889).
- [19] 黄正峰, 陈凡, 蒋翠云, 等. 基于时序优先的电路容错混合加固方案[J]. 电子与信息学报, 2014, 36(1): 234–240. doi: [10.3724/SP.J.1146.2013.00449](https://doi.org/10.3724/SP.J.1146.2013.00449).  
HUANG Zhengfeng, CHEN Fan, JIANG Cuiyun, *et al.* A

- hybrid hardening strategy for circuit soft-error-tolerance based on timing priority[J]. *Journal of Electronics & Information Technology*, 2014, 36(1): 234–240. doi: [10.3724/SP.J.1146.2013.00449](https://doi.org/10.3724/SP.J.1146.2013.00449).
- [20] MITRA S, SEIFERT N, ZHANG M, *et al.* Robust system design with built-in soft-error resilience[J]. *Computer*, 2005, 38(2): 43–52. doi: [10.1109/mc.2005.70](https://doi.org/10.1109/mc.2005.70).
- [21] NEALE A and SACHDEV M. Neutron radiation induced soft error rates for an adjacent-ECC protected SRAM in 28 nm CMOS[J]. *IEEE Transactions on Nuclear Science*, 2016, 63(3): 1912–1917. doi: [10.1109/TNS.2016.2547963](https://doi.org/10.1109/TNS.2016.2547963).
- [22] OMANA M, ROSSI D, and METRA C. Latch susceptibility to transient faults and new hardening approach[J]. *IEEE Transactions on Computers*, 2007, 56(9): 1255–1268. doi: [10.1109/TC.2007.1070](https://doi.org/10.1109/TC.2007.1070).
- [23] MESSENGER G C. Collection of charge on junction nodes from ion tracks[J]. *IEEE Transactions on Nuclear Science*, 1982, 29(6): 2024–2031. doi: [10.1109/TNS.1982.4336490](https://doi.org/10.1109/TNS.1982.4336490).
- [24] KATSAROU K and TSIATOUHAS Y. Soft error interception latch: Double node charge sharing SEU tolerant design[J]. *Electronics Letters*, 2015, 51(4): 330–332. doi: [10.1049/el.2014.4374](https://doi.org/10.1049/el.2014.4374).
- [25] YAN Aibin, LIANG Huaguo, HUANG Zhengfeng, *et al.* An SEU resilient, SET filterable and cost effective latch in presence of PVT variations[J]. *Microelectronics Reliability*, 2016, 63: 239–250. doi: [10.1016/j.microrel.2016.06.004](https://doi.org/10.1016/j.microrel.2016.06.004).
- 黄正峰: 男, 1978年生, 教授, 硕士生导师, 研究方向是数字系统设计自动化。
- 李先东: 男, 1996年生, 硕士生, 研究方向是集成电路软错误分析和系统可靠性设计。
- 陈 鹏: 男, 1995年生, 硕士生, 研究方向是硬件安全。
- 徐 奇: 男, 1991年生, 讲师, 研究方向是数字集成电路容错设计。
- 宋 钛: 男, 1982年生, 博士生, 研究方向是数字集成电路测试。
- 戚昊琛: 女, 1981年生, 高级实验师, 研究方向是传感器与嵌入式系统。
- 欧阳一鸣: 男, 1963年生, 教授, 研究方向是数字系统设计自动化等。
- 倪天明: 男, 1991年出生, 讲师, 研究方向是三维集成电路容错设计。

责任编辑: 陈 倩