

基于TDC的无死区频率测量技术研究

刘涛^{①②④} 陈国超^{①②④} 陈法喜^{*①②③} 赵侃^{①②} 董瑞芳^{①②④} 张首刚^{①②④}

^①(中国科学院国家授时中心 西安 710600)

^②(中国科学院时间频率基准重点实验室 西安 710600)

^③(西安电子科技大学 西安 710071)

^④(中国科学院大学 北京 100049)

摘要: 在精密时频测控领域中, 高分辨率、无死区的时间间隔和频率测量非常关键, 而时间数字转换器(Time to Digital Converter, TDC)是时间频率测量的常用手段。该文研制了基于ACAM公司生产的时间数字转换芯片TDC-GP21和Altera公司FPGA芯片EP4CE6E22C8N的时间频率测量设备, 实现了高分辨率的时间间隔测量, 测量分辨率达到13ps。同时采用时间间隔测量模块两两组合的方式实现了无死区频率测量, 创新性地采用每组3个TDC芯片, 共4组搭建了时间频率测量系统, 并对组内3个TDC芯片测量结果采用平均值滤波法, 使频率测量稳定度达到 $1.1 \times 10^{-11} @ 1 \text{ s}$, $5.6 \times 10^{-15} @ 10000 \text{ s}$, 与商用K+K FXE频率计数器指标相当。本设备具有体积小、无需校准、成本低等优点, 能够广泛应用到高精度时间间隔和精密频率测量领域中。

关键词: 频率测量; 时间间隔测量; 时间数字转换器(TDC); 高精度; 无死区

中图分类号: TM935

文献标识码: A

文章编号: 1009-5896(2021)09-2518-08

DOI: [10.11999/JEIT200807](https://doi.org/10.11999/JEIT200807)

Research on Dead-time Free Frequency Measurement Technology Based on TDC

LIU Tao^{①②④} CHEN Guochao^{①②④} CHEN Faxi^{①②③} ZHAO Kan^{①②}
DONG Ruifang^{①②④} ZHANG Shougang^{①②④}

^①(National Time Service Center, Chinese Academy of Sciences, Xi'an 710600, China)

^②(Key Laboratory of Time and Frequency Standards, Chinese Academy of Sciences, Xi'an 710600, China)

^③(Xidian University, Xi'an 710071, China)

^④(University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In the fields requiring precise time and frequency measurement and control, high-precision, dead-time free time interval and frequency measurements are highly demanded. TDC (Time to Digital Converter) is commonly adopted in time and frequency measurement. In this paper, a self-developed multi-module time-interval measurement system is built based on the time digital conversion chip TDC-GP21 from ACAM company and the Cyclone IV FPGA chip EP4CE6E22C8N from Altera Company. For each time-interval measurement module, a time-interval measurement resolution as small as 13 ps is achieved. By further duplex operating two such time-interval measurement modules, a dead-time free frequency measurement is realized, the time and frequency measurement system involves three groups, each of which has 3 TDC chips. By averaging the measurement results of three TDC chips in each group, a frequency instability reaches $1.1 \times 10^{-11} @ 1 \text{ s}$ and $5.6 \times 10^{-15} @ 10000 \text{ s}$. This result shows that this self-developed apparatus approaches the performance of the commercial K+K FXE frequency counter. Due to its advantages of small size, no calibration and low cost, this apparatus can be widely used in applications that require high-precision time interval and precise frequency measurements.

收稿日期: 2020-10-28; 改回日期: 2021-02-22; 网络出版: 2021-03-30

*通信作者: 陈法喜 cfx2006xd@163.com

基金项目: 中国科学院战略性先导科技专项(B类)(XDB21030200), 广东省重点领域研发计划项目(2018B030325001)

Foundation Items: The Strategic Priority Research Program of the Chinese Academy of Sciences (XDB21030200), The Research and Development Program in Key Areas of Guangdong Province (2018B030325001)

Key words: Frequency measurement; Time interval measurement; Time-to-Digital Converter (TDC); High precision; Dead-time free

1 引言

在航空航天、电力、光纤通信等很多领域都需要高精度的时间间隔和频率信号, 精密时间和频率为测量及控制提供了必要的基准信号。高精度的精密时间具有较好的线性度和准确度, 能够更为客观地反映物体的运动规律, 因此近年来全世界都非常重视精密时间频率测量技术的研究。同时随着5G技术、自动化技术、航空航天技术、卫星导航定位技术的快速发展, 计算机成为人们日常工作和生活中不可或缺的工具, 测量是时间传递的根本, 在计算机技术高速发展的时代, 为了实现精确的检测和控制, 对于时间间隔和频率信号的测量要求越来越高^[1-3]。

目前, 随着科技水平的提升, 国内外时频测量技术均有着不同程度的发展, 尤其是使用ASIC (Application Specific Integrated Circuit)或FPGA (Field-Programmable Gate Array)实现时间数字转换电路对时间频率的高精度测量。2006年中国科学技术大学使用FPGA的专用进位链作为延迟单元, 在系统时钟周期之中采用时间内插的方法实现了精确的时间测量, 同时又设计了两个格雷码计数器, 用于获得稳定的粗时间测量值, 经过校准得到的TDC分辨率可达50 ps。2008年, Fermilab实验室的研究人员研究出了基于FPGA和TDC的进位链测量方案, 创新性地提出了“Wave Union Launchers”设计, 使得在低成本FPGA芯片中实现TDC分辨率提升至10 ps到20 ps的范围^[4,5]。目前在要求严格的大型实验中, 极少使用FPGA实现高分辨率和高精度TDC的测量要求, 一般高精度TDC设计均是基于专用的TDC芯片, 如欧洲核子研究组织CERN开发的具有32通道的HPTDC, 以及德国ACAM公司推出的GP系列的时间数字转换芯片^[6-10]。

传统频率测量方法, 不管是从数字式电子计数器到电子管频率计, 乃至大规模集成电路的电子计数器, 均采用计数的方法进行频率测量^[11-15], 这种测量方法往往存在一定误差, 其主要为来自输入电路、时基振荡器和主门等多方面的误差^[16-19]。

目前市场上已有完备商用的通用频率计数器, 如K+K FXE相位频率计数器在时频领域已有非常广泛的应用, 以及KEYSIGHT TECHNOLOGIES (是德科技)所生产的通用计数器53230A, 具有较高的频率测量分辨率但并不具备无死区的测量能力。

实现高精度时间间隔和频率信号的测量方法都

有很多, 而本文采用Verilog硬件语言基于FPGA^[20,21], 实现以时间数字转换芯片TDC-GP21为核心的电路设计, 搭建了一款基于时间测量的频率测量模块, 可对输入频率信号进行连续无死区的测量。

本文所搭建的时间间隔与频率测量系统基于ACAM公司生产的时间数字转换芯片TDC-GP21和Altera公司FPGA芯片EP4CE6E22C8N, 通过多个TDC芯片同时测量同一信号的方式, 采取平均值滤波法来降低统计误差。在功能上, 除了传统的频率计数器、时间间隔计数器和通用计数器所提供的功能之外, 本文所设计的时间间隔与频率测量系统可以更高的速度运行, 具有连续无死区的测量能力, 同时能够实时上传测量结果到上位机界面(C#语言), 因此本系统能对信号的动态特性做出更为准确的判断。随着新时代电子技术的快速发展, 本文所采用的核心—时间数字转换电路也在不断开发新的应用领域, 以便得到更为广泛的使用。

2 原理

2.1 时间间隔测量原理

本文时间间隔测量部分的基本方式采用德国ACAM公司GP系列的集成TDC芯片, 改进它的工作方式, 保证高精度的同时, 使其能够进行无死区的连续时间测量, 进而得到时间频率信号的相关信息。具体实现方案采取TDC-GP21测量时间方式2的四精度模式。

时间测量模块核心测量原理如图1所示, 将开门信号和关门信号之间的时间间隔转化为一个正脉宽 T , 用1 MHz的时基脉冲信号对其进行填充, 得到粗计数中的计数值 N_0 , 进而可以计算得到 $T = N_0 T_0 + (\Delta T_1 + T_0) - (\Delta T_2 + T_0)$, 其中 $N_0 T_0$ 是时间间隔测量结果的整数部分, $\Delta T_1 + T_0$ 为测时模块1根据系统起始信号和时基脉冲的第2个上升沿之间测量所得到的测量值, 而 $\Delta T_2 + T_0$ 是测时模块2根据系统停止信号和时基脉冲停止后的第2个上升沿之间测量所得到的测量值, 两者相减, 即为 $\Delta T_1 - \Delta T_2$, 这是时基脉冲与开关门信号之间的相位差, 也就是我们所要进行时间间隔测量结果的小数部分, 对于小数部分时间间隔 $\Delta T_1 + T_0$ 和 $\Delta T_2 + T_0$ 的测量正是本文的创新点所在。

本文创新性地使用了3片TDC-GP21芯片构成一组TDC测量单元, 3片TDC芯片采用平均值滤波法以提高测量精度, 分别使用两组TDC构成TDC

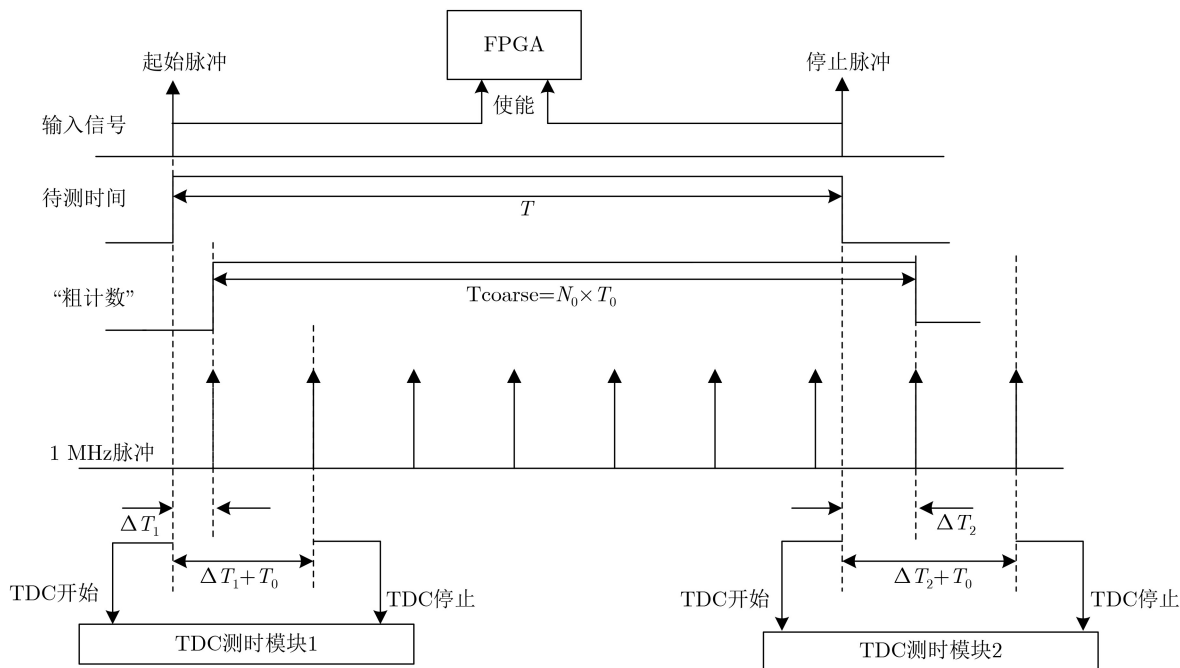


图1 时间间隔测量原理图

测时模块1以及TDC测时模块2用来测量 $\Delta T_1 + T_0$ 和 $\Delta T_2 + T_0$ 的值,即时间间隔测量结果的小数部分。而10 MHz信号作为外部时钟信号10分频后输入FPGA,用10 MHz频标信号10分频输出的1 MHz作为时基脉冲信号;同时另一路经2分频之后作为TDC的参考时钟。且本文使用专用时钟输入引脚而非普通I/O引脚,在FPGA中使用全局时钟资源,以便有专门的时钟路径。

2.2 频率测量原理

本文使用改进后的T法(测周期法)对频率信号进行测量,使用基于测量时间间隔的方法来测量频率,测量两个上升沿之间的时间间隔换算成周期进而得到相应的频率;由于T法测量时间间隔的分辨率有限,当被测频率较高时,被测的周期便会相对较短,时间间隔测量的误差相对于被测频率周期的比值就比较大,这样便会使得测量误差较大。经过适当的分频后,频率降低可以减小这个比值,从而提高测量分辨率,因此需要先将输入的待测频率进行 m 分频,即进行可变分频。

本文采用的频率测量方案原理如图2所示,输入待测频率信号为 f_x ,首先,将输入信号 f_x 进行 m 分频,其中 m 可调,使用测时模块1和测时模块2进行频率测量,测时模块1测量得出 T_{X1} 的测量值,而测时模块2测得 T_{X2} 的测量值,测时模块1和测时模块2交替对已进行 m 分频后的信号 $f_{Xn}(n=1, 2, \dots)$ 进行测量时间间隔方式的频率测量,其中 T_{X1}, T_{X2} 分别为分频后的信号相邻上升沿之间的待

测时间间隔。使用测时模块1对 T_{X1} 进行测量,可以得到 $T_{X1} = N_0 T_0 + \Delta T_1 - \Delta T_2$,本文同时使用两套测时模块,当测时模块1对时间间隔 T_{X1} 完成测量时的上升沿作为测时模块1的停止测量信号,同时也作为测时模块2对时间间隔 T_{X2} 的开始测量信号,依次交替进行测量,从而可以做到无死区的频率测量,实现了任意频率的无死区准确测量。由于无死区测量可以准确反映被测频率信号的相位,从而实现不同频率间的相位比对。

本文所设计的频率测量模块在正式测量时,将输入的待测频率信号进行 m 分频(m 可调),开门和关门信号经过触发电平调节模块以及闸门产生模块,以产生一个正脉冲,这个正脉冲的宽度等于开门和关门信号之间的时差,经过3个TDC芯片搭建的TDC测量组将相差脉冲转化得到时差值,该时差值即为被测时间间隔测量结果的小数部分;将被测时间间隔测量结果的整数部分与小数部分相加便得到了被测时间间隔的准确测量值。通过频率与时间的关系,即 $f = 1/T$,从而得到所测量的频率值。以 T_{X1} 为例, $T_{X1} = N_0 T_0 + \Delta T_1 - \Delta T_2$ 根据频率与时间间隔的关系 $f = 1/T$ 可以得到 $f_{X1} = 1/T_{X1}$,再乘以分频倍数 m ,可得到待测信号的频率 $f = m f_{X1} = \frac{m}{N_0 T_0 + \Delta T_1 - \Delta T_2}$,并且由于连续无死区的测量可以测量得到真实完整的频率值。

3 系统设计

为了得到更高的时间间隔和频率信号的测量精

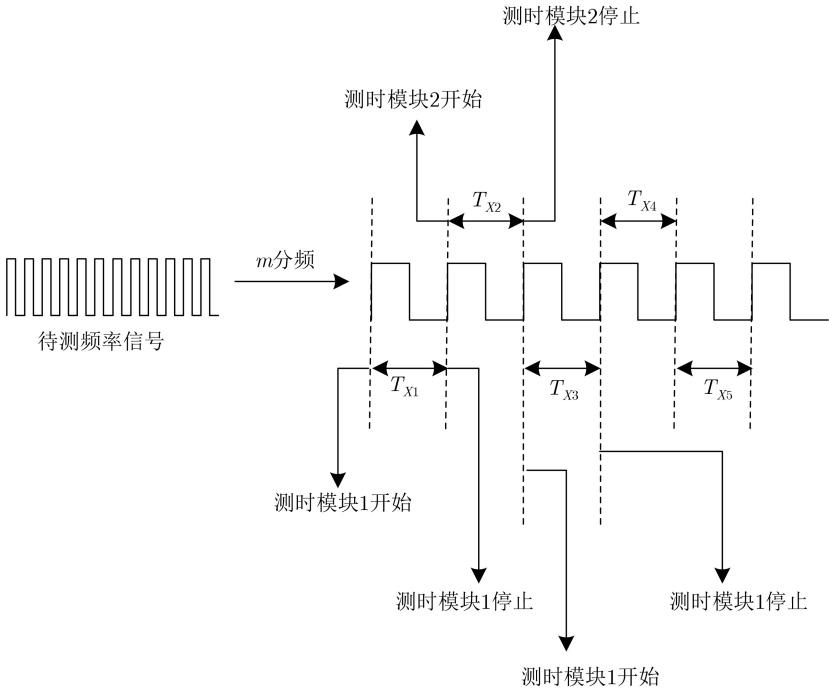


图2 频率测量原理图

度，以便获得更为丰富的频率信息，本文采用时间数字转换器(Time to Digital Converter, TDC)为核心测量信号时间频率的变化情况。本系统设计主要由硬件设计和软件设计两部分组成，其中硬件部分包括各个模块电路的结构设计及相关要点；软件部分主要包括FPGA对TDC进行配置、控制，“粗时间”+“细时间”相结合从而实现更大测量范围以及更高的分辨率的综合时间频率测量方法，其中充当微控制单元(MicroController Unit, MCU)的STM32对测量的粗细时间进行运算后通过串口通信的方式传输到上位机软件，由C#搭建的上位机软件将基于“粗时间”和“细时间”计算得到的时间间隔和频率信号返回值绘制成图像并保存数据以便进行相应分析。

如图3所示是基于TDC的时间频率测量系统整体设计方案，由图可见，首先本文将待测频率的方波输入到FPGA中，在FPGA单元中制作一个可以调节占空比和宽度的闸门信号，通过闸门信号生成start信号和stop信号，一方面使用FPGA的系统时钟进行填充，完成“粗时间”的测量，另一方面使用FPGA配置并驱动TDC-GP21芯片，使其测量start信号和stop信号之间的“细时间”时间值，将两路输出的数据通过数据线发送至MCU单元系统中，进行“粗细时间”运算处理，再通过串口通信的方式发送到使用VS(Visual Studio)搭建的上位机中，上位机可完成对频率数据变化的绘制和保存。

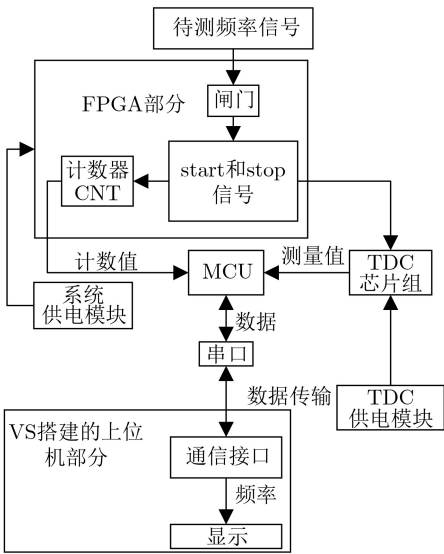


图3 频率测量系统整体设计方案图

3.1 硬件设计

频率测量作为电子测量领域中的重要部分，随着科技的发展受到越来越多的重视，传统上，测量频率的方法是直接计数法，分为M法(测频法)和T法(测周期法)，M法是测量单位时间内被测信号重复周期数来计算的，其频率被定义为周期数除以测量间隔的持续时间，M法适宜测量高频信号；T法则是测量相邻两个上升沿/下降沿之间的时间换算成周期然后进而得到频率，频率较高时，误差所占的比例变大，所以T法适宜测量低频，T法测量在计算时会产生相应误差，而M法局限于被测频

率降低而迫使测量精度的降低,因此本文采用改进后的T法测量,即分频后使用测量时间间隔的方法测量频率信号。同时,由于TDC-GP21芯片外围电路设计特别需要注意电源的设计质量,电源的质量会影响到芯片的性能乃至测量精度,因此对TDC及外围电路构建成的测时模块中模拟部分和数字部分分别设计供电电路进行单独供电,不同电路部分采用不同的电源模块进行供电以避免数字部分开关噪声对敏感电路的性能产生影响,本文所设计出的TDC电源模块具有高电容性、低电感性,从而保证了核心测量单元TDC硬件电路的稳定性。TDC芯片的测量方式主要是脉冲电流式,因此本设计在硬件电路中添加便于调整的双二次型带通滤波器。

频率信号测量系统硬件设计如图4所示,待测频率信号输入后经施密特触发器将信号类型均转为方波,后经分频电路进行可变分频输入FPGA中,产生闸门信号A和闸门信号B,将闸门信号产生的start和stop信号分别送至测时模块1和测时模块2,其中测时模块由两个TDC测时单元和一片内含32位计数器的FPGA构成,而每个TDC测时单元又由3片TDC芯片组成,测量结果取平均以提高测量精度,测时模块1和测时模块2交替对FPGA所产生的start和stop信号进行测量后经MCU计算后通过串口通信电路传输至上位机进行显示和数据保存。

其中,TDC测量单元作为频率测量系统的核心,通过FPGA对TDC芯片进行配置,之后通过控制start和stop信号来控制TDC-GP21进行时间间隔和频率信号的测量。

核心测量模块的硬件数字逻辑部分均是在FPGA

内实现的,本文选择的是Altera的EP4CE6E22C8N,内部资源充足,可以满足本系统的使用要求,并且还存有足够的余量,可为后续拓展提供充分保障。

3.2 软件设计

上位机软件使用C#编程语言在VS 2017集成环境下实现,包括参数配置及系统控制和数据采集及处理两个功能模块,参数配置及系统控制模块基于本系统制定的通信协议实现系统的测量模式及通道配置并控制系统的启停工作;数据采集及处理模块利用串口通信模式实时采集下位机回传数据并实时处理、显示,可保存测量结果至Excel文件,软件具有良好的交互性且操作简单。上位机软件可选择频率或时间间隔测量模式,对当前频率测量值的实时绘制。

上位机软件工作流程如下,使用串口通信的通信方式进行上位机与时间频率测量设备之间的通信,并且当软件系统中没有完成测量模式的选择,以及完成串口协议的配置时,无法点击上位机界面中的“开始”按钮;并且本文所设计的上位机软件除可实时绘制频率变化曲线之外,可将采集数据保存至用于采集的计算机默认文件夹中,便于数据保存和后期相应的数据处理。

系统中MCU微处理器部分采用STM32F103RCT6作为控制电路的核心,实现TDC-GP21的时序控制、寄存器配置初始化、数据处理SPI通信等功能;MCU运算控制部分的代码空间并不占据特别大的Flash空间和RAM空间,选用具有Cortex-M3内核的STM32F103RCT6具有256kB的Flash空间和48kB的RAM空间,另外具有2个18M的SPI接口以及3个USART,充足的通信接口可保证一方面

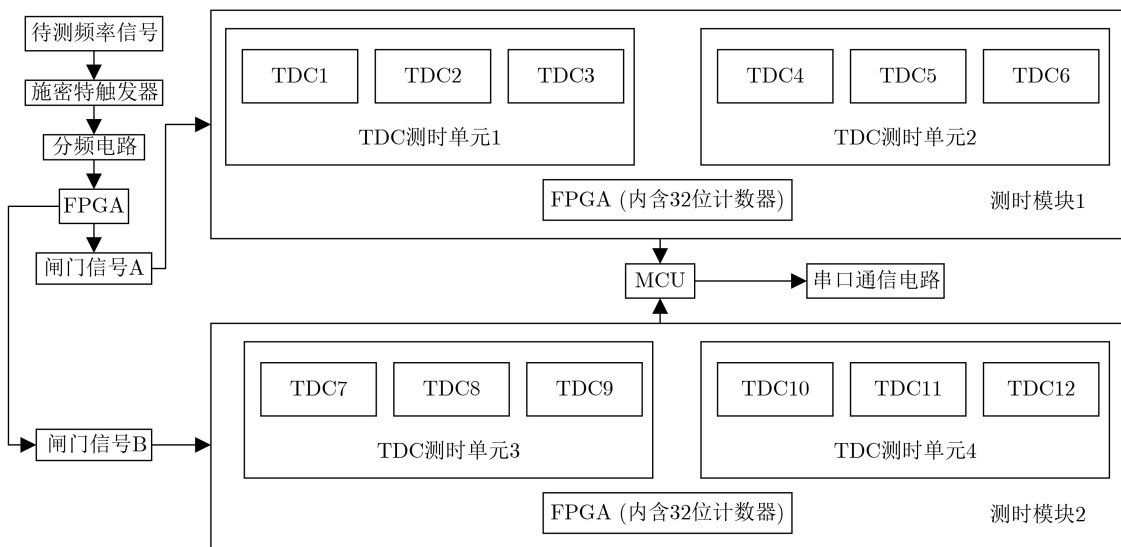


图4 频率测量系统硬件设计结构图

应用于驱动下位机的液晶屏进行显示，一方面用于与上位机进行数据通信。

使用FPGA和STM32编程实现对TDC-GP21的时序控制，在正式使用TDC测量之前，首先对TDC测量单元中TDC-GP21芯片进行复位，之后再行进行寄存器配置以及芯片工作方式的选择；完成TDC芯片的初始化后，测量芯片的校准单元，通过start和stop信号，以得到所要计算得出的“细时间”，即小数部分时间间隔 $\Delta T_1 + T_0$ 和 $\Delta T_2 + T_0$ 。

4 实验结果及分析

频率测量测试实验结构如图5所示，本文的测试实验使用铷原子钟所输出的10 MHz频率信号，经波形变换处理成方波信号后将其分为两路信号，一路信号输入作为时间频率测量设备的基准信号；另一路信号作为待测信号，频率分配后使用本文所设计的测时模块1和测时模块2所组成的时间频率测量设备进行频率测量并最终上传至PC上位机界面。

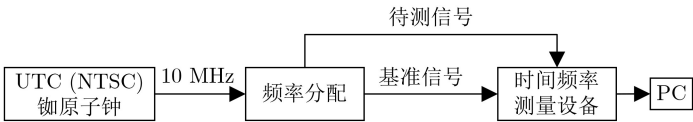


图5 系统测试实验图

通过图5所示测量方式分别对K+K FXE, 53230A及本文所设计的时间频率测量设备进行测试校准，得到频率稳定度曲线图如图6所示，通过计算Allan方差，由计算得出的数据可得出本文所设计的基于TDC的时间频率测量设备的频率稳定度为 $1.1 \times 10^{-11} @ 1\text{ s}$, $5.6 \times 10^{-15} @ 10000\text{ s}$ ，根据实验得出的测量结果表如表1所示，可见本文所设计的时间频率测量设备的短期稳定度、长期稳定度均优于KEYSIGHT TECHNOLOGIES(是德科技)所生产的通用计数器53230A，与K+K FXE频率计数器指标相当。

通过图6在测量平均时间的范围内变化折线图可以发现，本文所设计的时间频率测量系统频率稳

定度的下降趋势优于 $1/\sqrt{\tau}$ ，接近 $1/\tau$ 特征，说明本文所提出的时频测量系统完成了无死区的频率测量设计。

5 结束语

本文以Altera生产的FPGA和STM32为控制载体，通过对TDC-GP21为核心的测时模块进行连续无死区的频率测量，同时在频率测量方面可不经任何处理对两个不同频率信号进行无死区测量，创新地使用测量时间间隔的方法用来测量频率，可实现连续无死区的测量；通过计算出周期的时间间隔长度，根据频率与时间的关系，即 $f=1/T$ ，从而可以完成对待测频率信号进行测量，实验测试结果表明本文所设计的基于TDC的无死区时间频率测量设备稳定度可达到 $1.1 \times 10^{-11} @ 1\text{ s}$, $5.6 \times 10^{-15} @ 10000\text{ s}$ ，兼具背景噪声低、可连续测量的特点，可用于光纤光频传递的最终结果测试中。

本文阐述了基于TDC无死区的高精度频率测量设备，实现了无死区的频率测量，可应用于多种不同的场合，满足不同的测量需求，然而在测量精度上仍旧存在着一定的不足，计划在后期增添精密控温模块为时间频率测量模块提供恒温保障，以便改善系统整体的温度特性，进一步提高测量精度。频率测量稳定度 $1/\tau$ 特征有待提高，目前未解决温度漂移对系统的影响，后续会改进以达到更好的测量指标性能。另外，使用C#在VS中搭建的上位机软件可进一步添加Allan方差计算功能，进一步增加其实用性。

参 考 文 献

[1] 赵侃, 梁双有, 陈法喜, 等. 精密时间间隔计数器的研制[J]. 中国科学: 物理学 力学 天文学, 2011, 41(5): 602-606. doi:

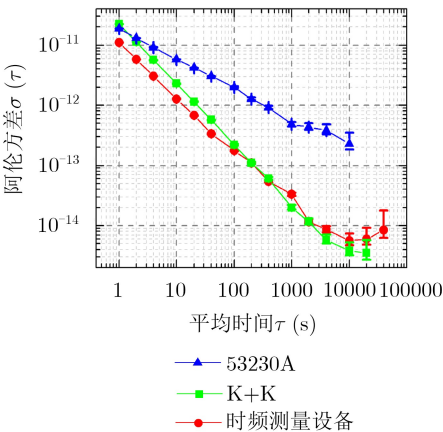


图6 频率稳定度折线图

- 10.1360/132011-329.
- ZHAO Kan, LIANG Shuangyou, CHEN Faxi, *et al.* Design of precision time interval counter[J]. *Scientia Sinica: Physics Mechanics & Astronomy*, 2011, 41(5): 602–606. doi: 10.1360/132011-329.
- [2] 侯志军, 马红皎, 王康, 等. 基于TDC-GPX2的精密时间间隔测量仪设计[J]. 时间频率学报, 2017, 40(4): 213–220. doi: 10.13875/j.issn.1674-0637.2017-04-0213-08.
- HOU Zhijun, MA Hongjiao, WANG Kang, *et al.* Design of a precise time interval measuring instrument base on TDC-GPX2[J]. *Journal of Time and Frequency*, 2017, 40(4): 213–220. doi: 10.13875/j.issn.1674-0637.2017-04-0213-08.
- [3] 黄海舰. 基于FPGA时间内插技术的TDC设计[D]. [硕士论文], 华中师范大学, 2013.
- HUANG Haijian. The design of time-to-digital converter based on time interpolation technology in FPGA[D]. [Master dissertation], Central China Normal University, 2013.
- [4] SONG Jian, AN Qi, and LIU Shubin. A high-resolution time-to-digital converter implemented in field-programmable-gate-arrays[J]. *IEEE Transactions on Nuclear Science*, 2006, 53(1): 236–241. doi: 10.1109/TNS.2006.869820.
- [5] WU Jinyuan and SHI Zonghan. The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay[C]. IEEE Nuclear Science Symposium Conference Record, Dresden, Germany, 2008: 3440–3446.
- [6] 杜念通, 周斌. 一种基于TDC的相对频差测量方法[J]. 传感器与微系统, 2016, 35(2): 140–142, 146. doi: 10.13873/J.1000-9787(2016)02-0140-03.
- DU Niantong and ZHOU Bin. A relative frequency difference detection method based on TDC[J]. *Transducer and Microsystem Technologies*, 2016, 35(2): 140–142, 146. doi: 10.13873/J.1000-9787(2016)02-0140-03.
- [7] 班超. FPGA高精度时间测量[D]. [硕士论文], 北京邮电大学, 2013.
- BAN Chao. FPGA high-precision time measurement[D]. [Master dissertation], Beijing University of Posts and Telecommunications, 2013.
- [8] 刘杰. 光纤光学频率传递研究[D]. [博士论文], 中国科学院研究生院(国家授时中心), 2016.
- LIU Jie. Experimental study on optical frequency transfer via optical fibers[D]. [Ph. D. dissertation], National Time Service Center, Chinese Academy of Sciences, 2016.
- [9] JEFFERTS S R, WEISS M A, LEVINE J, *et al.* Two-way time and frequency transfer using optical fibers[J]. *IEEE Transactions on Instrumentation and Measurement*, 1997, 46(2): 209–211. doi: 10.1109/19.571814.
- [10] WANG Bo, GAO Chao, CHEN W L, *et al.* Precise and continuous time and frequency synchronisation at the 5×10^{-19} accuracy level[J]. *Scientific Reports*, 2012, 2: 556. doi: 10.1038/srep00556.
- [11] ALLAN D W. Statistics of atomic frequency standards[J]. *Proceedings of the IEEE*, 1966, 54(2): 221–230. doi: 10.1109/PROC.1966.4634.
- [12] 罗敏, 宫月红, 喻明艳. 时间-数字转换器研究综述[J]. 微电子学, 2014, 44(3): 372–376.
- LUO Min, GONG Yuehong, and YU Mingyan. Research summary of time-to-digital converter[J]. *Microelectronics*, 2014, 44(3): 372–376.
- [13] WANG Jinhong, LIU Shubin, ZHAO Lei, *et al.* The 10-ps multitime measurements averaging TDC implemented in an FPGA[J]. *IEEE Transactions on Nuclear Science*, 2011, 58(4): 2011–2018. doi: 10.1109/TNS.2011.2158551.
- [14] 吴军, 王海伟, 郭颖, 等. 资源有限FPGA的多通道时间-数字转换系统[J]. 红外与激光工程, 2015, 44(4): 1208–1217. doi: 10.3969/j.issn.1007-2276.2015.04.018.
- WU Jun, WANG Haiwei, GUO Ying, *et al.* Resources-limited FPGA based-multi-channel TDC system[J]. *Infrared and Laser Engineering*, 2015, 44(4): 1208–1217. doi: 10.3969/j.issn.1007-2276.2015.04.018.
- [15] 沈奇. 量子通信中的精密时间测量技术研究[D]. [博士论文], 中国科学技术大学, 2013.
- SHEN Qi. The research on high resolution time to digital conversion for quantum communication[D]. [Ph. D. dissertation], University of Science and Technology of China, 2013.
- [16] WU Jinyuan. Several key issues on implementing delay line based TDCs using FPGAs[J]. *IEEE Transactions on Nuclear Science*, 2010, 57(3): 1543–1548. doi: 10.1109/TNS.2010.2045901.
- [17] WANG Jinhong, LIU Shubin, SHEN Qi, *et al.* A fully fledged TDC implemented in field-programmable gate arrays[J]. *IEEE Transactions on Nuclear Science*, 2010, 57(2): 446–450. doi: 10.1109/TNS.2009.2037958.
- [18] ABD EL RAHIM M, ANTOINE R, ARNAUD L, *et al.* Position sensitive detection coupled to high-resolution time-of-flight mass spectrometry: Imaging for molecular beam deflection experiments[J]. *Review of Scientific Instruments*, 2004, 75(12): 5221–5227. doi: 10.1063/1.1813112.
- [19] LEE M and ABIDI A A. A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90nm CMOS that amplifies a time residue[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(4): 769–777. doi: 10.1109/JSSC.2008.917405.
- [20] 涂开辉, 黄志洪, 侯峥嵘, 等. 基于配置模式匹配和层次化映射结构的高效FPGA码流生成系统研究[J]. 电子与信息学报, 2019, 41(11): 2585–2591. doi: 10.11999/JEIT190143.

- TU Kaihui, HUANG Zhihong, HOU Zhengrong, *et al.* Research on efficient FPGA bitstream generation system based on mode matching and hierarchical mapping[J]. *Journal of Electronics & Information Technology*, 2019, 41(11): 2585–2591. doi: [10.11999/JEIT190143](https://doi.org/10.11999/JEIT190143).
- [21] 徐宇, 林郁, 杨海钢. FPGA双端口存储器映射优化算法[J]. 电子与信息学报, 2020, 42(10): 2549–2556. doi: [10.11999/JEIT190077](https://doi.org/10.11999/JEIT190077).
- XU Yu, LIN Yu, and YANG Haigang. Optimization algorithm of dual-port memory mapping on FPGA[J]. *Journal of Electronics & Information Technology*, 2020, 42(10): 2549–2556. doi: [10.11999/JEIT190077](https://doi.org/10.11999/JEIT190077).
- 刘 涛: 男, 1976年生, 研究员, 研究方向为高精度光纤时间频率传递、窄线宽激光器研制.
- 陈国超: 男, 1993年生, 硕士生, 研究方向为高精度光纤时间同步、精密时间频率测量技术.
- 陈法喜: 男, 1985年生, 副研究员, 研究方向为精密时间测量与时间同步.
- 赵 侃: 男, 1986年生, 助理研究员, 研究方向为精密时间间隔测量、光纤时间间隔测量传递设备.
- 董瑞芳: 女, 1977年生, 研究员, 研究方向为量子时间同步、高精度时间频率传递、基于双飞秒光梳的高精度测距.
- 张首刚: 男, 1966年生, 研究员, 研究方向为铯原子喷泉钟、铯原子光钟、新型星载原子钟、时间频率光纤及量子传递、物理常数精密测量.
- 责任编辑: 陈 倩