

高性能集成锁相环中低失配电荷泵的设计

施 展^① 余 隽^① 唐祯安^{*①} 蔡 泓^① 冯 冲^{①②}

^①(大连理工大学电子科学与技术学院 大连 116024)

^②(大连民族大学信息与通信工程学院 大连 116600)

摘 要: 在分析电荷泵结构、工作原理和产生杂散机理的基础上, 该文提出了一种低静态电流失配、低时序失配的高性能电荷泵。此电荷泵通过减小电荷泵开关过程中时序失配和电流失配, 减小了高频锁相环中的抖动和杂散。基于中芯国际 0.18 μm CMOS 射频工艺技术和 1.8 V 电源电压, 对采用此高性能电荷泵的锁相环进行了相位噪声仿真。仿真结果验证了这些锁相环具有低噪声特性: 在 480 MHz 的输出频率下, 二阶锁相环的周期抖动为 1.05 ps, 最大参考杂散为 -121 dBc。

关键词: 集成电路; 锁相环; 抖动; 参考杂散

中图分类号: TN43

文献标识码: A

文章编号: 1009-5896(2017)06-1472-07

DOI: 10.11999/JEIT160826

Design of a Low-spur Charge Pump for High Performance CMOS Phase-locked Loops

SHI Zhan^① YU Jun^① TANG Zhen'an^① CAI Hong^① FENG Chong^{①②}

^①(School of Electronic Science and Technology, Dalian University of Technology, Dalian 116024, China)

^②(College of Information & Communication Engineering, Dalian Minzu University, Dalian 116600, China)

Abstract: On the basis of the analysis of the structure, operation principle and mechanism of generating spurs of the charge pump, a charge pump with a low static current mismatch and a low timing mismatch is proposed. This charge pump suppresses the jitter and spurs in high-speed Phase-Locked Loops (PLL) by improving the timing mismatch and the current mismatch during switching in the charge pump. Based on the SMIC 0.18 μm CMOS radio frequency technology with 1.8 V power supply, the phase noise simulation of the PLLs adopting the proposed charge pump is performed. The simulation results demonstrate that those PLLs achieve a low noise performance: the second-order PLL shows a period jitter of 1.05 ps and the largest reference spur of -121 dBc with the PLL output frequency of 480 MHz.

Key words: Integrated Circuits (IC); Phase-Locked Loop (PLL); Jitter; Reference spur

1 引言

为了满足市场对多功能、低成本及小体积通信产品不断增加的需求, 锁相环(PLL, Phase-Locked Loop)已广泛采用 CMOS 工艺^[1,2]与其它通信模块一起集成至单片芯片中。随着通信系统工作频率的不断升高, PLL 对噪声的要求越来越高。时域上, 工作频率升高, 周期变短, 抖动^[3]对 PLL 输出时钟信号的影响变大。频域上, 频率增加, 相位噪声和杂散^[4,5]对 PLL 输出信号频谱造成更加恶劣的影响。噪声已成为高速集成 PLL 的关键性能指标。

电荷泵(Charge Pump, CP)是 PLL 环路常用的模块, 因为采用电荷泵的 PLL 具有捕获范围广、锁定状态相位误差低等优点。电荷泵的作用是把鉴相鉴频器(Phase/Frequency Detector, PFD)的输出脉冲信号转化为相应的电流信号。此电流信号经过低通滤波器(Low-Pass Filter, LPF)后转换成电压信号, 控制压控振荡器(Voltage-Controlled Oscillator, VCO)输出信号的频率。此电压信号的任何波动都会干扰 VCO 的输出信号, 在 PLL 中引入抖动和参考杂散^[6,7]。参考杂散严重影响 PLL 输出信号的质量。对于高速接口的应用, 参考杂散减小眼图的开口度, 影响眼图质量。

本文首先介绍了传统 CP 的结构和工作原理, 并详细分析了 CP 的非理想特性引入杂散到 PLL 的机理以及改进传统 CP 非理想特性的方法和局限性。其次, 介绍了一种低静态电流失配的 CP 结构, 在

收稿日期: 2016-08-03; 改回日期: 2017-02-08; 网络出版: 2017-04-06

*通信作者: 唐祯安 tangza@dlut.edu.cn

基金项目: 国家自然科学基金(61131004, 61274076, 61001054)

Foundation Items: The National Natural Science Foundation of China (61131004, 61274076, 61001054)

此基础上提出了一种低静态电流失配、低时序失配的高性能 CP。最后采用所提的高性能 CP，基于中芯国际 0.18 μm CMOS 射频工艺技术和 1.8 V 电源电压，设计了高速、低杂散集成锁相环，并通过此 PLL 的噪声仿真，验证了所提 CP 对 PLL 杂散性能的改进。

2 CP 原理及非理想特性

2.1 PLL 基本原理及 CP 功能

如图 1 所示，典型的整数 N 型电荷泵 PLL 由 PFD, CP, LPF, VCO 和 1/N 分频器构成，它可以实现 N 倍频功能。PFD 比较输入参考信号和分频器输出信号的相位误差，并输出有效值与相位误差成比例的脉冲信号。此脉冲信号控制 CP 的上下两个电流源 I1 和 I2，对 LPF 进行充电或放电，调节 VCO 的输出频率，使 VCO 输出频率的 1/N 信号与输入参考信号的相位相等，实现 N 倍频功能。从整数 N 型电荷泵 PLL 原理可以看出，CP 是此类 PLL 的关键模块。CP 性能的好坏直接影响 PLL 的输出信号特性。

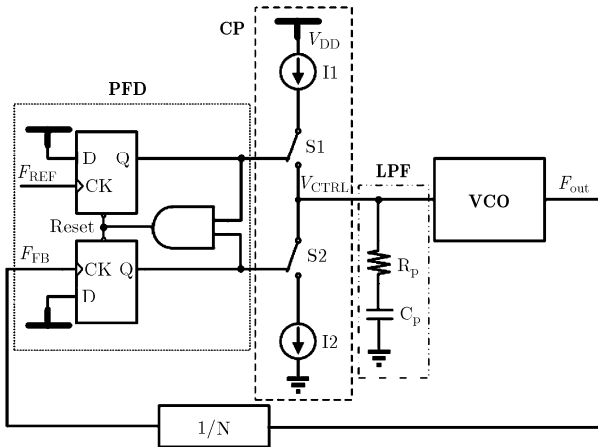


图 1 典型的整数 N 型电荷泵 PLL

理想的 CP(图 1)由两个电流值相等的电流源 I1 和 I2 以及相应的控制开关 S1 和 S2 组成，它的状态如表 1 所示。为了消除 PFD 死区，在 PLL 进入锁定状态后，PFD 会输出两个宽度相等的窄脉冲信

号，使 CP 的电流源 I1 和 I2 同时导通。故 CP 通常只有表 1 中后 3 种状态。理想 CP 的两个电流源 I1 和 I2 完全匹配，不会引入抖动和参考杂散。而实际的 CP 由于非理想特性的存在，会在 PLL 输出中引入抖动和参考杂散。

2.2 CP 的非理想特性

实际 CP 的非理想特性主要包括漏电流、电流失配、时序失配^[8-10]，它们将抖动和参考杂散引入至 PLL 输出信号。由以上非理想现象引入的总相位误差 $\Delta\Phi_{\text{tot}}$ 可以近似表示为^[11,12]

$$\Delta\Phi_{\text{tot}} = \Delta\Phi_{\text{lk}} + \Delta\Phi_{\text{mis}} + \Delta\Phi_{\text{t}} \quad (1)$$

$$= 2\pi \left[\frac{I_{\text{lk}}}{I_{\text{cp}}} + \frac{\Delta i}{I_{\text{cp}}} \frac{t_{\text{on}}}{T_{\text{ref}}} + \frac{\Delta t_{\text{d}} \times t_{\text{on}}}{T_{\text{ref}}^2} \right]$$

其中， I_{cp} 是电荷泵的输出电流， I_{lk} 是电荷泵的漏电流， T_{ref} 是输入参考时钟的周期， t_{on} 是 PFD 的复位信号导通时间， Δi 和 Δt_{d} 分别表示电荷泵的失配电流和失配时间。式(1)表明总相位误差主要由 Δi 引入。随着 PLL 输入时钟频率的升高， Δt_{d} 造成的相位误差逐渐增加。由于 I_{lk} 为 pA 量级^[13]，因此对相位误差的影响最小。

由 CP 非理想现象引入的参考杂散可以通过窄带调频理论计算。假设 CP 的输出电压 $V_{\text{CTRL}}(t)$ 可以表示为： $V_{\text{CTRL}}(t) = A_m \cos(\omega_{\text{ref}} t)$ 。根据 VCO 输入输出关系，可以计算出 PLL 在频率偏移 $f_m = f_{\text{ref}}$ 处的参考杂散 P_r 为

$$P_r = 20 \lg \left(\frac{A_m K_{\text{VCO}}}{2\omega_{\text{ref}}} \right) \text{ dBc} \quad (2)$$

其中， K_{VCO} 表示 VCO 的增益，单位为 $\text{Rad}/(\text{s} \cdot \text{V})$ 。由式(2)可知，PLL 的参考杂散和 CP 输出电压的变化幅度、VCO 的增益和输入参考频率有关。实际应用中，VCO 的增益及输入参考频率通常由应用环境决定。

3 传统 CP 结构及改进

3.1 传统 CP 结构及其缺点

图 2 展示了传统 CP 的电路实现。充电电流 I1 由 PMOS 电流镜(M5, M1)实现，开关 S1 由工作在线性区的 PMOS 管 M2 实现。放电电流 I2 由 NMOS

表 1 CP 状态表

控制开关状态	电流源状态	输出电压
S1 和 S2 均关断	I1 和 I2 均断开	维持不变
S1 开启, S2 关断	I1 对 LPF 充电, I2 断开	上升
S1 关断, S2 开启	I1 断开, I2 对 LPF 放电	下降
S1 和 S2 均开启	I1 对 LPF 充电, I2 对 LPF 放电	维持不变

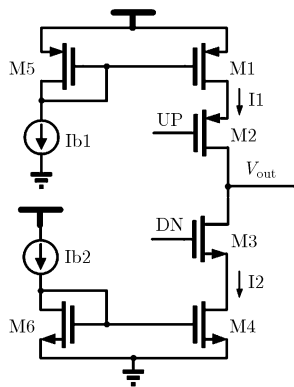


图 2 传统 CP 的电路实现

电流镜(M6, M4)实现, 开关 S2 由工作在线性区的 NMOS 管 M3 实现。UP 和 DN 为 PFD 输出信号, 分别控制 I1 和 I2。

图 2 所示的传统 CP 结构虽然实现了 CP 的基本功能, 但存在 I1 和 I2 不匹配的问题。由于沟道长度调制效应的存在, 当 M1 的漏极电压 V_{D1} 与 M5 的漏极电压 V_{D5} 不相等时, I1 与 Ib1 不等。同理, I2 与 Ib2 不等。因此, 即使在 Ib1 = Ib2 及电路完全匹配的情况下, I1 和 I2 仍不相等, 会在 PLL 输出信号中引入抖动和参考杂散。由于高速集成 PLL 通常采用小特征尺寸的 CMOS 工艺以减小寄生电容的影响, 而沟道长度调制效应在小特征尺寸 CMOS 工艺下更加显著, 因此, 传统 CP 的电流失配问题在高速集成 PLL 中更加严重, 由此造成的抖动和参考杂散也更加显著。此外, 当 PLL 输出频率需要在大的范围内可调时, CP 的输出电压通常也在大的范围内变化, 此时沟道长度调制效应造成的电流失配也更加显著。

3.2 传统 CP 的局限性

由于传统 CP 存在由沟道长度调制效应引起的电流失配问题, 许多文献提出了相应的改进方案。改进的思路主要有两种: 第 1 种是提高 CP 电流源的输出阻抗^[8,14,15], 降低沟道长度调制效应的影响; 第 2 种是探测失配电流, 并通过模拟^[4,16]或数字校验技术^[17]进行电流补偿, 减小 I1 和 I2 的不匹配。

提高 CP 电流源输出阻抗的方法主要有采用共源共栅结构电流源^[8]及增益提高技术(gain-boosting)的电流源^[14,15]。采用共源共栅结构^[8]消耗了额外的电压余度, 降低了 CP 的输出摆幅, 使 CP 有限输出摆幅的问题更加严峻。而采用增益提高技术的电流源^[14,15], 由于 PMOS 和 NMOS 电流源本身跨导和输出阻抗的不同, I1 和 I2 的不匹配依然存在。此外, 该技术还引入了额外的极点, 降低了 CP 的工作速度。

模拟^[4,16]或数字^[17]校验技术需要共模反馈电路、差分放大器等电路, 带来稳定性问题。此外, 差分

放大器的非理想特性如失调等问题也限制了此方法的最小探测极限。

4 高性能 CP

4.1 降低静态电流失配

由于传统 CP 存在诸多问题, 文献[18,19]提出了一种低静态电流失配 CP, 电路结构如图 3 所示。此 CP 的充电电流 I_{DN} 和放电电流 I_{UP} 均由一个类差分放大器拓扑结构的单元电路实现。 I_{DN} 电流通过电流镜 (M3, M9) 输出至后级的 LPF。DNp, DNn, UPp 和 UPn 是 PFD 的输出控制信号, 通过开关管 M1, M2 和 M6, M7, 控制 I_{DN} 和 I_{UP} , 决定是否作用到后级的 LPF。DNp 和 DNn 为互补信号, UPp 和 UPn 亦为互补信号。

由于文献[18, 19]所提 CP(如图 3 所示)的左右两部分拓扑结构类似, 通过采用相同的 MOS 参数和合理的版图设计, 可以保证节点 DNOP 的电压 V_{DNOP} 等于电荷泵的输出电压 V_{out} 。因为 $V_{DNOP} = V_{out}$, 所以消除了沟道长度调制效应的影响, 使 $I_{DN} = I_{M3} = I_{M0}$ 。因为 $I_{UP} = I_{M5}$, $I_{M0} = I_{M5}$, 故 $I_{DN} = I_{UP}$, 实现了低静态电流失配。当 V_{out} 需要在较大范围内可调时, 通过调节 CP 的偏置电压 V_{BN} 可改变 V_{out} 。对于不同的 V_{out} , V_{DNOP} 始终与之相等, 故不存在沟道长度调制效应造成的电流失配, 该 CP 能在可调范围内维持低静态电流失配。

此外, PFD 两个输出控制信号到达文献[18,19]所提 CP(如图 3 所示)的延时偏差比到达传统 CP(如图 2 所示)的延时偏差更小。图 3 中, NMOS 管 M1 为 I_{DN} 的控制开关, 而 NMOS 管 M7 为 I_{UP} 的控制开关。由于 M1 和 M7 的尺寸和偏置状态相同, 故它们在 PFD 输出节点 DNn 和 UPn 呈现的寄生电容近似相等, 使 DNn 和 UPn 到 CP 的延时近似相等。而图 2 所示传统 CP 分别采用 PMOS 开关管 M2 和 NMOS 开关管 M3 控制 I1 和 I2, 它们在 PFD 输出节点 DNn 和 UPn 呈现的寄生电容不相等, 故 DNn 和 UPn 到 CP 的延时不相等。因此, PFD 两个输出控制信号到达文献[18,19]所提 CP 的延时偏差更小, 由此引起的失配更小。

4.2 降低时序失配

尽管图 3 所示的 CP 静态电流失配几乎为零, 但是 I_{DN} 和 I_{UP} 开关时间失配是非常显著的。 I_{DN} 的通道是“慢速通道”(M0, M1, M3, M9), 而 I_{UP} 的通道是“快速通道”(M5, M7)。故 I_{DN} 的开关时间长于 I_{UP} 的开关时间。由于上述开关时间的失配, CP 会周期性地向 LPF 注入或抽取电荷, 引起 VCO 的控制电压的波动, 在 PLL 输出信号中引入抖动和参考杂散。随着 CP 工作频率的提高, 这个问题变得更加显著。

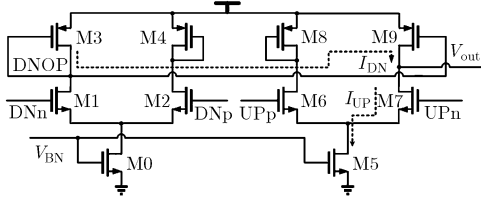


图3 低静态电流失配 CP

为了减小 I_{DN} 和 I_{UP} 开关时间失配，需要减小 I_{DN} 的开关时间而不是增加 I_{UP} 的开关时间，以使 CP 能够在更高的频率工作。本文提出图 4 所示的电荷泵，它可以在维持 CP 低静态失配电流的同时，减小 I_{DN} 的开关时间。相较于图 3 所示的低静态电流失配 CP，它增加了一个“CP 半支路复制电路”和一个多路选择器(MUX)。CP 半支路复制电路中的 M10, M11 和 M12 的 MOS 管尺寸分别与 M0, M1 和 M3 的 MOS 管尺寸成比例。通过这种设计，在 $DN_n = 1$ 和 $UP_n = 1$ 时，可以使 $V_{BP2} = V_{DNOP} = V_{out}$ 。

以 I_{DN} 导通过程为例，阐述此 CP 减小开关时间失配的原理。电路起始状态： $DN_p = 1$, $DN_n = 0$ ，同时 MUX 连接 DNOP 至电源，此时 $I_{DN} = 0$ 。当 DN_p 变为低电平， DN_n 变为高电平，MUX 连接 DNOP 至 BP2。节点 DNOP 放电时间 t_{disc} 为

$$t_{disc} = C_{DNOP} \Delta V_{DNOP} / I_{disc} \quad (3)$$

其中， C_{DNOP} 是节点 DNOP 的寄生电容， ΔV_{DNOP} 是 DNOP 放电过程中的压降， I_{disc} 是放电电流。此时，放电电流由流经 M0 的电流 I_{M0} 和 CP 半支路复制电路放电电流 I_{ADD} 组成。当 V_{DNOP} 等于 V_{BP2} 时， I_{ADD} 消失。此时 $V_{DNOP} = V_{out}$ ， $I_{DN} = I_{UP}$ ，维持电流匹配。相对于图 3 的 CP，本文所提 CP 在 I_{DN} 导通过程中提供了额外电流 I_{ADD} ，减小了 t_{disc} 。它在维持静态电流匹配的同时，减小了 I_{DN} 的开启时间，从而减小开关时间失配。

4.3 低静态电流失配、低时序失配的高性能 CP 设计

本文在文献[18,19]所提低静态电流失配 CP 的基础上，改进了时序失配，提出图 5 所示高性能 CP。该 CP 除增加半支路复制电路外，还采取了其它措施减小失配。首先，为了进一步减小 t_{disc} ，在 BP2 和

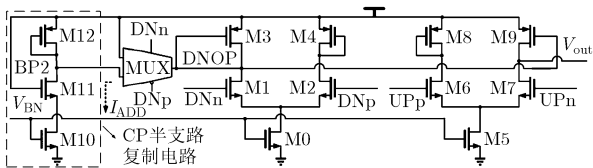


图4 增加 CP 半支路复制电路的低静态电流失配 CP

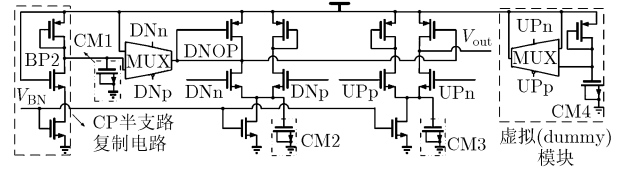


图5 本文提出的高性能 CP

地之间插入一个 MOS 电容 CM1。当 DNOP 和 BP2 相连时，该电容提供另一个放电通路。其次，在 CP 的两个偏置电流源 M0 和 M5 的漏极分别增加 MOS 电容 CM2 和 CM3，使 I_{DN} 和 I_{UP} 更加稳定。最后，设计了虚拟(dummy)模块以确保 PFD 输出控制信号 UP_p , UP_n , DN_p 和 DN_n 驱动相等的负载电容，减小时序失配。

5 仿真验证

5.1 CP 电路仿真

为了验证改进 CP 失配方法的有效性，设计了图 6 所示的测试电路。 UP_p , UP_n , DN_p 和 DN_n 的频率为 30 MHz，脉冲宽度为 2.1 ns。 UP_n 和 DN_n 分别为 UP_p 和 DN_p 的互补信号。直流电压源的电压为 0.734 V。电流探测器检测电流失配。采用 Cadence Spectre 对图 3 所示的低静态电流失配 CP(CP1)和图 5 所示本文所提的高性能 CP(CP2)进行了瞬态仿真，结果如图 7 所示。图 7 (a)展示了输出电流，而图 7 (b)则展示了相应的控制电压。仿真结果显示：CP 在开启过程中的时间失配 Δt_{on} 从原始(CP1)的 796 ps 减小到改进后(CP2)的 157 ps；在关断过程中的时间失配 Δt_{off} 从原始(CP1)的 1036 ps 减小到改进后(CP2)的 108 ps。表 2 总结了 CP1 和 CP2 在不同工艺角下的开关时间失配和电流失配，其中“改善” $= (1 - \text{CP2 值} / \text{CP1 值}) \times 100\%$ 。

5.2 电荷泵 PLL 仿真

为了验证所提的高性能 CP 对 PLL 杂散的抑制作用，基于中芯国际 0.18 μm CMOS 射频工艺技术和 1.8 V 的电源电压，根据文献[18,19]设计了一个 16 倍频的电荷泵 PLL，如图 8 所示。文献[18,19]所提的电荷泵 PLL，具有抗电源/衬底噪声能力强、输出频率范围广的优点，被广泛应用于数字电路、通信和无线系统等领域^[20-22]。图 8 所示 PLL 的 16 分频器(1/N)采用了 D 触发器构成的 4 位计数器结构，

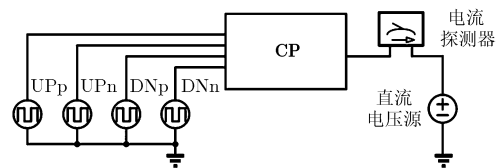


图6 仿真CP失配的测试电路

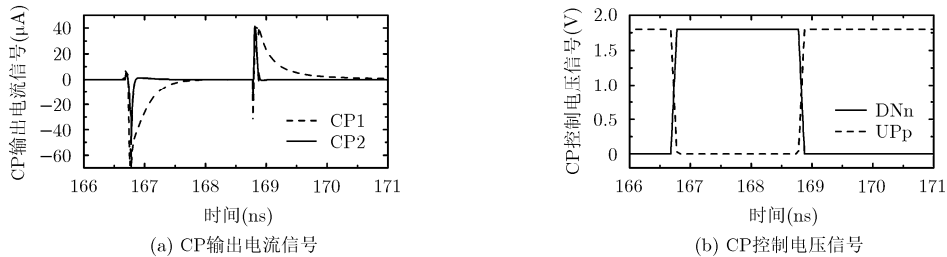


图 7 CP瞬态仿真结果

表 2 CP1 和 CP2 开关时间失配和电流失配

工艺角	CP 在开启过程中的时间失配, Δt_{on}			CP 在关断过程中的时间失配, Δt_{off}			最大的失配电流, $ \Delta I_{max} $		
	CP1(ps)	CP2(ps)	改善(%)	CP1(ps)	CP2(ps)	改善(%)	CP1(μA)	CP2(μA)	改善(%)
tt	796	157	80	1036	108	90	69.19	48.37	30
ff	766	140	82	1051	100	90	74.90	48.37	35
fnsf	840	164	80	1057	121	89	60.95	50.31	17
snfp	753	155	79	1007	88	91	78.49	48.37	38
ss	831	185	78	1011	114	89	64.83	44.88	31

PFD 和偏置产生电路(biasGen)根据文献[18]设计, 而 VCO 是参考文献[19]所设计。相较于文献[18]的环路结构, 本文所设计的 PLL 还增加了一个小电容 C_2 , 在不影响环路稳定性的前提下, 进一步减小 PLL 的抖动和杂散。

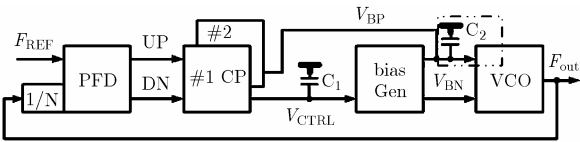


图 8 16倍频电荷泵PLL结构框图

为了比较低静态电流失配 CP 和本文所提 CP 对 PLL 输出信号的影响, 设计了两种类型的 CP: CP1 和 CP3。CP1 采用了图 3 所示的低静态电流失配 CP, 也是文献[18,19]所采用的 CP。CP3 则是对本文所提图 5 所示 CP 稍作调整, 使其与文献[19]的 VCO 更加匹配, 进一步减小 PLL 抖动。CP3 的结构如图 9 所示, 相较于图 5 所示 CP, 它的两个差分结构中尾电流源 MOS 管的漏极进行了短接。此

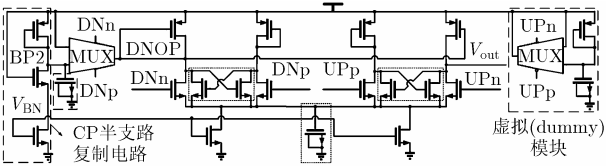


图 9 CP3

外, 控制信号输入NMOS管拆分为两个, 一个管的栅极仍接控制信号, 而另一个管的栅极则交叉耦合地接至该级的输出端。

为了方便阐述, 把采用图 8 环路结构未含 C_2 且采用图 3 所示 CP 的 PLL 称为 PLL1, 采用图 8 环路结构未含 C_2 且采用如图 9 所示 CP3 的 PLL 称为 PLL2, 采用图 8 环路结构包含 C_2 且采用 CP3 的 PLL 称为 PLL3。设计的 PLL1, PLL2 和 PLL3 的环路带宽 ω_c 均为输入参考频率 ω_{ref} 的 1/20。根据 Cadence 的 PLL 噪声仿真流程说明^[23], 采用 spectreRF 软件对 PLL1, PLL2 和 PLL3 的噪声进行了仿真。图 10 展示了这 3 种 PLL 在输出信号频率为 480 MHz 时的相位噪声功率谱密度(Power Spectral Density, PSD)^[24,25]。表 3 总结了这 3 种不同结构 PLL 的噪声特性, 其中, 各栏的改善是指 PLL2/PLL3 的性能参数与 PLL1 的性能参数相比的改善量。

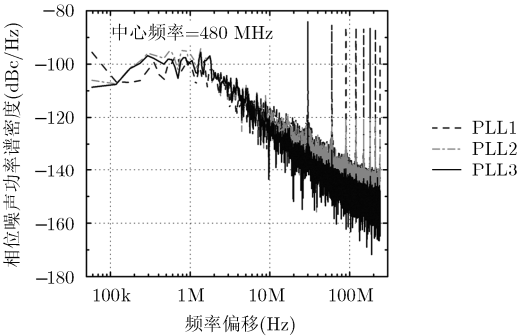


图 10 3 种 PLL 输出信号的相位噪声功率谱密度

表3的数据验证了本文所提高性能CP抑制高速PLL参考杂散的有效性。相较于PLL1, 采用本文所提高性能CP(CP3)的PLL(PLL2)的周期抖动和参考杂散显著降低。此外, 增加电容 C_2 (PLL3)可进一步减小周期抖动和抑制高频参考杂散: 相较于PLL2, PLL3的周期性抖动和杂散显著降低。

6 结束语

本文介绍了CP的结构和工作原理, 分析了CP引入杂散到PLL的机理以及改进传统CP非理想特性的方法和其局限性。在低静态电流失配CP结构的基础上, 提出了一种低电流失配和低时序失配的高性能CP。为验证所提CP的性能, 基于中芯国际

0.18 μm CMOS 射频工艺技术, 设计了3种不同结构的PLL并进行了相应的相位噪声仿真。仿真结果显示: 在480 MHz的输出频率下, 与采用低静态失配CP的PLL相比, 采用本文所提高性能CP的二阶PLL周期性抖动从26.50 ps降为1.05 ps, 频率偏移等于输入参考频率处的杂散从-84.0 dBc降为-120.6 dBc。以上结果充分证明了本文所提高性能CP可以有效减小PLL的抖动和参考杂散。采用本文所提高性能CP的PLL潜在应用包括: 数字系统和高速串/并行通信系统的时钟倍频器、高性能数模转换器的多时钟发生器、多标准收发器的频率合成器等。

表3 3种不同结构PLL的噪声特性

PLL	周期抖动		相位抖动		频率偏移为 30 MHz 处的杂散		频率偏移为 60 MHz 处的杂散		频率偏移为 90 MHz 处的杂散	
	(ps)	改善(%)	(ps)	改善(%)	(dBc)	改善(dB)	(dBc)	改善(dB)	(dBc)	改善(dB)
PLL1	26.50	—	14.40	—	-84.0	—	-85.2	—	-85.8	—
PLL2	1.05	96	6.61	54	-120.6	36.6	-119.1	33.9	-120.5	34.7
PLL3	0.44	98	5.56	61	-121.2	37.2	-132.3	47.1	-139.3	53.5

参考文献

- [1] 黄水龙, 王志华. 快速建立时间的自适应锁相环[J]. 电子与信息学报, 2007, 29(6): 1492-1495.
HUANG Shuilong and WANG Zhihua. An adaptive PLL architecture to achieve fast settling time[J]. *Journal of Electronics & Information Technology*, 2007, 29(6): 1492-1495.
- [2] 李学初, 高清运, 陈浩琼, 等. CMOS 集成时钟恢复电路设计[J]. 电子与信息学报, 2007, 29(6): 1496-1499.
LI Xuechu, GAO Qingyun, CHEN Haoqiong, et al. The design of monolithic CMOS clock recovery circuit[J]. *Journal of Electronics & Information Technology*, 2007, 29(6): 1496-1499.
- [3] LIU L and POKHAREL R. Compact modeling of phase-locked loop frequency synthesizer for transient phase noise and jitter simulation[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2016, 35(1): 166-170. doi: 10.1109/TCAD.2015.2472018.
- [4] GIERKINK S L J. Low-spur, low-phase-noise clock multiplier based on a combination of PLL and recirculating DLL with dual-pulse ring oscillator and self-correcting charge pump[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(12): 2967-2976. doi: 10.1109/JSSC.2008.2006225.
- [5] KIM N S and RABAIEY J M. A 3-10mW, 3.1-10.6 GHz integer-N QPLL with reference spur reduction technique for UWB-based cognitive radios[C]. *Proceedings of the IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Phoenix, AZ, 2015: 67-70. doi: 10.1109/RFIC.2015.7337706.
- [6] BANERJEE D. PLL Performance, Simulation and Design[M]. Texas: Dog Ear Publishing, 2006: 64-65.
- [7] 陈永聪. 集成 CMOS 锁相环中抑制参考杂散的设计方法[J]. 半导体学报, 2006, 27(12): 2196-2202.
CHEN Yongcong. Design technique to restrain reference spurs in CMOS phase lock loops[J]. *Journal of Semiconductors*, 2006, 27(12): 2196-2202.
- [8] RHEE W. Design of high-performance CMOS charge pumps in phase-locked loops[C]. *Proceedings of the IEEE Circuits and Systems, Orlando, FL, 1999*, 2: 545-548. doi: 10.1109/ISCAS.1999.780807.
- [9] MANIKANDAN R R and AMRUTUR B. A zero charge-pump mismatch current tracking loop for reference spur reduction in PLLs[J]. *Microelectronics Journal*, 2015, 46(6): 422-430. doi: 10.1016/j.mejo.2015.03.004.
- [10] ZHANG Z, YANG J, LIU L, et al. Source-switched charge pump with reverse leakage compensation technique for spur reduction of wideband PLL[J]. *Electronics Letters*, 2016, 52(14): 1211-1212. doi: 10.1049/el.2016.1036.
- [11] LI S, JIANG J, ZHOU X, et al. A low phase noise and low

- spur PLL frequency synthesizer for GNSS receivers[J]. *Journal of Semiconductors*, 2014, 35(1): 96–103. doi: 10.1088/1674-4926/35/1/015004.
- [12] LOZADA O and ESPINOSA G. A charge pump with a 0.32 % of current mismatch for a high speed PLL[J]. *Analog Integrated Circuits & Signal Processing*, 2015, 86(2): 321–326. doi: 10.1007/s10470-015-0676-y.
- [13] 薛红, 李智群, 王志功, 等. 低杂散锁相环中的电荷泵设计[J]. *半导体学报*, 2007, 28(12): 1988–1992.
- XUE Hong, LI Zhiquan, WANG Zhigong, *et al.* A charge pump design for low-spur PLL[J]. *Journal of Semiconductors*, 2007, 28(12): 1988–1992.
- [14] CHOI Y S and HAN D H. Gain-boosting charge pump for current matching in phase-locked loop[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2006, 53(10): 1022–1025.
- [15] GUPTA S, MONDAL S A, and RAHAMAN H. Charge pump circuit with improved absolute current deviation and increased dynamic output voltage range across PVT variations[C]. Proceedings of the 2015 IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia), Hyderabad, 2015: 32–35. doi: 10.1109/PrimeAsia.2015.7450465.
- [16] MOON J W, CHOI K C, and CHOI W Y. A 0.4-V, 90~350-MHz PLL with an active loop-filter charge pump[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(5): 319–323. doi: 10.1109/TCSII.2014.2312800.
- [17] WANG S F, HWANG T S, and WANG J J. Phase-locked loop design with fast-digital-calibration charge pump[J]. *International Journal of Electronics*, 2015, 103(2): 1–13. doi: 10.1080/00207217.2015.1036371.
- [18] MANEATIS J G. Low-jitter process-independent DLL and PLL based on self-biased techniques[J]. *IEEE Journal of Solid-State Circuits*, 1996, 31(11): 1723–1732.
- [19] MANEATIS J G, KIM J, MCCLATCHIE I, *et al.* Self-biased high-bandwidth low-jitter 1-to-4096 multiplier clock generator PLL[J]. *IEEE Journal of Solid-State Circuits*, 2003, 38(11): 1795–1803. doi: 10.1109/JSSC.2003.818298.
- [20] KIM S H and CHO S B. Low phase noise and fast locking PLL frequency synthesizer for a 915 MHz ISM band[C]. Proceedings of the 2007 International Symposium on Integrated Circuits, Singapore, 2007: 592–595.
- [21] CHU A, DEO N, AHMAD W, *et al.* An ultra-low power charge-pump PLL with high temperature stability in 130 nm CMOS[C]. Proceedings of the IEEE New Circuits and Systems Conference, Grenoble, 2015: 1–4. doi: 10.1109/NEWCAS.2015.7182075.
- [22] MENG X and LIN F. Clock generator IP design in 180 nm CMOS technology[J]. *Analog Integrated Circuits & Signal Processing*, 2016, 87(3): 1–9. doi: 10.1007/s10470-016-0737-x.
- [23] THIBIEROZ H. Using spectre RF noise-aware PLL methodology to predict PLL behavior accurately[OL]. <https://zh.scribd.com/document/67585642/Using-Spectre-RF-Noise-Aware-PLL-Methodology-to-Predict-PLL-Behavior-Accurately>, 2007.
- [24] 张昌明, 肖振宇, 曾烈光, 等. 基于 IEEE 802.11ad 标准的单载波 60 GHz 通信系统性能分析[J]. *电子与信息学报*, 2012, 34(1): 218–222. doi: 10.3724/SP.J.1146.2011.00447.
- ZHANG Changming, XIAO Zhenyu, Zeng Lieguang, *et al.* Performance analysis of Single-Carrier (SC) 60 GHz communication system based on IEEE 802.11ad standard[J]. *Journal of Electronics & Information Technology*, 2012, 34(1): 218–222. doi: 10.3724/SP.J.1146.2011.00447.
- [25] 马晓慧, 邹传云. 数字超宽带信号的功率谱密度[J]. *电子与信息学报*, 2007, 29(8): 1877–1881.
- MA Xiaohui and ZOU Chuanyun. Power spectral density of digital ultra wide-band signals[J]. *Journal of Electronics & Information Technology*, 2007, 29(8): 1877–1881.
- 施展: 男, 1984 年生, 博士生, 研究方向为模拟及数模混合集成电路设计.
- 余隽: 女, 1977 年生, 副教授, 主要从事微热板传感器、微纳电子器件传热以及传感器与集成电路的单芯片集成方面的研究.
- 唐祯安: 男, 1955 年生, 教授, 主要从事集成电路设计及制造、半导体传感器及其应用、微器件中的微尺度输运理论方面的研究.
- 蔡泓: 女, 1992 年生, 硕士生, 研究方向为半导体传感器及其相关电路的单芯片集成.
- 冯冲: 男, 1977 年生, 讲师, 主要从事热辐射传感器及其系统集成、微纳尺度辐射传热理论方面的研究.