

基于量子细胞自动机的数值比较器设计

夏银水 裘科名

(宁波大学信息学院 宁波 315211)

摘要: 量子细胞自动机(QCA)可以构建逻辑门和 QCA 线。该文基于 QCA 设计了 1 位, 4 位和 8 位数值比较器, 并用 QCADesigner 软件进行模拟。结果表明, 所设计的电路具有正确的逻辑功能。通过对电路所需细胞数、面积和时延三方面性能分析, 表明所设计的电路时延并不随输入位数呈线性增加, 因而所设计的电路具有良好的时延性。

关键词: 电路设计; 量子细胞自动机; 多数门; 数值比较器

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2009)06-1517-04

Comparator Design Based on Quantum-Dot Cellular Automata

Xia Yin-shui Qiu Ke-ming

(Faculty of Information Science & Technology, Ningbo University, Ningbo 315211, China)

Abstract: Logic gates and QCA wires can be implemented by Quantum-dot Cellular Automata (QCA). In this paper, one bit, four bit and eight bit comparators are designed based on QCA. QCADesigner is used to simulate the circuits. The results show that the proposed comparators are of correct logic function. Analysis shows that the latency of proposed circuits does not increase linearly with bit size. Hence the proposed circuit has good delay property.

Key words: Circuit design; Quantum-dot Cellular Automata (QCA); Majority gate; Comparator

1 引言

近几十年来, 微电子器件的集成度基本遵循着 Moore 定律飞速发展。然而随着器件尺寸的进一步减小, 一些微观世界中特有的物理现象如量子效应逐渐表现出来, 从而使得基于传统方法设计的电路性能与实际结果有着明显的偏差。目前, 解决这类问题通常有两种方法: 从设计技术上加以修正, 对原有的器件模型通过计入量子效应加以修改, 来矫正电路设计时的偏差; 从工艺上加以修正, 如栅极氧化层材料采用高 K 介质来抑制因量子效应导致的栅极漏电流的增加。然而, 实践表明, 效果不甚理想。事实上, 与其通过修正器件模型来消除量子效应对逻辑电路设计的影响, 还不如主动利用量子效应来构造新的数字逻辑器件并实现数字逻辑系统。正因如此, 基于量子细胞自动机(Quantum-dot Cellular Automata, QCA)的器件应运而生。QCA 是于 1993 年由 Lent 等^[1]最先提出的, 与传统的通过电信号来表示二进制信息的方法不同, 它是通过电子在 QCA 细胞上占据的位置来表示的。由于基于 QCA 实现的电路具有高集成度、低功耗和高速度等优点, 对其研究受到广泛重视。然而, 基于 QCA 实现数字逻辑系统, 不论在工艺方面, 还是在设计理论和技术方面均需要开展大量的工作。就逻辑设计研究方

面, 作为基于 QCA 设计数字逻辑系统的基础, 需要有完整的逻辑单元库。迄今, 虽然已提出了各种加法器^[2-4]、乘法器^[5]和其他电路^[6]等的设计方法。然而, 可以看到, 对作为数字逻辑运算重要的单元电路数值比较器的设计还缺乏研究。本文探索了基于 QCA 的数值比较器的设计方法, 以推动基于 QCA 设计数字逻辑系统的努力。

2 量子细胞自动机原理及其逻辑门实现

QCA 细胞是由 4 个位于正方形四角的量子点和 2 个额外可以移动的电子构成, 其模型如图 1 所示, 其中实心圆圈为电子, 空心圆圈为量子点。由于电子之间库仑排斥力的作用, 2 个电子易处于对角线位置的量子点上, 因此, 单个细胞具有两种极化状态 P , 一般用图 1 符号来表示, 从而可以用这两种极化状态来表示二进制信息的 0 和 1, 如定义 $P = +1$ 表示二进制信息的 1, $P = -1$ 表示二进制信息的 0。

QCA 线和逻辑门是 QCA 电路的最基本的组成部分, 其量子信息的传输和计算是通过相邻两个 QCA 细胞间库仑力的作用来实现的^[7]。

2.1 QCA 线

在 QCA 电路中, QCA 线实现量子信息从输入到输出之间的传输。QCA 线有两种类型: 普通 QCA 线和 QCA 反相链, 如图 2 所示。研究表明, 按图 2 所示将两类 QCA 线垂直交叉, 信息可在其上实现无干扰传输。

2008-07-02 收到, 2008-12-24 改回

国家自然科学基金(60676017), 浙江省自然科学基金(R105614, Y106818)和国家教育部留学回国基金资助课题



图1 QCA细胞及其两种极化状态 图2 量子信息的无干扰传输

2.2 基于 QCA 的逻辑门

多数门是基于 QCA 电路设计的基本逻辑元件，有 3 个输入和 1 个输出，其逻辑函数表达式为

$$M(A,B,C) = A \cdot B + A \cdot C + B \cdot C \quad (1)$$

图 3 所示为基于 QCA 的多数门的结构图和逻辑图形符号。由图可见，多数门由 5 个 QCA 细胞组成，其中间的 QCA 细胞起到运算的功能，称之为器件细胞。

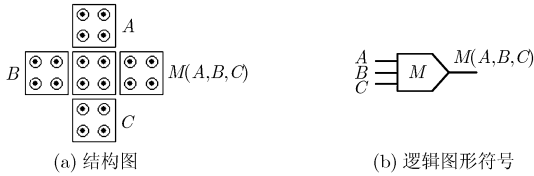


图 3 基于 QCA 的多数门

由 QCA 细胞还可以实现反相器，图 4(a)所示是其中一种实现方式，完成信号 1 到信号 0 的变换，图 4(b)为其逻辑符号图。

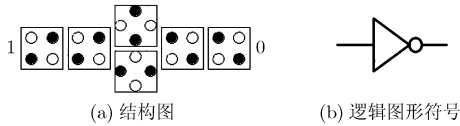


图 4 基于 QCA 的反相器

多数门能实现与、或运算，因此，多数门与反相器一起构成了完备的逻辑集，即用多数门和反相器可以实现任何逻辑函数。

2.3 QCA 时钟

时钟是数字逻辑系统中必不可少的控制信号。在 QCA 中，时钟有两个作用：一是提供 QCA 电路的能量，这是由于在 QCA 电路中，除了 QCA 时钟，没有其他的来源可以提供电路计算的能量；二是同步控制信息的传输，通常用 4 个相位差为 90° 的时钟信号来控制信息的传输，如图 5 所示。

3 基于 QCA 的数值比较器设计

3.1 1 位数值比较器

数值比较器是用来判断两个数数值大小或相等的器件，是重要的数字逻辑部件之一。1 位数值比较器的逻辑表达式为

$$\left. \begin{aligned} Y_A &= A\bar{B} \\ Y_E &= AB + \bar{A}\bar{B} \\ Y_B &= \bar{A}B \end{aligned} \right\} \quad (2)$$

其中 A, B 为两个 1 位二进制数输入信号， Y_A, Y_E 和 Y_B 分别表示 $A > B$ (如: $A = 1, B = 0$), $A = B, A < B$ 的 3 个输出结果。

如果用多数门函数式(1)来表示式(2)，则变换后可以得到如下表达式：

$$\left. \begin{aligned} Y_A &= A\bar{B} = M(A,\bar{B},C) \\ Y_E &= AB + \bar{A}\bar{B} = \overline{M(M(A,\bar{B},0),M(\bar{A},B,0),1)} \\ Y_B &= \bar{A}B = M(\bar{A},B,0) \end{aligned} \right\} \quad (3)$$

由式(3)，可得到如图 6 所示的 1 位数值比较器的逻辑图，它由 3 个多数门和 3 个反相器组成。

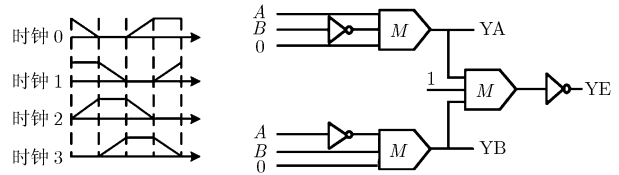


图 5 4 个相位差为 90° 的 QCA 时钟信号

图 6 基于 QCA 的 1 位数值比较器逻辑图

由图 6 所示的逻辑图，可以得到基于 QCA 的 1 位数值比较器的电路实现，如图 7 所示。其中 -1.00 和 1.00 为该处 QCA 细胞的极化状态，对应其逻辑值分别为 0 和 1。M1, M2 和 M3 处分别表示 3 个多数门结构。为确保电路功能的正确性，把电路分成几个时钟区，而不同时钟区内的 QCA 细胞由不同的 QCA 时钟控制。

3.2 多位数值比较器的设计

两个多位数比较就需要多位比较器。在比较两个多位数的大小时，往往采取自高而低逐位比较的方法，并且只有在高位相等时，才需要进行低位比较。为提高电路运算速度，这里采用高位和低位同时进行比较的方法。下面以 4 位数值比较器的设计为例加以演示。

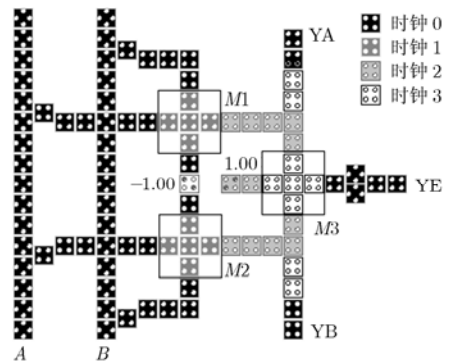


图 7 基于 QCA 的 1 位数值比较器的电路实现

假设 A, B 是两个 4 位二进制数 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ ， YA, YE, YB 是 4 位数值比较器的 3 个输出结果，分别表示 $A > B, A = B, A < B$ 。则输出逻辑表达式可表示为

$$\left. \begin{aligned} YA &= A_3\bar{B}_3 + \overline{A_3 \oplus B_3} \cdot A_2\bar{B}_2 + \overline{A_3 \oplus B_3} \cdot \overline{A_2 \oplus B_2} \cdot A_1\bar{B}_1 \\ &\quad + \overline{A_3 \oplus B_3} \cdot \overline{A_2 \oplus B_2} \cdot \overline{A_1 \oplus B_1} \cdot A_0\bar{B}_0 \\ &= M(F_1A, M(F_1E, F_0A, 0), 1) \\ YE &= \overline{A_3 \oplus B_3} \cdot \overline{A_2 \oplus B_2} \cdot \overline{A_1 \oplus B_1} \cdot \overline{A_0 \oplus B_0} = F_1A \cdot F_0A \\ &= M(F_1E, F_0A, 0) \\ YB &= \overline{YA + YE} = \overline{M(YA, YE, 1)} \end{aligned} \right\} (4)$$

其中 F_0A, F_1A, F_0E 和 $^{[2-4]}$ 的函数表达式为：

$$\left. \begin{aligned} F_0A &= M(M(A_1, \bar{B}_1, 0), M(M(M(A_1, \bar{B}_1, 0), M(\bar{A}_1, B_1, 0), 1), 1), \\ &\quad M(A_0, \bar{B}_0, 0), 0), 1) \\ F_1A &= M(M(A_3, \bar{B}_3, 0), M(M(M(A_3, \bar{B}_3, 0), M(\bar{A}_3, B_3, 0), 1), \\ &\quad M(A_2, \bar{B}_2, 0), 0), 1) \\ F_0E &= M(M(M(A_1, \bar{B}_1, 0), M(\bar{A}_1, B_1, 0), 1), \\ &\quad M(M(A_0, \bar{B}_0, 0), M(\bar{A}_0, B_0, 0), 1), 0) \\ F_1E &= M(M(M(A_3, \bar{B}_3, 0), M(\bar{A}_3, B_3, 0), 1), \\ &\quad M(M(A_2, \bar{B}_2, 0), M(\bar{A}_2, B_2, 0), 1), 0) \end{aligned} \right\} (5)$$

由式(4)可以得到 4 位数值比较器的逻辑图如图 8 所示，由 22 个多数门和 13 个反相器所组成。

由图 8 所示的逻辑图，可以得到基于 QCA 的 4 位数值比较器的电路实现，如图 9 所示。需要指出的是在电路设计时，为了保证 QCA 线交叉处信号的稳定传输，分别用不同的时钟信号控制 QCA 线交叉处的 QCA 细胞^[8]。

同理，可以得到 8 位数值比较器的设计，由 46 个多数门和 25 个反相器组成，因篇幅原因，未给出具体设计过程和电路。

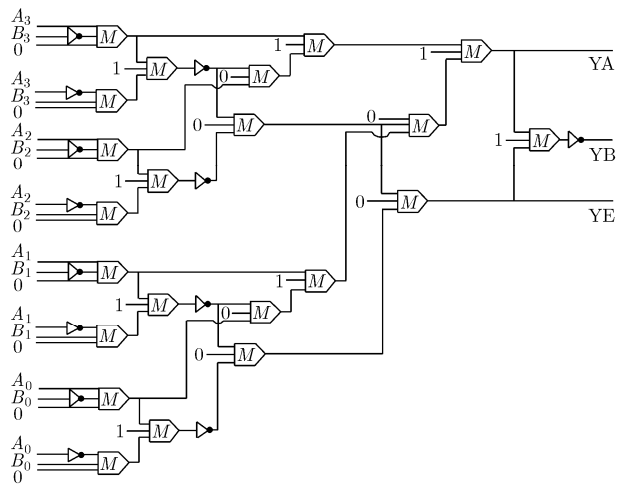


图 8 基于 QCA 的 4 位数值比较器的逻辑图

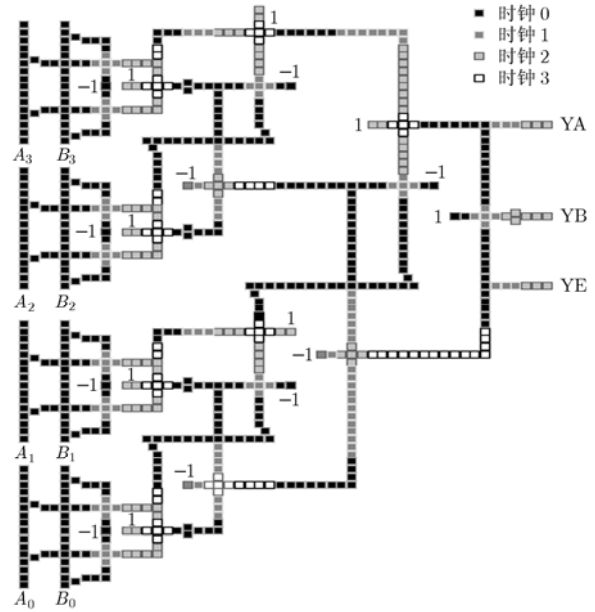


图 9 基于 QCA 的 4 位数值比较器的电路实现

3.3 实验模拟及分析

上述设计的电路分别进行了计算机模拟。基于 QCA 设计的电路通常用 Calgary 大学 ATIPS 实验室研制的 QCADesigner^[9]软件来进行模拟，软件版本为 2.0.3。采用双稳态逼近模拟器分别对所设计的 1 位，4 位和 8 位数值比较器进行了模拟，参数设置与文献[3]相同：细胞尺寸为 18nm × 18nm，细胞间距为 2nm，量子点直径为 5nm。图 10 给出了 4 位数值比较器的模拟波形， A, B 为输入信号，采用指定向量输入方式，并以十进制波形表示， YA, YE, YB 为输出波形，其余为时钟信号。由图可见，4 位数值比较器电路具有正确的逻辑功能，如 $A = 11, B = 7$ 时，由于相对于输入信号，输出信号延迟了 3.5 个时钟周期，因此，此时图中 YA, YE, YB 的逻辑值分别为 1, 0, 0，满足 4 位数值比较器的逻辑功能。

随着信号输入位数的增加，电路中部分 QCA 线越来越长，其所需要的 QCA 细胞数也越来越多。为保证 QCA 线上信息的稳定传输，本文采用增加 QCA 线上控制时钟数的方法，从而导致 QCA 线上的时间延迟变的不可忽视，甚至影响整个电路的时延。表 1 总结了 1 位，4 位和 8 位数值比较器电路所需的细胞数、面积和时延三方面性能。由表 1 可见，1 位，4 位和 8 位数值比较器的电路时延分别为 1 个，3.5 个和 4.5 个时钟周期。进一步，可以外推 16 位数值比较器的时延为 5.5 个时钟周期，32 位数值比较器的时延为 6.5 个时钟周期。由此可见，所设计的电路时延并未随电路输入位数呈线性增加，因此所设计的电路具有良好的时延性。

4 结束语

本文基于 QCA 具体设计了 1 位、4 位和 8 位数值比较器，并用 QCADesigner 软件对其进行了模拟。结果表明，所设计的电路具有正确的逻辑功能。通过对电路时延性能的

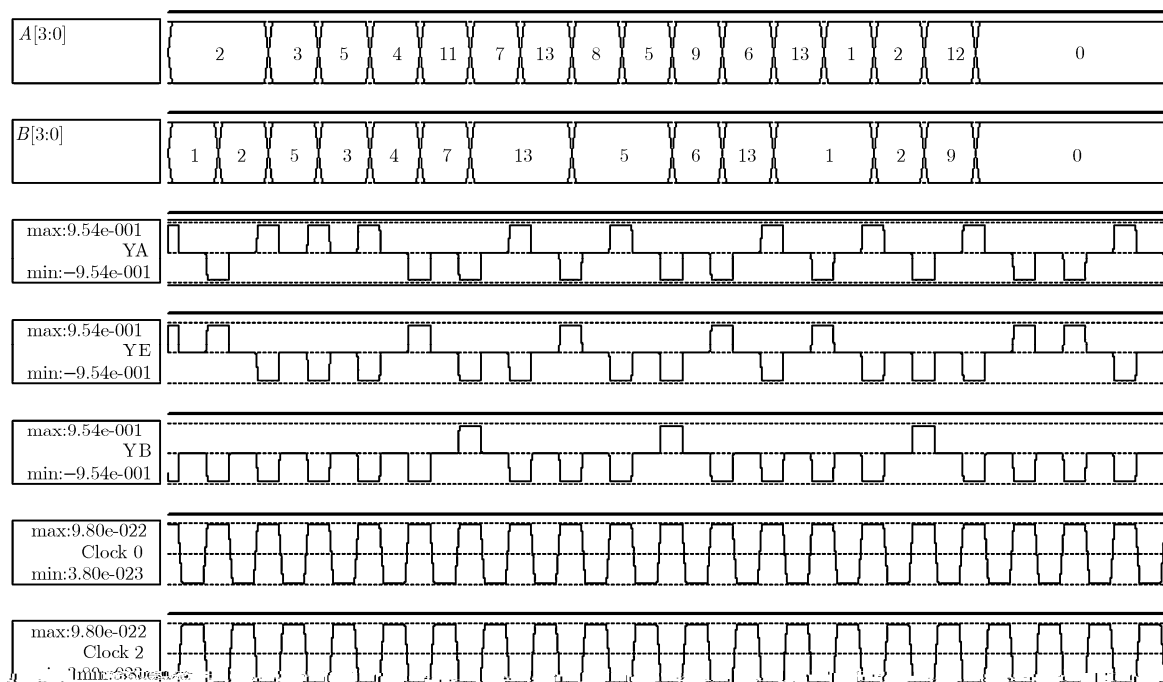


图10 基于QCA的4位数值比较器模拟波形

表1 数值比较器的性能

输入位数	细胞数(个)	面积(nm^2)	时延 (时钟周期)
1位	97	384×353	1
4位	722	1057×1541	3.5
8位	1620	3130×1375	4.5

分析,表明电路时延并不随电路输入位数呈线性增加,因而所设计的电路具有良好的时延性。

参考文献

- [1] Lent C S, Tougaw P D, and Porod W. Bistable saturation in coupled quantum dots for quantum cellular automata[J]. *Applied Physics Letters*, 1993, 62(7): 714-716.
- [2] 王森, 蔡理, 郭律. 基于量子细胞自动机的全加器实现[J]. *固体电子学研究与进展*, 2005, 25(2): 148-151.
Wang Shen, Cai Li, and Guo Lü. A novel full adder implementation using quantum cellular automata[J]. *Research and Progress of SEE*, 2005, 25(2): 148-151.
- [3] Cho H and Swartzlander E E. Adder designs and analyses for quantum-dot cellular automata[J]. *IEEE Trans. on Nanotechnology*, 2007, 6(3): 374-383.
- [4] Choi M and Choi M. Scalability of globally asynchronous QCA (quantum-dot cellular automata) adder design[J]. *Journal of Electronic Testing*, 2008, 24(1-3): 313-320.
- [5] Heumpil C and Swartzlander E E. Serial parallel multiplier design in quantum-dot cellular automata[C]. *IEEE Symposium on Computer Arithmetic*, Montpellier, France, Jun. 25-27, 2007: 7-15.
- [6] Niemier M T and Kogge P M. Logic in wire: using quantum dots to implement a microprocessor[C]. *Proceedings of Ninth Great Lakes Symposium on VLSI*, Ann Arbor, MI, USA, Mar.4-6, 1999: 118-121.
- [7] Lent C S and Tougaw P D. Lines of interacting quantum-dot cells: A binary wire[J]. *Journal of Applied Physics*, 1993, 74(10): 6227-6233.
- [8] Kim K, Wu K J, and Karri R. Quantum-dot cellular automata design guideline[J]. *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, 2006, E89-A(6): 1607-1641.
- [9] Walus K, Dysart T J, and Jullien G A, et al. QCADesigner: A rapid design and simulation tool for quantum-dot cellular automata[J]. *IEEE Trans. on Nanotechnology*, 2004, 3(1): 26-31.

夏银水: 男, 1963年生, 研究员, 博士生导师, 研究方向为集成电路设计自动化、低功耗集成电路设计和量子逻辑电路设计研究。

裘科名: 男, 1984年生, 硕士生, 研究方向为量子逻辑电路设计研究。