

用于14位210 MS/s电荷域ADC的4.5位子级电路

薛 颜^① 于宗光^{*①} 陈珍海^{①②③} 魏敬和^① 钱宏文^①

^①(中国电子科技集团第五十八研究所 无锡 214035)

^②(黄山学院信息工程学院 黄山 245041)

^③(智能微系统安徽省工程技术研究中心 黄山 245041)

摘 要: 该文提出了一种用于高速高精度电荷域流水线模数转换器(ADC)的电荷域4.5位前端子级电路。该4.5位子级电路使用增强型电荷传输(BCT)电路替代传统开关电容技术流水线ADC中的高增益带宽积运放来实现电荷信号传输和余量处理,从而实现超低功耗。所提4.5位子级电路被运用于一款14位210 MS/s电荷域ADC中作为前端第1级子级电路,并在1P6M 0.18 μm CMOS工艺下实现。测试结果显示,该14位ADC电路在210 MS/s条件下对于30.1 MHz单音正弦输入信号得到的无杂散动态范围为85.4 dBc,信噪比为71.5 dBFS, ADC内核面积为3.2 mm²,功耗仅为205 mW。

关键词: 流水线模数转换器; 电荷域; 子级电路; 低功耗

中图分类号: TN47

文献标识码: A

文章编号: 1009-5896(2020)09-2312-07

DOI: 10.11999/JEIT190592

4.5 bit Sub-stage Circuit for 14 bit 210 MS/s Charge-domain ADC

XUE Yan^① YU Zongguang^① CHEN Zhenhai^{①②③}

WEI Jinghe^① QIAN Hongwen^①

^①(No.58 Research Institute, China Electronic Technology Group Corporation, Wuxi 214035, China)

^②(School of Information Engineering, Huangshan University, Huangshan 245041, China)

^③(Engineering Technology Research Center of Intelligent Microsystems Anhui Province, Huangshan 245041, China)

Abstract: A 4.5 bit sub-stage circuit for high speed high precision charge domain pipelined Analog-to-Digital Converter (ADC) is proposed. Instead of the high-performance opamps used in traditional switched-capacitor pipelined ADCs, charge transfer and residue charge calculation is realized with Boosted Charge Transfer (BCT) circuit in the proposed 4.5 bit sub-stage. Therefore, the power consumption of the 4.5 bit sub-stage circuit can be reduced remarkably. The proposed 4.5 bit sub-stage circuit is used as the 1st stage circuit for a 14 bit 210 MS/s charge domain pipelined ADC and realized in a 1P6M 0.18 μm CMOS process. Test results show the 14 bit 210 MS/s ADC achieves the signal-to-noise ratio of 71.5 dBFS and the spurious free dynamic range of 85.4 dB, with 30.1 MHz input single tone signal at 210 MS/s, while the ADC core consumes the power consumption of 205 mW and occupies an area of 3.2 mm².

Key words: Pipelined Analog-to-Digital Converter(ADC); Charge-domain; Sub-stage circuit; Low power

1 引言

高速高精度流水线模数转换器(Analog-to-Digital Converter, ADC),一直是宽带雷达接收^[1,2]和多载波无线通信^[3,4]等中频采样电子应用系统的主要选择。通过采用先进的纳米级CMOS工艺和各类新颖的数字校准技术,采用开关电容技术实现的14位流水线ADC采样速率可以达到1 GS/s以上^[5-7],

但是该类ADC内部使用的高增益带宽积运算放大器仍然消耗了绝大部分功耗。

采用增强型电荷传输(Boosted Charge Transfer, BCT)电路的电荷域流水线ADC由于未使用高增益带宽积运算放大器能够有效降低整个ADC的功耗,是一种超低功耗流水线ADC结构^[8]。文献[9-11]分别采用伪差动辅助型和镜像控制型BCT电路技术,实现信噪比(Signal Noise Ratio, SNR)大于55 dB的10位电荷域流水线ADC。文献[12]进一步采用输入共模电荷前馈补偿电路技术,将电荷域流水线

收稿日期: 2019-08-06; 改回日期: 2020-08-06; 网络出版: 2020-08-12

*通信作者: 于宗光 yuzg58@163.com

ADC的精度提升到12位, 实现SNR大于63 dB的12位电荷域流水线ADC。对于精度在14位以上、SNR大于70 dB的电荷域流水线ADC的文献报道还十分少见。

基于BCT电路的电荷域流水线子级电路设计是实现高精度的电荷域流水线ADC的关键, 特别是第1级流水线子级电路的设计。为实现SNR大于70 dB的14位电荷域流水线ADC, 本文提出了一种电荷域前端4.5位子级电路结构, 并进行了详细的原理分析, 还将该4.5位子级电路应用于一款低功耗14位210 MS/s电荷域流水线ADC中。该14位ADC样片电路采用1.8 V 1P6M 0.18 μm CMOS工艺进行了设计并流片验证。

2 电荷域4.5位子级电路结构和原理分析

2.1 电路结构

如图1(a)所示为本文所提电荷域4.5位流水线子级电路的完整电路结构。该4.5位子级电路作为整个流水线ADC的第1级子级电路, 前级电路采用文献[2]采样保持电路, 采样保持电路输出作为本子级电路差分输入。该4.5位子级电路内部包括电荷比较器阵列组成的子ADC(Sub-ADC)、参考电压选择电路阵列组成的子数模转换器(Substage Digital-to-Analog Converter, Sub-DAC)、16对大小相等的电容组成的电荷加减电容阵列、本级差分BCT电荷传输电路和1对复位开关电路。图1中Sub-ADC实现电荷量化功能, 其内部包括差分基准电压产生电路、电荷比较器阵列和温度计码转二进制编码电路。由于4.5位子级电路是由5位子级电路冗余得到的, 所以子ADC内部包含16个电荷比

较器, 输出16位温度计码 $b_{[1:16]}$ 给子DAC, 同时16位温度计码转换为5位二进制码 $D_{[1:5]}$ 输出给流水线ADC的数字纠错逻辑。Sub-DAC实现余量电荷处理功能, 其内部包括16个系统的参考电压选择电路单元, 16位温度计码以及其反码分别输入到16个参考电压选择电路单元中, 对P端电容阵列 C_{1p} — C_{16p} 的下极板和N端电容阵列 C_{1n} — C_{16n} 的上极板所连接的参考电压进行选择控制, 从而实现对输入电荷的加减操作, 进而得到最后的余量电荷。以第1个参考电压选择电路单元为例, 该选择单元以与非门 G_{1p} , G_{1n} 以及反相器 I_{1p} , I_{1n} 在时钟CK1的控制下根据子ADC提供的温度计量化码 b_1 和 b_{16} 分别控制 C_{1p} 下极板和 C_{1n} 的上极板所接的参考电压以实现余量电荷处理。

图1中所示的电荷域4.5位子级电路的工作方式可以用采样、保持和复位3个相位来描述。在采样相(CK2), 输入电荷通过采样保持电路中的电荷传输电路BCT_{SHp}/BCT_{SHn}转移到本级电荷存储电容, 随着存储电容电荷的注入, 差分电荷 Q_{INP} 和 Q_{INN} 上的电荷量随之发生变化, 该电荷变化量被子ADC电路检测并通过16个电荷比较器与基准信号进行比较输出量化码 $b_{[1:16]}$; 此时子DAC所有输出均相同, 使16对电荷加减电容均连接到参考电压 V_{HR} 。在保持相(CK2), 量化码 $b_{[1:16]}$ 控制子DAC和电荷加减电容 C_1 — C_{16} 对输入电荷进行加减, 得到余量电荷通过后级电荷传输电路传输到后级电路。当复位相(CKset)有效时, 4.5位子级电路处于复位状态, 差分电荷存储节点被复位到一个初始电压, 存储在 Q_{INP} 和 Q_{INN} 上的电荷因此也回复到初始电荷量, 为采样相接收输入新电荷作好准备。

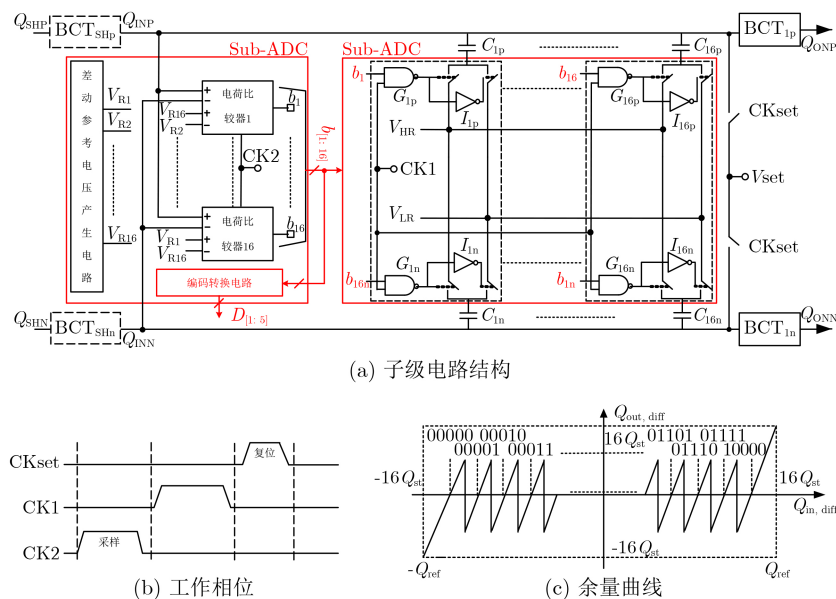


图1 电荷域4.5位每级子级结构

2.2 电路原理分析

当4.5位子级电路处于电荷接收状态时, 假设P端和N端电荷存储节点的寄生电容分别为 C_{pp} 和 C_{pn} , 输入电荷分别为 Q_{INP} 和 Q_{INN} , 则差分电荷存储点接收到的电荷量为

$$\left. \begin{aligned} Q_{INPR} &= (C_{pp} + 16 \cdot C_{1p}) \cdot (V_{INP} - V_{HR}) \\ &= Q_{INP} - C_{Tp} \cdot V_{HR} \\ Q_{INNPR} &= (C_{pn} + 16 \cdot C_{1n}) \cdot (V_{INN} - V_{HR}) \\ &= Q_{INN} - C_{Tn} \cdot V_{HR} \end{aligned} \right\} \quad (1)$$

其中, $C_{Tp} = C_{Tn} = C_{pp} + 16 \cdot C_{1p} = C_{pn} + 16 \cdot C_{1n}$ 表示P端或N端电荷存储节点上的总电容。当4.5位子级电路处于电荷传输阶段时, 由于子ADC的量化输出量化码 $b_{[1:16]}$ 和 $b_{[1:16]n}$ 为互补的数字量化码, 可以得到4.5位子级电路的差分端传递出的电荷量分别为

$$\left. \begin{aligned} Q_{OUTP} &= Q_{INP} - b_{16} \cdot \Delta V_R C_{16p} \cdots - b_2 \cdot \Delta V_R C_{2p} \\ &\quad - b_1 \cdot \Delta V_R C_{1p} + Q_{Tp} \\ Q_{OUTN} &= Q_{INN} - (1 - b_{16}) \cdot \Delta V_R C_{16n} \cdots - (1 - b_2) \\ &\quad \cdot \Delta V_R C_{2n} - (1 - b_1) \cdot \Delta V_R C_{1n} + Q_{Tn} \end{aligned} \right\} \quad (2)$$

其中 $\Delta V_R = V_{RH} - V_{RL}$, Q_T 为本级BCT电路在电荷传输时引入的固定电荷常数。当 $C_{1p} = C_{1n} = C_{st}$ 时, 由于4.5位子级电路的16对差分电容大小相等, 可进一步得到4.5位子级传出的差分电荷量为

$$Q_{OUT,diff} = Q_{IN,diff} - (2b_{16} - 1) \cdot \Delta V_R C_{st} \cdots - (2b_2 - 1) \cdot \Delta V_R C_{st} - (2b_1 - 1) \cdot \Delta V_R C_{st} \quad (3)$$

再令 $Q_{st} = \Delta V_R \cdot C_{st}$, Q_{st} 表示4.5位子级电路的参考电荷量, 则式(3)可以重新改为

$$Q_{OUT,diff} = Q_{IN,diff} - (2b_{16} - 1) \cdot Q_{st} \cdots - (2b_2 - 1) \cdot Q_{st} - (2b_1 - 1) \cdot Q_{st} \quad (4)$$

由于 $b_{[1:16]}$ 是子ADC中16个电荷比较器输出的温度计码, 所以可以将式(4)分段表示为

$$\left. \begin{aligned} Q_{OUT,diff} &= Q_{IN,diff} - 16Q_{st}, \\ \text{for } b_{[1:16]} &= 1111111111111111 \\ Q_{OUT,diff} &= Q_{IN,diff} - 14Q_{st}, \\ \text{for } b_{[1:16]} &= 0111111111111111 \\ \dots & \\ Q_{OUT,diff} &= Q_{IN,diff}, \\ \text{for } b_{[1:16]} &= 0000000011111111 \\ \dots & \\ Q_{OUT,diff} &= Q_{IN,diff} - 14Q_{st}, \\ \text{for } b_{[1:16]} &= 0000000000000001 \\ Q_{OUT,diff} &= Q_{IN,diff} - 16Q_{st}, \\ \text{for } b_{[1:16]} &= 0000000000000000 \end{aligned} \right\} \quad (5)$$

由于子DAC内部使用的信号处理采用的是电荷信号, 这些电荷信号通过电容转换, 在各个结点

的电容上再恢复成电压。令 $Q_{ref} = V_R \cdot C_T$, 结合式(2)可得到子ADC中16个电荷比较器的输出表达式并代入式(5), 即可得到电荷域4.5位子级电路的分段电荷输入输出关系

$$\left. \begin{aligned} Q_{OUT,diff} &= Q_{IN,diff} - 16Q_{st}, \\ \text{for } Q_{IN,diff} &> 14Q_{ref}/16 \\ Q_{OUT,diff} &= Q_{IN,diff} - 14Q_{st}, \\ \text{for } 12Q_{ref}/16 &< Q_{IN,diff} \leq 14Q_{ref}/16 \\ \dots & \\ Q_{OUT,diff} &= Q_{IN,diff}, \\ \text{for } -Q_{ref}/16 &< Q_{IN,diff} \leq +Q_{ref}/16 \\ \dots & \\ Q_{OUT,diff} &= Q_{IN,diff} - 14Q_{st}, \\ \text{for } -14Q_{ref}/16 &< Q_{IN,diff} \leq -12Q_{ref}/16 \\ Q_{OUT,diff} &= Q_{IN,diff} - 16Q_{st}, \\ \text{for } Q_{IN,diff} &\leq -14Q_{ref}/16 \end{aligned} \right\} \quad (6)$$

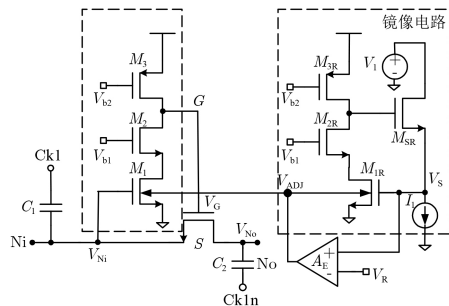
从式(6)可知, 本文设计的4.5位电荷域流水线子级电路中电荷比较器的等效判别电荷是由一个基准电压以及子级电路差分电荷存储节点的总电容确定。根据式(6), 可以绘制出电荷域4.5位子级电路的余量曲线, 如图1(c)所示。由图1(c)可见, 4.5位电荷域流水线子级电路的输入电荷范围为 $-Q_{ref} \sim Q_{ref}$, 输出电荷的范围就为 $-16Q_{st} \sim 16Q_{st}$ 。理想情况下, 差分电荷存储节点处的寄生电容为固定值。而实际情况下, 差分电荷存储节点处的寄生电容会受工艺、温度、电压等各类非理想因素的影响而产生变化, 于是就产生了电荷误差。对于电荷域流水线ADC而言, 只要保证子ADC中电荷比较器的等效失调电荷误差的大小在 $\pm Q_{ref}/16$ 的范围内, 即可保证电荷域4.5位流水线子级电路输出的正确性。

3 电路实现与仿真

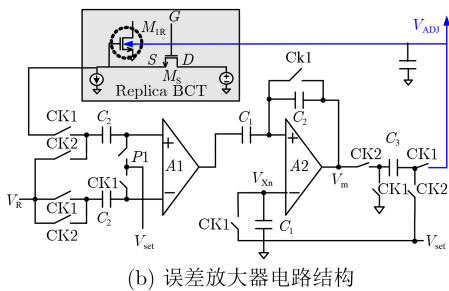
3.1 电荷传输电路

现有基于BCT电路的高速电荷域流水线ADC, 电荷信号的传输处理全部围绕各流水线子级电路中的BCT电路完成, 因此BCT电路性能对ADC线性度有着直接影响。本文中所设计子级电路中采用的电荷传输电路为镜像控制型BCT电路, 如图2所示。与基本BCT相比, 虽然该电路复杂度和器件数目有所增加, 但是具有输出共模受工艺、电压和温度(Process Voltage and Temperature, PVT)波动不敏感的特性, 具有更加优异的性能和稳定性^[1]。

图2(a)为BCT电路结构, 图2中的 $M_1 \sim M_3$ 组成的共源共栅单级运放和电荷传输NMOS管MS构成一个基本的BCT电路, 共源共栅单级运放的输出电压 V_G 用于控制MS关断和开通, 假设MS关断时刻的 V_G 电压为 V_{Goff} , 理想情况下每次信号处理过程中 V_{Goff} 应该保持不变, 但是实际电路中 V_{Goff} 受



(a) BCT 电路结构

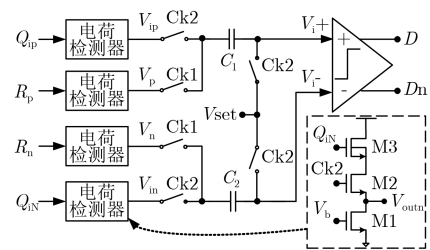


(b) 误差放大器电路结构

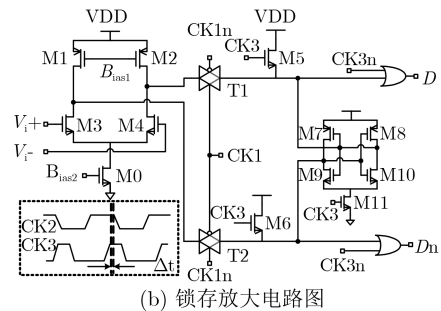
图2 镜像控制BCT电路结构

PVT波动影响会产生很大误差^[11]，为此需要对 V_{Goff} 电压进行控制。为解决上述问题，图2(a)电路中采用了镜像复制控制技术。MOS管 M_{SR} 是原始BCT电路中MS的镜像复制NMOS管，由 $M_{1R} \sim M_{3R}$ 组成的共源共栅运放是原始BCT电路中 $M_1 \sim M_3$ 的镜像复制。为降低功耗，镜像复制电路中与原始BCT电路对应的MOS管尺寸可以等比例缩小。误差放大器 A_E 用于检测 V_S 电压和 M_{1R} 衬底电压间的误差，该误差放大器采用负反馈连接结构将 M_1 和 M_{1R} 衬底电压 V_{ADJ} 的大小箝位在 V_R ，而 V_R 由不受PVT波动影响的精确基准信号产生，因此整体BCT电路的PVT波动抑制能力大幅提高。

图2(b)为BCT电路所采用误差放大器 A_E 的具体电路结构，该电路由两级开关电容放大电路级联构成。采用开关电容网络来实现误差信号检测 and 对比，是为了扩大误差放大器 A_E 的输入共模电压范围，这样 V_R 的大小选择可以有更加大的范围。由于误差放大器 A_E 检测的电压量相对固定，图2(b)中开关电容网络所使用的开关全部采用CMOS互补开关即可。图2(b)中A1和A2为基本电压放大器电路，由于电压 V_{ADJ} 的驱动对象仅为 M_1 和 M_{1R} 衬底，因此A1和A2只需提供足够的增益即可，对于驱动电流要求不大，因此本文中A1和A2均采用了单级差分放大电路。图2(a)的BCT电路和图2(b)其内部的误差放大器电路的结构可以看出，电荷信号传输处理电路不需要使用高增益带宽积运放，因此与传统的开关电容流水线ADC子级电路相比，在功耗上具有明显优势。



(a) 电荷比较器电路结构



(b) 锁存放大电路图

图3 高速动态电荷比较器电路结构

3.2 高精度电荷比较器电路

图3(a)所示为本文所设计4.5位电荷域流水线子级电路中所使用的高性能电荷比较器电路结构，由前端4个受时钟控制的电荷检测器、一组共模不敏感开关电容采样电路和一个高速动态电压比较器构成^[10]。图3中给出的电荷比较器结构和现有电压型比较器的区别在于前端所使用的4个电荷检测器。采用电荷检测器的作用是隔离差分电荷信号与开关电容采样网络中 C_1 和 C_2 上存储的电荷信号，在电荷比较量化中保证输入差分电荷存储节点不存在电荷注入和泄放通道，使电荷 Q_{ip} 和 Q_{in} 保持稳定，从而实现对差分电荷信号的准确采样和量化。在4个电荷检测器对差分电荷信号和差分基准信号进行采样得到4个电压信号 V_{ip} 、 V_{in} 、 V_p 和 V_n 后由开关电容信号采样网络进行差分采样得到差分电压信号 V_{i+} 和 V_{i-} 。动态锁存比较器对 V_{i+} 和 V_{i-} 进行比较得到电荷比较器最终比较结果 D 和 D_n 。

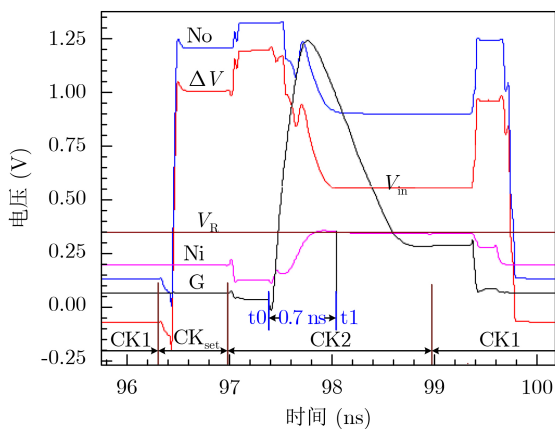
图3(b)所示为本文电荷比较器中所采用的动态锁存电压比较器电路的具体实现。该动态锁存比较器由前后2级组成，前级为简单的预放大电路，后级为经典的数字锁存和整形电路，两级电路之间采用CMOS传输门进行隔离。CK1和CK3为控制时钟信号，CK1n和CK3n两个时钟对应的反向时钟信号。

3.3 电路仿真分析

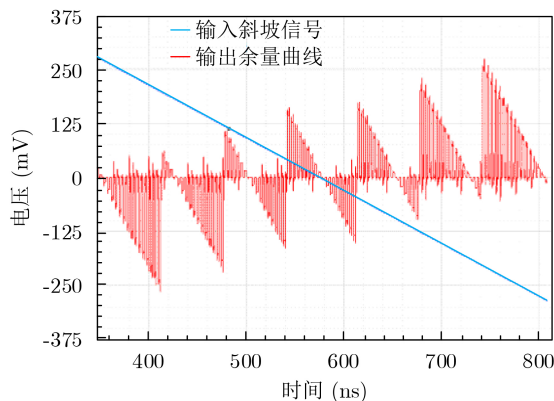
本文所设计4.5位电荷域流水线子级电路的工作速度为210 MS/s，对应单周期时间为4.78 ns。为满足该速度要求，本设计中分配给采样(CK2)、保持(CK1)和复位(CKset)3个相位的时间分别为2 ns，2 ns和0.7 ns。而在采样相中，分配给BCT电荷传

输时间为0.8 ns。所设计BCT电路相关信号节点的瞬态波形如图4(a)所示, BCT电路的信号传输和电荷量化工作在CK2相位进行。 t_0 时刻, BCT开始电荷传输, t_1 时刻, V_{Ni} 电压逼近 V_R 时电荷传输结束, 4.5位子级电路完成输入电荷接收; 之后 V_{No} 保持不变, 其电压大小供子ADC进行量化。从图中可以看出, t_0 时刻到 t_1 时刻的时间间隔为0.7 ns, 满足0.8 ns的速度要求。为了更好地反映电荷传输特性, 图4(a)中还给出了电荷传输MOS管S源漏端电压差的瞬态波形 $\Delta V = V_{No} - V_{Ni}$, t_1 时刻当电荷传输完成时, ΔV 仍然保持0.6 V的压差不变。而传统电压信号传输开关进行电压信号传输时, 电压信号传输完成时, 电压传输开关两端的压差 ΔV 应该为0。而这就是电荷信号传输和电压信号传输电路在工作特性上的根本差异。

对电荷域流水线子级电路而言, 考察的余量不是电压而是电荷, 但是电荷量在输出表示时不易观察, 只能转化为输出结点处的电压余量。为验证4.5位子级电路余量电荷处理是否正确, 本文对采用输入斜坡信号进行余量特性仿真。输入斜坡信号首先连接到4.5位子级电路前端的采样保持电路, 采样保持电路的输出连接到本文所述4.5位子级电



(a) BCT 电路瞬态特性



(b) 输出余量曲线

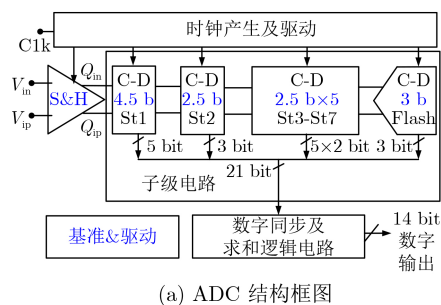
图4 4.5位子级电路仿真曲线

路作为输入电荷信号。本文所述4.5位子级电路前端采样保持电路的差分输入范围为1.44 V, 因此仿真采用的输入斜坡信号峰峰值为1.44 V。4.5位子级电路的电荷输出余量曲线瞬态波形如图4(b)所示, 图中给出的为输入 $-280 \sim +280$ mV斜坡区间范围的余量处理结果, 可见虽然比较器的比较电平存在一定的失调, 但余量输出电压在过零点处间距相等。由式(6)可知, $-280 \sim +280$ mV范围应该跨越7个量化区间, 符合图4(b)的量化区间分布, 表明所设计4.5位子级电路的输出余量信号满足要求。

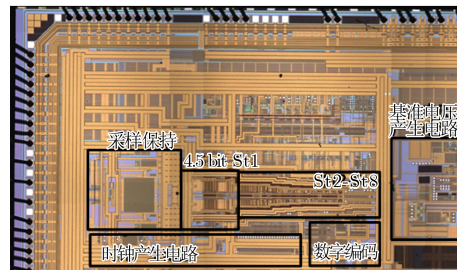
4 4.5位子级电路的应用及测试结果

本文所提电荷域4.5位流水线子级电路被成功运用于一款14位210 MS/s电荷域ADC中并进行了验证。图5(a)所示为该14位210 MS/s电荷域流水线ADC的结构框图, 它是在采用文献[12-14]所给出的电荷域ADC内核的基础上, 使用本文所设计的4.5位子级电路, 组成的一款14位210 MS/s电荷域ADC电路, 其芯片布局与文献[12]基本一致。该电荷域流水线ADC采用1.8 V 0.18 μm 1P6M CMOS工艺进行设计并流片, ADC芯片电路的解剖放大照片如图5(b)所示。图5(b)实线框从左向右依次为采样保持电路、本文所设计子电荷域ADC前端4.5位子级电路(St1)和其他各级子级电路(St2-St8)。本文所设计前端4.5位子级电路面积为 $0.5 \times 0.6 \text{ mm}^2$, 整个ADC电路中采样保持和各级流水线子级电路面积为 $1.5 \times 2.1 \text{ mm}^2$ 。

14位电荷域ADC通过0.18 μm 工艺实现后, 在同一圆片的不同位置, 随机划片并封装。图6(a)和

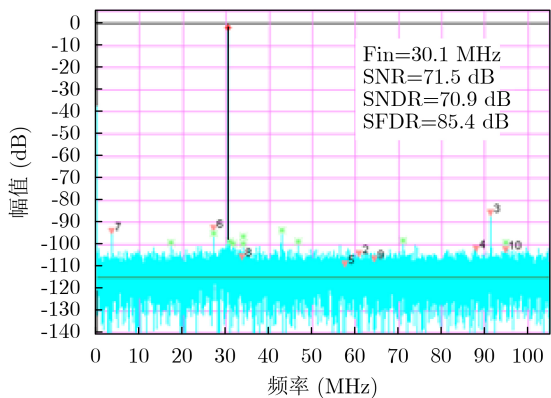


(a) ADC 结构框图

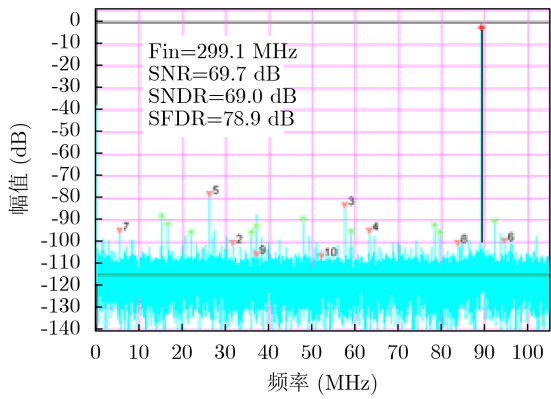


(b) ADC 芯片照片

图5 14位210 MS/s电荷域ADC框图及芯片照片



(a) FFT@fin=30.1 MHz



(b) FFT@fin=299.1 MHz

图 6 ADC实测FFT结果

图6(b)所示为该14位电荷域ADC在采样率为210 MS/s时的快速傅里叶变换(Fast Fourier Transform, FFT)频谱图,对于单音正弦输入为30.1 MHz的信号进行模数转换得到的信噪比(SNR)为71.5 dB,信噪

失真比(Signal to Noise and Distortion Ratio, SNDR)为70.9 dB,无杂散动态范围(Spurious Free Dynamic Range, SFDR)为85.4 dB;对于单音正弦输入为299.1 MHz的信号进行模数转换得到的SNR为69.7 dB, SNDR为69.0 dB, SFDR为78.9 dB。

该电路共计封装电路50颗,采用Ultra Flex测试系统进行测试验证。在单音正弦输入为30.1 MHz的信号,采样率为210 MS/s时对不同电路分别在-40 °C、25 °C和85 °C 3个温度进行测试。测试结果50颗电路功能均正常,仅存在微小的性能参数差异。这里选取两颗电路进行统计,其关键参数详见表1。从实测数据可知,在常温(25 °C)情况下ADC具有最佳性能;随着温度的降低(在-40 °C情况下),内核功耗也随之降低约10 mW,但是信噪比(SNR)降低约3 dB,无杂散动态范围(SFDR)降低约5 dB;随着温度的升高(在85 °C情况下),内核功耗也随之增加约10 mW,但是信噪比(SNR)基本维持不变,无杂散动态范围(SFDR)降低约2 dB。从所有电路的三温实测结果来看,本文提出的结构在工艺一致性方面表现良好,在不同的温度条件下,性能存在一定差异,但是高温相对低温情况,有着更好的性能表现。

从表2所示的14位高速流水线ADC性能对比情况可以看出,采用本文设计的电荷域流水线4.5位子级电路组成的ADC在较低面积条件下,达到了最佳的FOM性能,SNR较相同0.18 μm CMOS工艺条件下的其他文献提高了3 dB以上。

表 1 本电路部分关键实测数据

测试电路	精度(bit)	输入信号(MHz)	采样率(MS/s)	温度(°C)	SNR(dB)	SFDR(dB)	内核电流(mA)	内核功耗(mW)
电路1	14	30.1	210	-40	68.3	80.2	109	197
				25	71.5	85.4	114	205
				85	71.3	83.6	119	214
电路2	14	30.1	210	-40	68.1	79.8	108	194
				25	71.4	85.2	113	203
				85	71.1	83.2	117	211

表 2 ADC性能对比

技术指标	精度 (bit)	采样率 (MS/s)	SNR (dB)	SFDR (dB)	电源电压 (V)	工艺 (nm)	内核功耗 (mW)	内核面积 (mm ²)	FOM(pJ/step)功耗/ (2 ^{ENOB} ·f _{clk})
文献[4]	14	500	64.8	92.7	1.8/3.3	180	550	2.5*	0.71
文献[5]	14	1000	69	86	1.2/2.5	65	1200	5	0.55
文献[14]	14	200	68.5	88.5	1.8	180	460	22.5**	1.07
文献[15]	14	250	68.5	94.7	1.8	180	300	3.6	0.57
本文	14	210	71.5	85.4	1.8	180	205	3.2	0.39

注：*采用SiGe BiCMOS工艺；**采用时间交织结构。

5 结论

本文提出了一种用于高速高精度电荷域流水线ADC的4.5位前端子级电路,该电路不使用高增益带宽积运放,具有超低低功耗特点。所提4.5位前端子级电路作为第1级流水线子级电路被运用于一款14位210 MS/s电荷域ADC中。测试结果显示,该14位ADC电路在210 MS/s条件下对于30.1 MHz单音正弦输入信号得到的SFDR为85.14 dBc, SNR为71.5 dB,而ADC内核功耗仅为205 mW。所提4.5位前端子级电路可满足高精度电荷域流水线ADC的应用需求。

参考文献

- [1] 李光祚, 默迪, 王宁, 等. 一种新的高重频宽带相干激光雷达系统研究[J]. 电子与信息学报, 2018, 40(3): 525–531. doi: [10.11999/JEIT170479](https://doi.org/10.11999/JEIT170479).
LI Guangzuo, MO Di, WANG Ning, et al. A novel coherent ladar system with high repetition frequency and wide bandwidth[J]. *Journal of Electronics & Information Technology*, 2018, 40(3): 525–531. doi: [10.11999/JEIT170479](https://doi.org/10.11999/JEIT170479).
- [2] 陈珍海, 魏敬和, 钱宏文, 等. 用于14位210 MS/s电荷域ADC的采样保持前端电路[J]. 电子与信息学报, 2019, 41(3): 732–738. doi: [10.11999/JEIT180337](https://doi.org/10.11999/JEIT180337).
CHEN Zhenhai, WEI Jinghe, QIAN Hongwen, et al. Sample and hold front-end circuit for 14-bit 210 MS/s charge-domain ADC[J]. *Journal of Electronics & Information Technology*, 2019, 41(3): 732–738. doi: [10.11999/JEIT180337](https://doi.org/10.11999/JEIT180337).
- [3] 景国彬, 孙光才, 邢孟道, 等. 一种新的步进频MIMO-SAR带宽合成的处理方法[J]. 西安电子科技大学学报: 自然科学版, 2018, 45(2): 148–153, 159. doi: [10.3969/j.issn.1001-2400.2018.02.025](https://doi.org/10.3969/j.issn.1001-2400.2018.02.025).
JING Guobin, SUN Guangcai, XING Mengdao, et al. Novel two-step method of bandwidth synthesis for SF-MIMO-SAR[J]. *Journal of Xidian University*, 2018, 45(2): 148–153, 159. doi: [10.3969/j.issn.1001-2400.2018.02.025](https://doi.org/10.3969/j.issn.1001-2400.2018.02.025).
- [4] EL-CHAMMAS M, LI Xiaopeng, KIMURA S, et al. 15.8 90 dB-SFDR 14b 500 MS/s BiCMOS switched-current pipelined ADC[C]. 2015 IEEE International Solid-State Circuits Conference, San Francisco, USA, 2015: 286–287. doi: [10.1109/ISSCC.2015.7063038](https://doi.org/10.1109/ISSCC.2015.7063038).
- [5] ALI A M A, DINC H, BHORASKAR P, et al. A 14 Bit 1 GS/s RF sampling pipelined ADC with background calibration[J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(12): 2857–2867. doi: [10.1109/JSSC.2014.2361339](https://doi.org/10.1109/JSSC.2014.2361339).
- [6] ALI A M A, DINC H, BHORASKAR P, et al. A 14-bit 2.5 GS/s and 5 GS/s RF sampling ADC with background calibration and Dither[C]. 2016 IEEE Symposium on VLSI Circuits, Honolulu, USA, 2016: 1–2. doi: [10.1109/VLSIC.2016.7573537](https://doi.org/10.1109/VLSIC.2016.7573537).
- [7] WU Jiangfeng, CHOU A, LI Tianwei, et al. 26.7 A 4 GS/s 13b pipelined ADC with capacitor and amplifier sharing in 16 nm CMOS[C]. 2016 IEEE International Solid-State Circuits Conference, San Francisco, USA, 2016: 466–468. doi: [10.1109/ISSCC.2016.7418109](https://doi.org/10.1109/ISSCC.2016.7418109).
- [8] ANTHONY M, KOHLER E, KURTZE J, et al. A process-scalable low-power charge-domain 13-bit pipeline ADC[C]. 2008 IEEE Symposium on VLSI Circuits, Honolulu, USA, 2008: 222–223. doi: [10.1109/VLSIC.2008.4586015](https://doi.org/10.1109/VLSIC.2008.4586015).
- [9] CHEN Zhenhai, YU Zongguang, HUANG Songren, et al. A PVT Insensitive boosted charge transfer for high speed charge-domain pipelined ADCs[J]. *IEICE Electronics Express*, 2012, 9(6): 565–571. doi: [10.1587/elex.9.565](https://doi.org/10.1587/elex.9.565).
- [10] CHEN Zhenhai, HUANG Songren, ZHANG Hong, et al. A 27-mW 10-bit 125-MSPS charge domain pipelined ADC with a PVT insensitive boosted charge transfer circuit[J]. *Journal of Semiconductors*, 2013, 34(3): 035009. doi: [10.1088/1674-4926/34/3/035009](https://doi.org/10.1088/1674-4926/34/3/035009).
- [11] HUANG Songren, ZHANG Hong, CHEN Zhenhai, et al. A 10-bit 250 MSPS charge-domain pipelined ADC with replica controlled PVT insensitive BCT circuit[J]. *Journal of Semiconductors*, 2015, 36(5): 055012. doi: [10.1088/1674-4926/36/5/055012](https://doi.org/10.1088/1674-4926/36/5/055012).
- [12] YU Zongguang, SU Xiaobo, CHEN Zhenhai, et al. A 12-bit 250-MS/s charge-domain pipelined analog-to-digital converter with feed-forward common-mode charge control[J]. *Tsinghua Science and Technology*, 2018, 23(1): 87–94. doi: [10.26599/TST.2018.9010030](https://doi.org/10.26599/TST.2018.9010030).
- [13] 陈珍海, 魏敬和, 苏小波, 等. 低功耗时间交织12位500 MS/s电荷域ADC[J]. 西安电子科技大学学报: 自然科学版, 2017, 44(6): 109–115, 137. doi: [10.3969/j.issn.1001-2400.2017.06.020](https://doi.org/10.3969/j.issn.1001-2400.2017.06.020).
CHEN Zhenhai, WEI Jinghe, SU Xiaobo, et al. Low power time-interleaved 12-bit 500 MS/s charge-domain ADC[J]. *Journal of Xidian University*, 2017, 44(6): 109–115, 137. doi: [10.3969/j.issn.1001-2400.2017.06.020](https://doi.org/10.3969/j.issn.1001-2400.2017.06.020).
- [14] ZHANG Yiwen, CHEN Chixiao, YU Bei, et al. A 14-bit 200-MS/s time-interleaved ADC with sample-time error calibration[J]. *Journal of Semiconductors*, 2012, 33(10): 105010. doi: [10.1088/1674-4926/33/10/105010](https://doi.org/10.1088/1674-4926/33/10/105010).
- [15] ZHENG Xuqiang, WANG Zhijun, LI Fule, et al. A 14-bit 250 MS/s IF sampling pipelined ADC in 180 nm CMOS process[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2016, 63(9): 1381–1392. doi: [10.1109/TCSI.2016.2580703](https://doi.org/10.1109/TCSI.2016.2580703).

薛 颜: 男, 1983年生, 工程师, 研究方向为物理电子学。

于宗光: 男, 1964年生, 教授, 研究方向为微电子学。

陈珍海: 男, 1982年生, 高级工程师, 研究方向为微电子学与固体电子学。

魏敬和: 男, 1970年生, 研究员, 研究方向为集成电路设计。

钱宏文: 男, 1975年生, 研究员, 研究方向为集成电路应用。

责任编辑: 余 蓉