

基于 U_h 门的三值算术电路设计*

沈继忠

(杭州大学电子工程系, 杭州 310028)

姚茂群

(杭州师范学院, 杭州 310012)

摘要 本文利用基于模代数的三值通用逻辑门—— U_h , 设计了一位三值全加器和全乘法器电路。

关键词 三值逻辑; 通用逻辑门; 全加器; 全乘器。

1. 引言

二值算术电路不仅是现代数字计算机必不可少的电路, 而且有关研究表明, 二值全加器是一种通用逻辑器件, 它比一般传统的门电路具有明显的逻辑功能上的优势, 用它可以实现任意二值逻辑函数^[1-3]。三值逻辑作为二值逻辑的推广和深入, 具有广阔的应用前景^[4,5]。因此, 没有理由不去研究三值算术电路。然而, 目前对于三值算术电路的研究尚比较缺乏, 尤其是从门级设计的算术电路更少。本文将设计由 U_h 门构成的三值全加器和全乘法器电路。

U_h 门是一种基于模代数的三值通用逻辑门, 由它可以实现任意三值逻辑函数, 并且具有较强的灵活性^[6]。因此, 可以预期, 由 U_h 门设计的三值算术电路会比较简单。 U_h 门的定义为^[6]

$$U_h(m, n; x) = m \oplus nx \quad (1)$$

式中变量 $m, n, x \in \{0, 1, 2\}$, 符号“ \oplus ”表示模 3 加运算, nx 中间省略了模 3 乘符号“ \cdot ”。图 1 是 U_h 门的逻辑框图。

2. 三值全加器和全乘法器设计

(1) 三值全加器 两个一位三进制数 A, B 以及低位进位位 C 相加, 其本位和 S 和进位位 C_+ 的 K 图如图 2 所示。两个三进制数相加, 进位位不可能为 2, 图中“ \times ”表示不可能发生的情况。

对于本位和 S 可直接写出其模代数形式:

$$S = A \oplus B \oplus C \quad (2)$$

对进位位 C_+ , 为了获得它的模代数表达式, 必须先求得它的 b_j 系数^[7,8]。为减少求 b_j 系数的运算量, 令

1992.07.08 收到, 1992.12.21 定稿。

* 浙江省自然科学基金资助项目。

沈继忠 男, 1965 年生, 讲师, 现从事数字电子学方面的教学和研究工作。

姚茂群 女, 1967 年生, 助理工程师, 现从事电教工作。

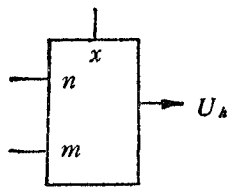


图 1 U_k 门逻辑框图

$$C_+ = \begin{cases} x, (C = 0) \\ y, (C = 1) \\ z, (C = 2) \end{cases}$$

则 x, y, z 分别对应于 C_+ 的 K 图中 $C = 0, 1, 2$ 的区域. 将 C_+ 的 K 图中, $C = 0, 1$ 的区域分别用 b_i 图表示^[6], 即得到 x, y 的 b_i 图, 如图 3 所示.

将 C_+ 表示成模代数形式^[6]:

$$C_+ = \begin{pmatrix} 1 & 0 & 0 \\ 0 & 2 & 1 \\ 2 & 2 & 2 \end{pmatrix} \begin{pmatrix} x \\ y \\ z \end{pmatrix} = \begin{pmatrix} x \\ 2y \oplus z \\ 2(x \oplus y \oplus z) \end{pmatrix} \quad (3)$$

因 z 无定义, 所以可令 $x \oplus y \oplus z = 0$, 即 $z = 2(x \oplus y)$, 将其代入(3)式得

$$C_+ = \begin{pmatrix} x \\ 2x \oplus y \\ 0 \end{pmatrix} \quad (4)$$

由此可画得 C_+ 的 b_i 图, 如图 4 所示. 据此, 可写出 C_+ 的模代数表达式为

$$C_+ = 2AB \oplus 2A^2B \oplus 2AB^2 \oplus AC \oplus 2A^2C \oplus BC \oplus ABC \oplus 2B^2C$$

将它作适当变换后有

$$C_+ = (2CA \oplus C)A \oplus [(C \oplus 2 \oplus 2A)A \oplus C \oplus (2C \oplus 2A)B]B \quad (5)$$

根据(2)式和(5)式, 可画出由 U_k 门组成的一位三值全加法器本位和 S 和进位位 C_+ 的电路, 如图 5 所示.

S	C	0			1			2		
		B	0	1	2	0	1	2	0	1
A	0	0	1	2	1	2	0	×	×	×
	1	1	2	0	2	0	1	×	×	×
	2	2	0	1	0	1	2	×	×	×

(a)

C ₊	C	0			1			2		
		B	0	1	2	0	1	2	0	1
A	0	0	0	0	0	0	1	×	×	×
	1	0	0	1	0	1	1	×	×	×
	2	0	1	1	1	1	1	×	×	×

(b)

图 2 全加法器本位和和进位位 K 图

x	B	0	1	2
		A	0	0
A	0	0	0	0
	1	0	2	2
	2	0	2	0

(a)

y	B	0	1	2
		A	0	0
A	0	0	1	2
	1	1	0	2
	2	2	2	0

(b)

图 3 x, y 的 b_i 图

C ₊	C	0			1			2		
		B	0	1	2	0	1	2	0	1
A	0	0	0	0	0	1	2	0	0	0
	1	0	2	2	1	1	0	0	0	0
	2	0	2	0	2	0	0	0	0	0

图 4 全加法器进位位 b_i 图

(2) 全乘法器 一位全乘法器是两个三进制数 A, B 相乘后再与低位进位位 C 相加的电路. 图 6 是它的本位积 P 和进位位 C_+ 的 K 图. 两个三进制数相乘进位位不可能为 2.

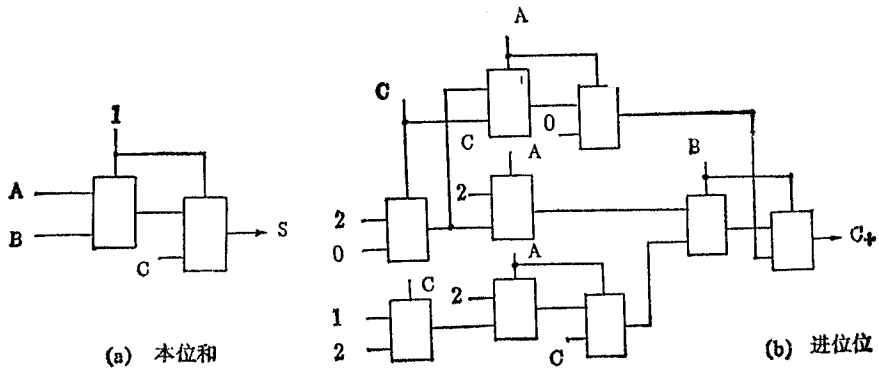


图 5 一位三值全加器的 U_3 门实现

对本位积 P , 用模代数表示为

$$P = A \cdot B \oplus C \quad (6)$$

对于进位位 C_+ , 作类似于对加法器进位位的处理, 可得到它的 b_i 图如图 7 所示. 由图 7 得

P	C	0			1			2		
		A	B		A	B		A	B	
0	0	0	0	1	1	1	×	×	×	
1	0	1	2	1	2	0	×	×	×	
2	0	2	1	1	0	2	×	×	×	

(a)

C_+	C	0			1			2		
		A	B		A	B		A	B	
0	0	0	0	0	0	0	×	×	×	
1	0	0	0	0	0	1	×	×	×	
2	0	0	1	0	1	1	×	×	×	

(b)

图 6

图 6 全乘法器本位积 P , 进位位 C_+ 之 K 图

$$\begin{aligned} C_+ &= AB \oplus 2AB^2 \oplus 2A^2B \\ &\oplus A^2B \oplus 2A^2B^2C \oplus CAB \\ &= AB[(1 \oplus 2A \oplus C \oplus 2B) \\ &\oplus AB(1 \oplus 2C)] \quad (7) \end{aligned}$$

由(6)和(7)式可画出由 U_3 门构成的一位三值全乘法器电路, 如图 8 所示.

3. 结论

对一位三值全加器, 按文献[9]的设计, 本位和和进位位分别需 46 和 25 个成本单位(c.u.), 共计 71c.u.. 如按文献[10]的设计方法, 用 T 门网

C_+	C	0			1			2		
		A	B		A	B		A	B	
0	0	0	0	0	0	0	0	0	0	
1	0	1	2	0	1	0	0	0	0	
2	0	2	1	0	0	2	0	0	0	

图 7

图 7 全乘法器进位位 b_i 图

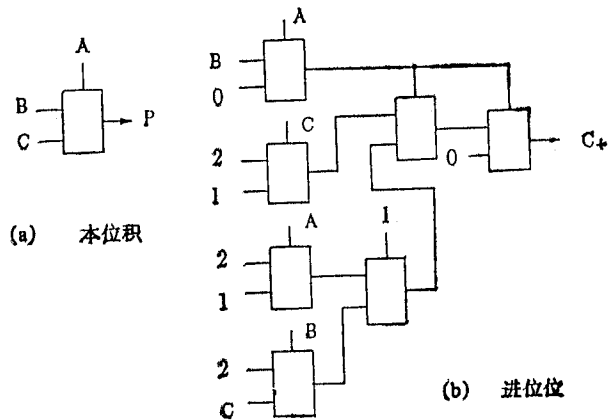


图 8

图 8 一位三值全乘法器的 U_3 门实现

络实现, 则本位和 S , 进位位 C_+ 各需 5 个 T 门, 共计 $(5 + 5) \times 4 = 40c.u.$ 。而本文用 U_h 门设计的全加器成本为: $(2 + 9) \times 3 = 33c.u.$ 。一位全乘法器, 按文献 [10] 设计方法, 本位积、进位位分别需 5 个、4 个 T 门, 计 $(5 + 4) \times 4 = 36c.u.$ 。而本文的全乘器成本为: $(1 + 7) \times 3 = 24c.u.$ 。因此, 本文设计的算术电路具有所用门电路单一, 结构简单, 成本省等优点。

本文中采用分解降维的方法, 可以减少求函数 b_i 系数时的运算量, 对求多变量三值函数的 b_i 系数具有普遍意义。此外, 文中对于三值函数无定义项的处理方法, 在基于模代数的三值电路设计中具有一定的借鉴作用。

参 考 文 献

- [1] 陈偕雄, 科技通报, 6(1990)1, 1—5.
- [2] 陈偕雄, 沈继志, 杭州大学学报, 18(1991)2, 165—171.
- [3] F. M. Brown, *IEEE Trans. on C.*, C-24 (1975) 12, 1217—1221.
- [4] S. L. Hurst, *IEEE Trans. on C.*, C-33 (1984) 12, 1160—1179.
- [5] 胡 谋, 电子学报, 14(1986)5, 104—110.
- [6] Wu Xunwei, Chen Xiexiong, *Scientia Sinica (Series A)*, 26(1983) 12, 1326—1337.
- [7] 胡铮浩, 电子学报, 16(1988)4, 124—127.
- [8] 胡铮浩, 计算机学报, 12(1989)9, 714—716.
- [9] S. L. Hurst, *Logical Processing of Digital Signals*, First edition, New York: Crane, Russak Company, Inc., (1978), pp. 425—427.
- [10] 顾秋心, 电子学报, 16(1988)3, 42—47.

DESIGN OF TERNARY ARITHMETIC CIRCUITS BASED UPON U_h -GATES

Shen Jizhong

(Hangzhou University, Hangzhou 310028)

Yao Maoqun

(Hangzhou Normal College, Hangzhou 310012)

Abstract In this paper, one-bit ternary full-adder and full-multiplier are designed by using ternary universal-logic-gate- U_h s based upon modular algebra.

Key words Ternary logic; Universal-logic-gate; Full-adder; Full-multiplier