

一种模拟电路自动综合中的数据阵列描述方法

高雪莲 石寅

(中国科学院半导体研究所 北京 100083)

摘要 该文提出模拟电路的数据阵列描述方法及其与描述方法协同工作的电路生成规则。其中,数据阵列表述融入了成功的设计经验,并且能够有效地解决多端器件的电路连接问题;电路生成规则确保在不出现无效电路结构的前提下,生成高质量的运放电路结构。这种新的生成式电路设计方法克服了选择式拓扑设计方法依赖设计者经验和生成式拓扑设计方法难以利用电路设计成功经验的局限。从若干经典子电路结构开始运放电路自动生成,保证了生成电路拓扑的质量。论文以运放电路为例,利用该数据阵列描述方法和电路生成规则,实验生成两个性能特点不同的运放电路,并对电路参数进行合理确定和电路仿真。

关键词 模拟电路, 自动综合, 数据阵列描述方法

中图分类号: TN710.9

文献标识码: A

文章编号: 1009-5896(2006)07-1340-05

A Data Array Description Method in Automatic Synthesis of Analog Circuit

Gao Xue-lian Shi Yin

(Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract This paper presents an analog circuit data array description method and circuit-constructing rules that coordinately work with description language. With the prerequisite of no invalid circuit structure, circuit-constructing rules create high quality op-amp circuit structure. This new technique, starting from classic sub-circuit model, automatically creating op-amp circuit, guarantees the quality of circuit construction. Results are reported to validate the effectiveness of this approach for construction-design automation of op-amp circuit.

Key words Analog circuit, Automated synthesis, Data array description method

1 引言

相对于发展比较成熟的数字电路设计而言,模拟电路的设计工作要求设计者具备足够的电路基础知识和丰富的设计经验,这些成为模拟电路设计发展的障碍。而解决这些障碍的方法之一就是实现模拟电路的自动综合。

电路综合工作可分为电路拓扑生成(Topology construction)和器件参数生成(Sizing)两部分工作^[1,2]。其中,电路拓扑生成方法又可以分为选择式设计方法和生成式设计方法两类。

选择式设计思想基本原理是:根据电路性能要求,将性能要求逐次划分为子电路性能要求,并从拓扑库中挑选相应的子电路拓扑组合成最终的电路设计。这种设计方法的优点是设计便捷快速。缺点是设计灵活性差,设计优劣很大程度依赖设计者的经验。基于这种设计原理的设计方法很多,例如 OPASYN^[3], KANSYS^[4]等,另外 BLADES^[5], CHIPAIDE^[6],也是从这一思路出发,在此基础上作了部分改进。

生成式拓扑设计方法,是依据电路的设计目标,通过某种特定算法对电路基本元件(例如晶体管)进行有序的排列组合,最终实现电路拓扑设计。在文献[7]中,Lohn 利用遗传算法从晶体管器件开始电路生长,经大量迭代计算,生成满足设计要求的电路系统。文献[8]中给出利用两层神经网络自动生成电路拓扑结构的方法。但是上述设计方法进行多端口器件(例如晶体管)的连接时,只能将多端口器件简化为两端口器件进行考虑,所以难以设计复杂的电路结构,以满足用户对电路的高性能要求。另外,已有的生成式拓扑设计方法都是以元器件(例如 n/p 沟道晶体管)为最小设计单位进行电路拓扑生成。虽然能保证电路设计的多样性,但却没有利用已有的设计经验,使整个设计过程必须耗费相当的时间针对某些失败电路设计进行迭代计算,直到证明该设计不能实现用户要求为止。

本文提出一种新的生成式运放电路自动设计方法,克服选择式拓扑设计方法依赖设计者经验进行性能划分和生成式拓扑设计方法难以利用电路设计的成功经验的局限,利用模拟电路数据阵列描述方法和电路生成规则的协同设计,根

据运放电路设计方向的指示，从若干经典子电路结构开始电路的“生长”，能简便地解决多端器件的电路连接问题，还能在不生成无效电路结构的前提下，确保生成出运放电路拓扑的质量。

2 电路拓扑的生成

2.1 数据阵列电路描述方法

为了将设计经验和拓扑生成的最小设计单位结合，通过对大量模拟运放电路的研究总结，归纳提取出 16 个典型子电路(包括 2 个差分对子电路，3 个输出子电路，3 个电流源子电路，3 个电流阱子电路，2 个有源电阻子电路，2 个晶体管子电路，1 个两端器件子电路)，每个典型子电路分别用拓扑的性质数据阵列、结构数据阵列和端口数据阵列进行描述。

拓扑性质数据阵列用表 1 所示语法描述子电路所包含器件的编号、类型和长、宽比例系数。其中，器件编号为互异的正整数；器件类型码取值为 {0, 1, 2, 3, 4, 5, 6}，分别对应 {0→n 沟道晶体管器件，1→p 沟道晶体管器件，2→电容，3→电阻，4→二极管，5→独立电压源，6→独立电流源}；如果该器件为晶体管，拓扑性质数据阵列还包含每个晶体管器件的长、宽比例系数。

拓扑结构数据阵列描述子电路拓扑连接情况，数据阵列描述语法如表 1 所示。所有包含晶体管器件的典型子电路，在描述电路时，可将晶体管器件作为四端器件或三端器件(衬底与源极相连)处理，分别用 4×1 矩阵或 3×1 矩阵表示；在运放电路自动综合设计中，将晶体管器件作为三端器件(衬底与源极相连)处理，用 3×1 矩阵表示。两端器件典型子电路，拓扑结构数据阵列用 2×1 矩阵表示。描述电容(或者电阻)时，矩阵每行元素代表该器件的一个端口；描述二极管(或者独立电压源)时，矩阵的第 1 行元素代表正向电压端(或者电流流入端)，第 2 行元素代表负向电压端(或者电流流出端)。

表 1 数据阵列描述语法

Tab.1 The syntax of data array

拓扑性质数据阵列语法	[器件编号 器件类型 (长度比例系数 宽度比例系数)]											
n 沟道晶体管拓扑结构数据阵列语法	<table border="1"> <tr> <td>漏极节点号</td> <td rowspan="4">p 沟道晶体管拓扑结构数据阵列语法</td> <td>(衬底节点号)</td> </tr> <tr> <td>栅极节点号</td> <td>源极节点号</td> </tr> <tr> <td>源极节点号</td> <td>栅极节点号</td> </tr> <tr> <td>(衬底节点号)</td> <td>漏极节点号</td> </tr> </table>	漏极节点号	p 沟道晶体管拓扑结构数据阵列语法	(衬底节点号)	栅极节点号	源极节点号	源极节点号	栅极节点号	(衬底节点号)	漏极节点号		
漏极节点号	p 沟道晶体管拓扑结构数据阵列语法	(衬底节点号)										
栅极节点号		源极节点号										
源极节点号		栅极节点号										
(衬底节点号)		漏极节点号										
两端器件(电容/电阻)拓扑结构数据阵列语法	<table border="1"> <tr> <td>[端口1]</td> <td rowspan="2">两端器件(二极管/电压源/电流源)拓扑结构数据阵列语法</td> <td>[正向电压端]</td> </tr> <tr> <td>[端口2]</td> <td>[负向电压端(电流流入端)]</td> </tr> <tr> <td></td> <td></td> <td>[电流流出端]</td> </tr> </table>	[端口1]	两端器件(二极管/电压源/电流源)拓扑结构数据阵列语法	[正向电压端]	[端口2]	[负向电压端(电流流入端)]			[电流流出端]			
[端口1]	两端器件(二极管/电压源/电流源)拓扑结构数据阵列语法	[正向电压端]										
[端口2]		[负向电压端(电流流入端)]										
		[电流流出端]										

拓扑端口数据阵列描述子电路的端口性质，如表 2 所示。

表 2 拓扑端口类型

Tab.2 The type of the port of sub-circuit topology

	类型	说明		类型	说明
1	avdd	需要电源 vdd	2	avss	需要电源 vss
3	in	输入端	4	out	输出端
5	acso	需要电流源 cso	6	dcso	提供电流源 cso
7	acsi	需要电流阱 csi	8	dcsi	提供电流阱 csi
9	ang	需要 nmos 的栅级	10	apg	需要 pmos 的栅级
11	anvb	需要 nmos 型电源	12	dnvb	提供 nmos 型电源
13	apvb	需要 pmos 型电源	14	dpvb	提供 pmos 型电源
15	dng	提供 nmos 的栅级	16	dpg	提供 pmos 的栅级

2.2 电路拓扑的生成规则

生成运放电路拓扑的步骤是根据电路拓扑生成规则，通过对典型子电路的端口数据阵列的分析，对结构数据阵列的修改，实现整个电路连接，最后以网表形式输出设计的电路。其中，拓扑生成规则有如下 5 点：

(1) 进行拓扑设计之前，对用户提出的性能要求进行性能分析，以电路性能要求驱动拓扑设计方向的选择。

运放电路的设计方向共 9 种，由运放电路输入级、中间级和输出级的结构决定，如表 3 所示。其中 GA(General Amplifier)代表共源放大电路；CF(Current Follower)代表共栅电路；VF(Voltage Follower)代表共漏电路。

表 3 电路拓扑设计方向

Tab.3 The design direction of topology

编号	输入级	中间级	输出级
1	GA	CF	—
2	GA	GA	—
3	GA	CF	VF
4	GA	GA	VF
5	GA	CF	VFGA
6	GA	GA	VFGA
7	GA	CF	GA
8	GA	GA	GA
9	GA	GA+GA	GA

表 3 中，每种拓扑设计方向具有不同的性质特征，这些性质特征包括增益、带宽、噪声、转换速度、电源电压、输出电压范围、负载驱动能力和功耗等 8 个方面。利用不同的拓扑设计方向具有不同的性能特征这一特点，可以计算每种拓扑设计方向对用户要求的适合度，选择适合度最高的拓扑生成方向作为电路设计方向。拓扑适合度的计算公式如下：

$$F_i = \sum_{j=1}^8 \phi_j, \quad i=1,2,\dots,9, \quad \text{其中}$$

$$\phi_j = \begin{cases} 0, & f_j \leq f_{s \min j} \\ 0.1 \times \left(\frac{f_j - f_{s \min j}}{f_{s \max j} - f_{s \min j}} \right)^2 + 0.9 \times \left(\frac{f_j - f_{s \min j}}{f_{s \max j} - f_{s \min j}} \right), & f_{s \min j} < f_j < f_{s \max j} \\ 1, & f_j \geq f_{s \max j} \end{cases} \quad (1)$$

F_i 代表每种运放结构类型的适合程度, ϕ_j 代表第 j 个性能要求的苛刻程度, 性能要求越高, ϕ_j 越接近 1。 $f_{s \min j}$ 和 $f_{s \max j}$ 分别为第 j 个性能要求的最小值和最大值, f_j 为用户定义的第 j 个性能要求数值。

(2) 如图 1 所示, 按电路设计方向的指示, 依运放输入级、中间级、输出级、电流源/电流阱、有源电阻的顺序生成电路。

每级运放的拓扑设计流程图如图 2 所示。首先在可选子电路范围内适当选择若干子电路, 并为本级运放拓扑连接电流源/电流阱子电路。然后连接该级运放的输入/输出端口, 其中输入端口为上一级运放的输出端口(或者整个运放电路的输入端口); 输出端口将作为下一级运放的输入端口(或者整个运放电路的输出端口)。之后连接处理本级运放所包含子电路的全部“直接处理”和部分“后续处理”类型端口, 并且将剩余“后续处理”类型端口存入相应的待处理端口数据阵列 TXXX 等待后续处理。

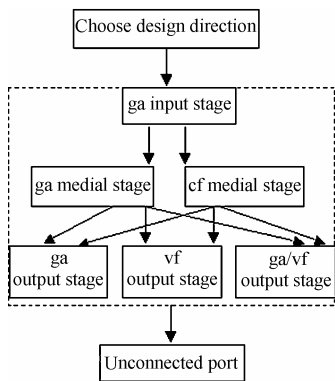


图 1 拓扑设计流程图
Fig.1 The flow chart of circuit design

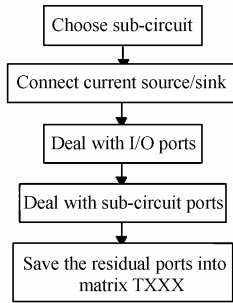


图 2 每级运放拓扑设计流程图
Fig.2 The flow chart of circuit design of every stage

(3) 设计运放电路的各分子电路时, 在子电路的可选范围内选择适当对象, 如表 4 所示。并且尽量选择除去晶体管子电路以外的典型子电路, 以便更好地利用成功电路设计经验, 快速准确地实现电路设计。

(4) 子电路端口的连接 子电路端口的连接类型分为直接处理和后续处理两种。在子电路端口类型表 2 中, 具有端口性质 1~10 的子电路端口可以进行直接处理, 也可以分别存入对应的待处理端口数据阵列 TXXX 中, 等待后续处理; 而具有端口性质 11~16

表 4 子电路可选范围

Tab.4 The selectable range of sub-circuit

	N 差分对	P 差分对	电 流 源 a	电 流 源 b	电 流 源 c	电 流 阱 a	电 流 阱 b	电 流 阱 c	N 晶体管	P 晶体管	N 有源电阻	P 有源电阻
输入级	√	√										
中间级			√		√	√		√	√	√		
输出级			√			√			√	√		
电流源			√	√	√				√	√		
电流阱						√	√	√	√	√		
有源电阻											√	√

的子电路端口只能进行直接处理。

连接子电路端口时, 根据表 2 所示端口性质, 按照如下规则进行连接:

$$\{ acso \leftrightarrow dcso; acsi \leftrightarrow dcsi; anv \leftrightarrow dnv; apv \leftrightarrow dpv; ang \leftrightarrow dng; apg \leftrightarrow dpg; avdd \leftrightarrow vdd; avss \leftrightarrow vss \}$$

即在具有端口性质 acso 和具有端口性质 dcso 的端口之间进行连接, 其余连接依此类推。

在满足端口连接规则的前提下, 还要考虑以下 3 种不能进行连接的情况。

(a) 避免在同一个子电路的端口之间进行连接。

(b) 同一子电路串内包含的子电路之间不能进行端口连接。在电流源/阱设计过程中, 依次将设计的电流源/阱子电路, 以及与之端口连接的其它子电路组成子电路串。如图 3 所示子电路串示意图中, pmos 子电路的栅极(节点 7)与电流源 a 子电路的栅极(节点 3)连接, 产生级连电流源电路, 即 pmos 子电路和电流源 a 子电路形成子电路串。级连电流源电路的端口 1 具有端口性质 acso, 端口 6 具有端口性质 dcso, 两端口性质满足规则(4)的连接条件, 但由于这两个端口在同一个子电路串中, 为避免产生无效电路结构, 这两个端口之间不能进行端口连接。

(c) 具有两种子电路端口性质的端口不能进行两次连接。

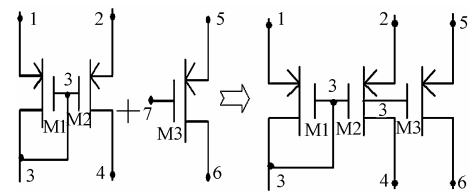


图 3 子电路串示意图

Fig.3 Subcircuit-string

(5) 处理悬空端口, 确保电路设计过程闭合 根据电路设计流程图和子电路端口连接规则的限制, 最后剩余的悬空端口类型只可能是 avdd, avss, acso, acsi, dcso 和 dcsi。处理悬空端口时, 在遵守子电路端口连接规则的前提下, 首先以一定概率处理 { avdd ↔ vdd; avss ↔ vss } 之间和 { acso ↔ dcso; acsi ↔ dcsi } 之间的连接; 如果还有剩余端口,

只能是 acsi(或者 dcsi), acso(或者 dcso)端口, 将剩余端口与 nmos/pmos 有源电阻连接, 再与电源 vss/vdd 相连, 直到剩余端口个数为 0。

3 电路设计举例

目标设计两个性能特点不同的运放电路, 运放电路 a 的特点是增益要求高, 运放电路 b 的特点是带宽要求高。用户提出的性能要求如表 5 所示。

将用户提出的性能要求代入拓扑适合度计算公式(1)运算, 得到表 3 中各拓扑设计方向针对运放电路 a 性能要求的适合度 $F_a = \{0; 0; 0.8; 0.9; 0; 0; 1.9; 1\}$, 针对运放电路 b 性能要求的适合度 $F_b = \{1; 0; 0.9; 0.8; 1; 1; 1; 1.9\}$ 。对照表 3, 可见与运放电路 a 适合度最高的拓扑结构编码为 7(ga-cf-ga 类型), 与运放电路 b 适合度最高的拓扑结构编码为 8(ga-ga-ga 类型)。

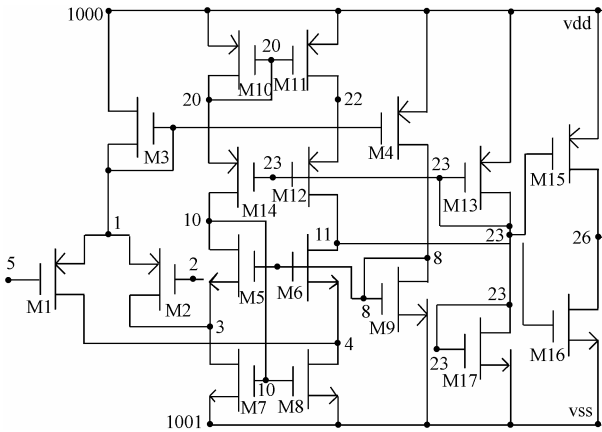


图 4 ga-cf-ga 运放电路 a

Fig. 4 ga-cf-ga op-amp circuit a

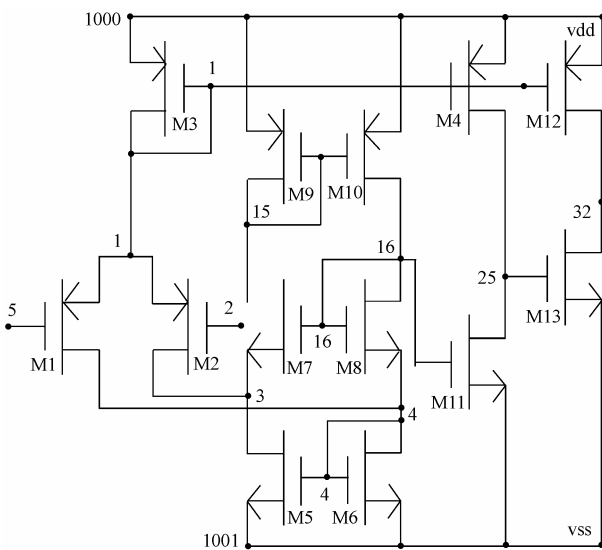


图 5 ga-ga-ga 运放电路 b

Fig. 5 ga-ga-ga op-amp circuit b

拓扑生成控制器运用拓扑生成规则生成运放电路, 如图

4 和图 5 所示。利用设计者的经验, 通过计算对图 4 和图 5 所示运放电路进行参数配置, 如表 5 所示, 并用 spice 进行性能仿真, 采用 0.35 μ m 工艺, 工作电压 5v。

表 5 运放电路的参数配置和性能比较

Tab.5 Op-amp circuit sizing and performance comparing

运放电路 a (ga-cf-ga)			运放电路 b (ga-ga-ga)	
$W_{M1}=60\mu;$	$L_{M1}=0.35\mu;$	$W_{M2}=60\mu;$	$W_{M1}=55\mu;$	$L_{M1}=0.35\mu;$
$L_{M2}=0.35\mu;$	$W_{M3}=21\mu;$	$L_{M3}=0.7\mu;$	$W_{M2}=55\mu;$	$L_{M2}=0.35\mu;$
$W_{M4}=21\mu;$	$L_{M4}=0.7\mu;$		$W_{M3}=30\mu;$	$L_{M3}=0.7\mu;$
$W_{M5}=15\mu;$	$L_{M5}=1.75\mu;$	$W_{M6}=15\mu;$	$W_{M4}=30\mu;$	$L_{M4}=0.7\mu;$
$L_{M6}=1.75\mu;$	$W_{M7}=15\mu;$	$L_{M7}=1.75\mu;$	$W_{M5}=28\mu;$	$L_{M5}=1.4\mu;$
$W_{M8}=15\mu;$	$L_{M8}=1.75\mu;$	$W_{M9}=15\mu;$	$W_{M6}=28\mu;$	$L_{M6}=1.4\mu;$
$L_{M9}=1.75\mu;$			$W_{M7}=28\mu;$	$L_{M7}=1.4\mu;$
$W_{M10}=17\mu;$	$L_{M10}=1.05\mu;$	$W_{M11}=17\mu;$	$W_{M8}=28\mu;$	$L_{M8}=1.4\mu;$
$L_{M11}=1.05\mu;$	$W_{M12}=35\mu;$	$L_{M12}=2\mu;$	$W_{M9}=14\mu;$	$L_{M9}=2.1\mu;$
$W_{M13}=35\mu;$	$L_{M13}=2\mu;$		$W_{M10}=14\mu;$	$L_{M10}=2.1\mu;$
	$W_{M14}=35\mu;$	$L_{M14}=2\mu;$	$W_{M11}=2.8\mu;$	$L_{M11}=0.7\mu;$
$W_{M15}=17\mu;$	$L_{M15}=0.35\mu;$	$W_{M16}=1.7\mu;$	$W_{M12}=43.5\mu;$	$L_{M12}=10\mu;$
$L_{M16}=0.35\mu;$	$W_{M17}=1\mu;$	$L_{M17}=2\mu;$	$W_{M13}=7\mu;$	$L_{M13}=3.5\mu;$
	用户要求	仿真性能	用户要求	仿真性能
增益(dB)	70	70.17	60	60
带宽 (MHz)	100	137	200	294
相位裕度($^{\circ}$)	60	98	60	74
晶体管数目	17		13	

4 结束语

本文提出在语法表述中融入成功设计经验的模拟电路数据阵列描述方法, 以及与描述方法协同工作的电路生成规则。在运放电路自动综合设计中, 根据用户提出的性能要求进行设计方向选择后, 依照电路生成规则, 通过数据阵列电路描述方法实现对典型子电路的编辑, 在确保不生成无效电路结构的前提下, 便利地解决多端器件连接问题, 并确保生成拓扑结构的质量, 最终以网表形式输出生成的运放电路。实验表明, 利用该数据阵列描述方法和电路生成规则, 可生成适当的电路拓扑结构以满足用户对运放电路不同的性能要求。

参考文献

- [1] Goh C, li Y. GA automated design and synthesis of analog circuits with practical constraints, 2001. Proceedings of the 2001 Congress on Evolutionary Computation, Seoul, Korea, 27-30 May, 2001, Vol. 1: 170 – 177 .
- [2] Papa G, Silc J. Automatic large-scale integrated circuit synthesis using allocation-based scheduling algorithm, *Microprocessors and Microsystems*, 2002, 26(3): 139 – 147.
- [3] Koh H Y, Sequin C H, Gray P R. OPASYN: A compiler for

- CMOS operational amplifiers. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 1990, 9(2): 113 – 125.
- [4] Gupta S K, Hasan M M. KANSYS: A CAD tool for analog circuit synthesis. 9th International Conference on VLSI Design, Bangalore, India, Jan. 1996: 333 – 334.
- [5] El-Turky F, Perry E E. BLADES: An artificial intelligence approach to analog circuit design. *IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems*, 1989, 8(6): 680 – 692.
- [6] Makris C A, *et al.*. CHIPAIED: A new approach to analogue integrated circuit design. IEE Colloquium on Analogue VLSI, London, UK, 10 May, 1990: 1/1 – 111.
- [7] Lohn J D, Colombano S P. A circuit representation technique for automated circuit design. *IEEE Trans. on Evolutionary Computation*, 1999, 3(3): 205 – 219.
- [8] Prakobwaitayakit K, Fujii N. A neural network approach to circuit topology generator. The 2000 IEEE Asia-Pacific Conference on Circuits and Systems, Tianjin, China, 4-6 Dec., 2000: 93 – 96.
- 高雪莲: 女, 1977年生, 博士生, 从事模拟电路自动综合研究.
- 石寅: 男, 1951年生, 研究员, 博士生导师, 从事新结构高速数模混合集成电路的研究.