

离散子波分解的专用芯片设计及 CPLD 实现¹

罗 丰 吴顺君 宋万杰

(西安电子科技大学雷达信号处理重点实验室 西安 710071)

摘 要 子波变换是信号处理和图像压缩等诸多领域中一个非常有效的数学分析工具。目前,其实现方式多为软件编程。本文针对子波变换与滤波器组的关系,在卷积滤波、下二采样过程中,将数据按一定规律重排,用复杂可编程逻辑器件(CPLD)设计了一种专用芯片(ASIC)可完成离散子波分解,具有一定的实用价值。

关键词 离散子波变换,滤波器组,下二采样,复杂可编程逻辑器件,专用芯片

中图分类号 TN495, O177.6

1 引 言

子波分析在时域和频域都具有良好的局部化性质,目前已经广泛应用于图像处理与压缩、数据传输、地震勘探、语言识别与合成、机械故障诊断与监控、计算机视觉、信号处理等科技领域,但是它们大多局限于理论分析。在具体电路实现中,也提出了许多适合于超大规模集成电路设计的电路结构。Wu Xiaodong^[1] 等对 FIR 滤波器采用乘法累加器结构,虽然减少了资源占有量,但无疑大大降低了数据吞吐率;Keshab K. Parhi 和 Takao Nishitani^[2] 提出的对折算法和数据流算法在运行速度上比较快,却都占用了比较大的 VLSI 面积,在有限资源的复杂可编程逻辑器件(CPLD)中这是得不偿失的。本文基于速度与面积的折衷考虑,充分利用下二采样的特点,将数据序列按一定规律重新排列,使用 CPLD 设计了一种离散子波分解专用芯片。

2 离散子波变换与 FIR 滤波器

Mallat 在 Burt 与 Anderson 图像分解和重构的塔式算法的启发下,基于多分辨率分析框架,提出了塔式多分辨率分析与综合算法^[3]。

设 $\{V_j\}$ 是一给定的多分辨率分析, $\phi(x)$ 和 $\psi(x)$ 分别是尺度母函数和子波母函数, $\varphi_{j,k}(x)$ 和 $\Psi_{j,k}(x)$ 分别是相应的尺度函数和子波函数。 $f(x) \in V_j$ 为分辨率为 2^j 的多分辨率分析

$$A_j f(x) = \sum_{k \in \mathbb{Z}} c_{j,k} \varphi_{j,k}(x) \quad (1)$$

$$f(x) = A_j f(x) = A_{j+1} f(x) + D_{j+1} f(x) \quad (2)$$

其中

$$A_{j+1} f(x) = \sum_m C_{j+1,m} \varphi_{j+1,m} \quad (3)$$

$$D_{j+1} f(x) = \sum_m D_{j+1,m} \psi_{j+1,m} \quad (4)$$

而

$$C_{j+1,m} = \sum_k \bar{h}_{k-2m} C_{j,k} \quad (5)$$

$$D_{j+1,m} = \sum_k \bar{g}_{k-2m} C_{j,k} \quad (6)$$

¹ 1999-07-21 收到, 1999-12-01 定稿

令 $H = (H_{m,k})$, $G = (G_{m,k})$, 其中 $H_{m,k} = \bar{h}_{k-2m}$, $G_{m,k} = \bar{g}_{k-2m}$, 则 (5), (6) 式有以下简化方式

$$C_{j+1} = HC_j, \quad D_{j+1} = GC_j \quad (7)$$

同理, 经适当变换可得重构算法

$$C_j = H^*C_{j+1} + G^*D_{j+1} \quad (8)$$

从上述分析可以看出, Mallat 算法中只需要两个滤波器 H 和 G , 而不必对 H 和 G 进行多分辨分析。于是, 根据滤波器的相关性质直接设计满足一定条件的滤波器 H 和 G , 就可以对给定信号进行多分辨分析, 而不需要构造子波基函数等非常繁杂的数学过程。因此, Mallat 实际上是离散子波变换中的快速算法。下面仅以 H 为例对滤波器进行分析。

$$H = (H_{m,k})$$

令

$$h_m = [\dots, h(-2m), h(-2m+1), \dots, h(k-2m), \dots] \quad (9)$$

所以

$$H = [\dots, h_0, h_1, \dots, h_m, \dots]^* \quad (10)$$

$$H_{m+1,k} = \bar{h}(k-2m-2) = H_{m,k-2} \quad (11)$$

(11) 式说明, h_{m+1} 中的第 k 个元素与 h_m 中的第 $k-2$ 个元素相等, 即 h_{m+1} 就是 h_m 偶右移。令

$$h_0 = [\dots, h(0), h(1), \dots, h(k), \dots] \quad (12)$$

设满足一定条件的 FIR 滤波器的冲激响应 $h = [h(0), h(1), \dots, h(N-1)]$ 与 h_0 对应则

$$H = \begin{pmatrix} \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ \dots & h(N-1) & h(N-2) & \dots & \dots & h(0) & 0 & 0 & \dots \\ \dots & 0 & 0 & h(N-1) & \dots & h(2) & h(1) & h(0) & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \end{pmatrix}$$

由此可以看出, HC_j 对应于 C_j 通过滤波器 h 之后再行下二采样。

同理, 可得滤波器 g 。可以证明, $g(n) = (-1)^n h(N-1-n)$ 。

Mallat 分解算法如图 1 所示。

3 离散子波分解的 ASIC 设计

3.1 DWT 数据排列规则 要对图 1 的结构进行电路实现, 最简单的办法就是直接对此滤波器组进行一一对应式的设计, 但实际上是不可能的, 因芯片的规模太大, 如滤波器长度为 $N=4$, 输入数据为 16 bit, 对此进行 $J=4$ 级的子波分解, 仅乘法器就需要 $2NJ=32$ 个, 加法器 $2 \times 3 \times 4=24$ 个, 在 CPLD 的电路设计中, 这样做是划不来的。另外一种方法就是, 因该滤波器组的每对滤波器均完全相同, 就可以只使用其中的一对滤波器 h/g 进行设计, 即待 C_j 数据计算完毕, 将保存在 ROM 内的 C_{j+1} 返回输入端进行第二轮计算, 如此类推, 最终可得子波分解结果。这种方法最大的缺点就是输入端数据必须有一个较长的等待时间留给后面各级计算, 这样就降低了整个系统的运算速度。

从图 1 中可以看出: (1) 输入数据经滤波器 h/g 之后再下二采样, 输出数据个数取输入数据的一半, 即设 C_j 的长度为 L , 则 C_{j+1} 的长度为 $L/2$, 依次类推 C_{j+k} 的长度为 $2^{-k}L$;

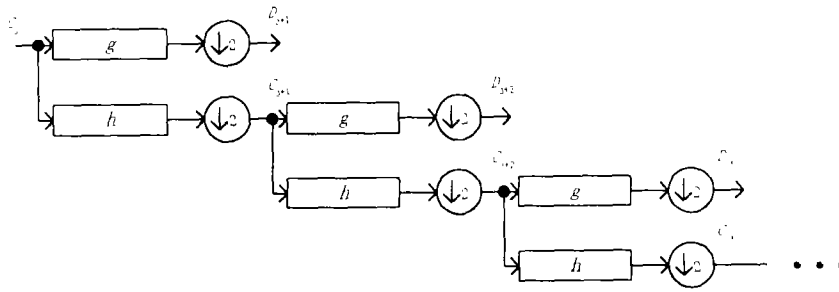


图1 DWT的FIR结构图

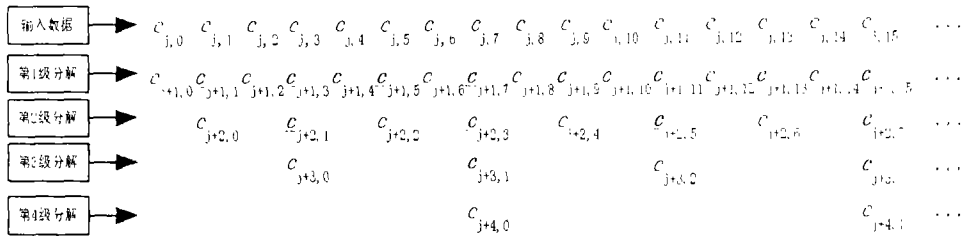


图2 DWT分解次序

注：其中，带有下划线的元素表示在卷积滤波下二采样过程被舍弃部分

(2) 由于滤波器的奇数个样本输出因下二采样而被置为无效，因此利用第1级分解中被置为无效的时刻来计算第2级的多尺度分解，第2级中被置为无效的时刻计算第3级分解的结果，依次类推，当最后一个输入数据计算完成之后，同时，在第J级分解的尺度滤波器后得到第J级子波逼近 C_{j+J} ，在各级子波滤波器 g 后得到子波细节 $\{D_{j+1}, D_{j+2}, \dots, D_{j+J}\}$ 。用图形表示更容易理解上述过程，如图2所示。

3.2 DWT分解结构设计 根据DWT分解特点以及图2中分解的次序排列，可设计DWT分解的电路结构如图3所示。

在DWT分解的具体ASIC设计过程中，我们选用Altera的CPLD: FLEX10K 100GC503-3。在该器件内部，含有大量RAM单元，一方面可以定制为ROM用以存放多组DWT的正交基（即FIR滤波器的权系数），供不同场合条件下选择不同的子波基对信号进行分解；另一方面，还可以定制为FIFO用以存放子波分解后的各级子波逼近 $\{D_{j+1}, D_{j+2}, \dots, D_{j+J}\}$ 及 C_{j+J} ，为后续的子波处理提供信号，如降噪处理，图像中的压缩编码等。

3.3 时序仿真结果 在Max+plus II集成设计环境下，对上述结构所构成的电路进行了功能仿真以验证其正确性，并且作了大量的时序分析。结果如图4所示：其中 $C_j[15..0]$ 为输入数据，时钟 clk 为400ns，选用的子波尺度和细节的权分别为 $cw_0[15..0]$ 和 $dw_0[15..0]$ （仿真时我们对FIR滤波器的四个权系数均采用了相同值，足可充分验证结果）。 $timp-c$ 和 $timp-d$ 分别是子波分解产生的尺度和细节部分，而 $\{C_{j+1}, C_{j+2}, C_{j+3}, C_{j+4}\}$ 和 $\{D_{j+1}, D_{j+2}, D_{j+3}, D_{j+4}\}$ 分别是从中分离出来的各级尺度和细节。这些数据可以存储到内部或外部RAM之中以供后续处理工作使用。

4 结论

本文研究了一种具有4个权的一维DWT专用芯片实现的算法，同时运用VHDL语言和图形两种输入方式混合设计，用Altera的复杂可编程逻辑器件EPF10K100GC503-4作时序仿真

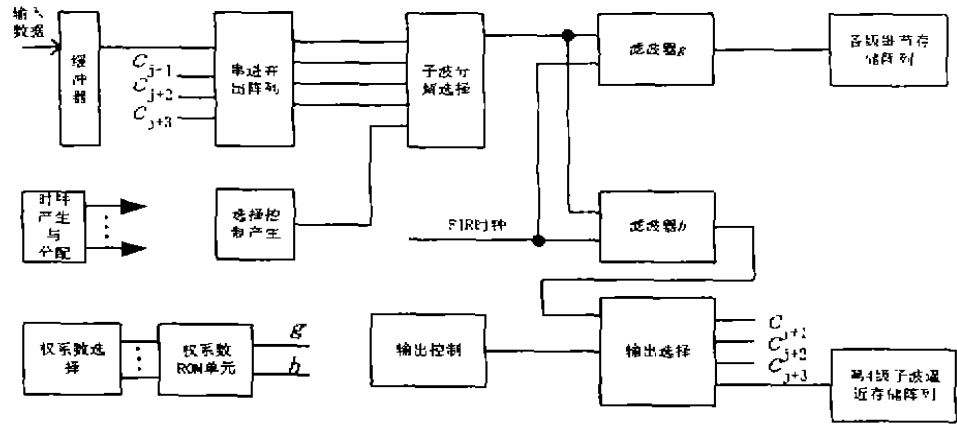


图 3 DWT 分解结构图

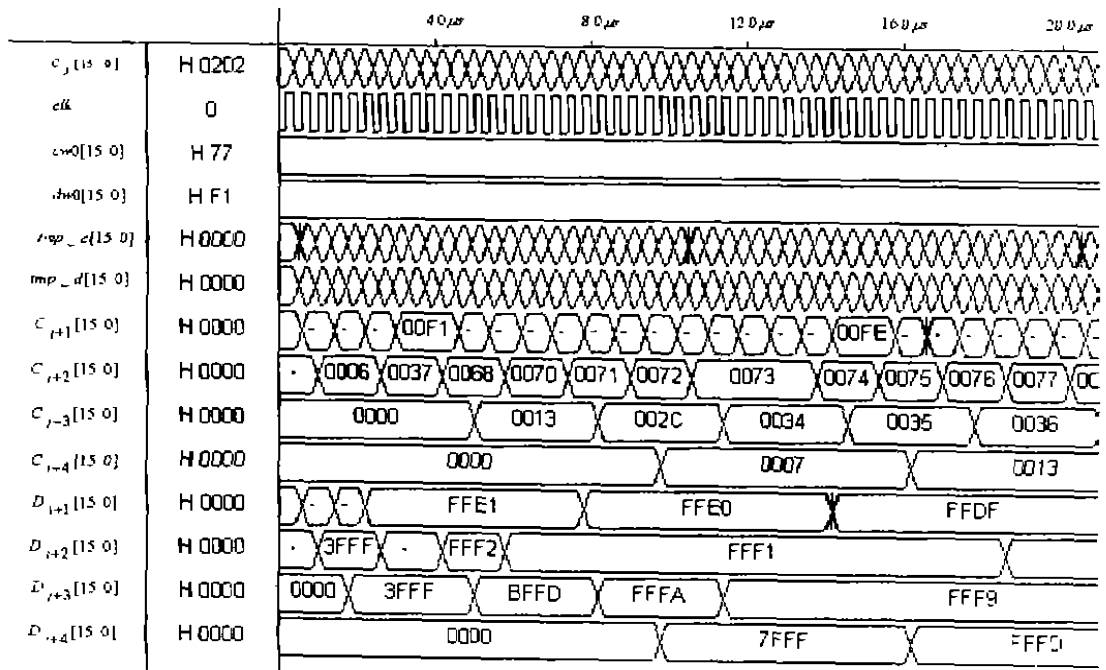


图 4 子波分解时序分析

和验证, 其布线资源利用率达到 61%, 使用了该器件 4992 个 LAB(逻辑阵列块) 中的 3023 个。结果表明, 该设计使实时 DWT 分解的数据吞吐率达到 2.5 MHz(400ns) 以上。

一维离散子波分解芯片的研究及其 CPLD 实现为今后子波的后续硬件处理做了充分的准备, 同时为二维 DWT 分解的专用芯片设计提供了良好的思想, 也希望能为今后的 VLSI 设计提供一定的借鉴。

参 考 文 献

- [1] Wu Xiaodong *et al.*, Programmable wavelet packet transform processor, *Electron. Lett.*, 1999, 35(6), 449-450.
- [2] Keshab K. Parhi, Takao Nishitani, VLSI architectures for discrete wavelet transform, *IEEE Trans. on VLSI Syst.*, 1993, 1(2), 191-202.
- [3] S. G. Mallat, Multifrequency channels decomposition of images and wavelet models, *IEEE Trans. on ASSP*, 1989, ASSP-37(12), 2091-2110.
- [4] Oliver Rioul, Pierre Duhamel, Fast algorithms for discrete and continuous wavelet transforms, *IEEE Trans on IT*, 1992, IT-38(2), 569-586.
- [5] 宋万杰, 罗丰, 吴顺君, CPLD 技术原理及应用, 西安, 西安电子科技大学出版社, 1999, 9.

ASIC DESIGN AND CPLD IMPLEMENTATION FOR DWT DECOMPOSITION

Luo Feng Wu Shunjun Song Wanjie

(*Key Lab. for Radar Signal Processing, Xidian University, Xi'an 710071, China*)

Abstract The wavelet transform is a very effective mathematical tools for many fields such as signal processing and image coding, which is implemented by program in most cases. This paper presents a novel architecture suitable with CPLD chip for one- dimension DWT decomposition based on the relationship between wavelet transform and filter banks by rearranging the data in the processing of convolution and downsample by two. It possesses some practicable value with certain speed and decreased resources.

Key words DWT, Filter banks, Downsample by two, CPLD, ASIC

罗 丰: 男, 1971 年生, 博士生, 主要从事可编程逻辑器件设计和专用芯片设计研究、电子设计自动化及子波分析。
吴顺君: 男, 1942 年生, 博士生导师, 主要从事雷达系统、雷达信号处理、谱估计等方面研究。
宋万杰: 男, 1961 年生, 工程师, 主要从事雷达信号处理、数字集成电路设计等。