

多晶硅发射极晶体管的低温频率特性研究*

黄流兴 魏同立 郑 苕

(东南大学微电子中心低温器件实验室 南京 210018)

摘要 本文考虑低温下半导体中载流子冻析效应和浅能级杂质的陷阱效应等因素,分析了多晶硅发射极晶体管的低温频率特性。研究表明,受载流子冻析效应的影响,基区电阻在低温下随温度下降接近于指数上升,使晶体管的频率性能变坏;而由于浅能级杂质的陷阱效应,低温下基区和发射区渡越时间变长,截止频率下降。这些因素在低温器件设计中应予以重视。

关键词 双极晶体管,多晶硅发射极,截止频率,低温频率特性。

1 引言

多晶硅发射极作为一种简便而有效的手段使得双极器件的结深大大变浅,电流增益增大30倍^[1],因而已成为现代高速双极和 BiCMOS 器件和电路中的一个重要组成部分。自从 80 年代中后期以来,低温(77K)微电子学获得了迅速的发展,受到广泛关注。研究多晶硅发射极晶体管在低温下的频率特性将增进对低温器件物理的理解,对低温器件的优化设计有着实际的意义。文献[2]中我们以有效复合速度方法^[3]为基础,建立了多晶硅发射极晶体管统一的低温电流增益模型。本文进一步考虑低温下半导体中的载流子冻析效应和浅能级补偿杂质的陷阱效应,研究了多晶硅发射极晶体管在低温下的频率特性。首先讨论了基区电阻随温度的变化情况,而后分析了晶体管小信号截止频率的低温特性以及决定截止频率的各主要延迟温度的温度关系。

2 基区电阻与温度的关系

基区方块电阻 R_{dB} 是影响双极晶体管频率特性的一个重要参数。基区方块电阻与基区多子浓度和迁移率有关,可表示为

$$R_{dB}(T) = \left[\int_0^{w_B} q \mu_p(x, T) \cdot p(x, T) dx \right]^{-1}, \quad (1)$$

其中 w_B 为基区宽度, q 为电子电荷量, $\mu_p(x, T)$ 为基区空穴迁移率, $p(x, T)$ 为基区空穴浓度分布,即

1993-06-07 收到,1994-01-04 定稿

* 国家自然科学基金资助项目

黄流兴 男,1965年生,助理研究员,博士生,现从事半导体低温双极器件物理学方面的研究工作。

魏同立 男,1934年生,教授,博士生导师,从事半导体物理与器件方面的教学和研究工作。

郑 苕 男,1965年生,副教授,博士,从事半导体物理与器件方面的教学和研究工作。

$$\rho(x, T) = \frac{N_A(x)}{1 + 2 \exp[-(E_F - E_A)/(kT)]}, \quad (2)$$

式中 E_F 和 E_A 分别为杂质能级和费米能级, $N_A(x)$ 为基区掺杂浓度分布, 迁移率 μ_p 可用如下经验公式来表示,^[4]即

$$\mu_p(x, T) = \mu_p^{\min} + \frac{\mu_p^{\max} - \mu_p^{\min}}{1 + (N_T/N_{ref})^\alpha}. \quad (3)$$

式中 N_T 为总电离杂质浓度, μ_p^{\min} , μ_p^{\max} , N_{ref} 和 α 是拟合参数^[4]. (3)式反映了晶格散射和电离杂质散射对迁移率的贡献. 各参数的具体表达式参见文献[4], $\mu_p(x, T)$ 将随温

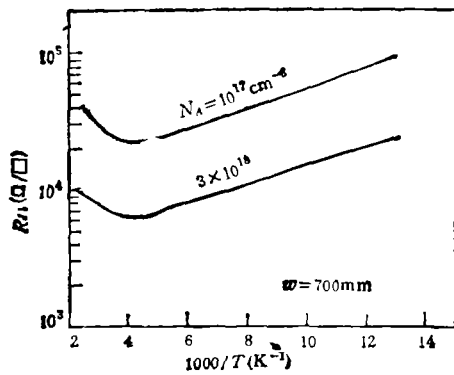


图1 不同掺杂条件下基区方块电阻与温度的关系

度下降而增大, 而 $\rho(x, T)$ 则因载流子冻析效应随温度下降而下降, 因此基区方块 R_{db} 与温度关系将由这两方面的因素竞争情况决定. 图1给出了两种掺杂条件下基区方块电阻与温度的关系. 由图可知, 当温度较高时, 载流子与晶格的散射作用占主导地位, R_{db} 随温度下降而下降; 而在低温下, 由于载流子冻析效应, R_{db} 随温度下降接近于指数上升, 具有激活能的形式,

$$R_{db}(T) = R_{db}(T_0) \cdot \exp[E_a/(kT)], \quad (4)$$

其中激活能 E_a 与掺杂情况等因素有关.

3 截止频率及其与温度的关系

截止频率 f_T 是表征晶体管频率特性的一个重要参数. 当共发射极直流电流增益远大于1时, f_T 可表示为^[5]

$$f_T = [2\pi\tau_{ec}]^{-1} = [(\tau_e + \tau_{e1}) + (\tau_b + \Delta\tau_b) + \tau_d + \tau_c]^{-1}, \quad (5)$$

其中 τ_{ec} 为晶体管总延迟时间, τ_e 为发射结电容充电延迟时间, τ_{e1} 为发射区渡越时间, τ_b 为基区渡越时间, $\Delta\tau_b$ 为基区附加延迟时间, τ_d 为集电结空间电荷区延迟时间, τ_c 为集电区延迟时间.

多晶硅发射极晶体管基区、单晶硅和多晶硅发射区宽度分别为 w_B , w_{B1} 和 w_{E2} , 相应的掺杂分布分别为 $N_A(x)$, $N_D(x)$ 和 N_{D0} . 发射区的渡越时间 τ_{B1} 由单晶硅发射区和多晶硅发射区的渡越时间组成^[6]

$$\tau_{e1} = \tau_{e11} + \tau_{e12} \quad (6)$$

式中 τ_{e11} 为单晶硅发射区渡越时间, τ_{e12} 为多晶硅发射区渡越时间,

利用文献[2]中导出的少数分布和注入电流表达式, 并考虑到低温下浅能级杂质的陷阱效应, 可得发射区和基区的渡越时间表达式

$$\tau_{e11} = \frac{\xi_E}{H_{FE}} \int_0^{w_{E1}} \left\{ \frac{1}{N_{Deff}(x)} \cdot \int_x^{w_{E1}} \frac{N_{Deff}(x')}{D_{p1}(x')} dx' \right\}$$

$$+ \frac{N_{\text{Deff}}(\omega_{B1})/N_{\text{Deff}}(x)}{S_p + P_b \cdot D_{p2}/[L_{p2} \cdot \tanh(\omega_{B2}/L_{p2})]} dx, \quad (7)$$

$$\tau_{\text{e12}} = \frac{\cosh(\omega_{E2}/L_{p2}) - 1}{H_{FE} \cdot \sinh(\omega_{E2}/L_{p2})} \cdot \frac{P_b \cdot L_{p2}}{S_p + P_b \cdot D_{p2}/[L_{p2} \cdot \tanh(\omega_{B2}/L_{p2})]} \quad (8)$$

和

$$\tau_b = \xi_B \cdot \int_0^{\omega_B} \frac{1}{N_{\text{Aeff}}(x)} \int_x^{\omega_B} \frac{N_{\text{Aeff}}(x')}{D_n(x')} dx' dx, \quad (9)$$

式中各有关量一般都是温度的函数, 其中 $N_{\text{Deff}}(x)$ 和 $N_{\text{Aeff}}(x)$ 分别为考虑载流子冻析效应和禁带变窄效应后发射区和基区的有效杂质浓度, $D_n(x)$, D_{p2} 和 $D_{p1}(x)$ 分别为基区, 多晶硅发射区和单晶硅发射区中的少子扩散系数; L_{p2} 为多晶硅中的少子扩散长度; S_p 和 P_b 分别为多晶硅-单晶硅界面有效复合速度和隧穿系数; ξ_B 和 ξ_E 分别为低温下浅能级杂质的陷阱效应引起的基区和发射区渡越时间延长因子。

其它各项延迟时间可表示为

$$\Delta\tau_b = \omega_B [1 - \exp(-\eta)] / (\eta \cdot v_{it}), \quad (10)$$

$$\tau_e = r_e \cdot (C_{Te} + C_{Tc}), \quad (11)$$

$$\tau_d = x_{mc} / 2v_{it}, \quad (12)$$

$$\tau_c = r_{ct} \cdot C_{Tc}, \quad (13)$$

其中 v_{it} 为电子的饱和速度; η 为基区自建场因子; x_{mc} 为集电结耗尽区宽度; r_e 为发射结动态电阻; C_{Te} 和 C_{Tc} 分别为发射结和集电结电容。由(5)–(13)式就可以确定多晶硅发射极晶体管的截止频率。

图2给出了多晶硅发射极晶体管截止频率与温度的关系曲线以及在77K和300K时的实验测量结果。可以看出, 截止频率从300K时的900MHz下降到77K时的约200MHz, 77K时理论值稍低于实测结果。

4 延迟时间的低温分析

图3给出了多晶硅发射极晶体管总延迟时间以及各项分量随温度的变化情况。一般地说, 延迟时间的各项分量都是与温度有关的。

4.1 基区延迟时间的低温分析 基区延迟时间 τ_b 中与温度有关的量有扩散系数 D_n 和陷阱作用因子 ξ_B 。在中等掺杂的基区, D_n 只是温度的缓变函数。而 ξ_B 可表示为^[7,8]

$$\xi_B = n_T/n_c = 1 + g_D \cdot (N_{Dc}/N_c) \cdot \exp[\Delta E_D/(kT)], \quad (14)$$

其中 $g_D = 2$ 为简并度, N_{Dc} 为基区补偿杂质浓度, N_c 为导带底有效状态密度, n_T 和 n_c 分别为基区总的和注入到导带的电子浓度, ΔE_D 为施主杂质电离能。 ξ_B 代表浅能级补偿杂质陷阱作用引起的基区渡越时间的延长。图4给出了具有不同补偿杂质浓度时

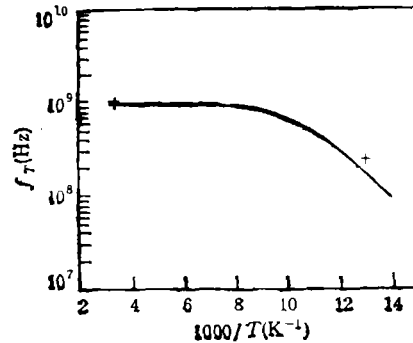


图2 截止频率与温度的关系曲线,

$\omega_{B1} = 200\text{nm}$, $\omega_{B2} = 400\text{nm}$, $\omega_B = 700\text{nm}$,
 $N_A \approx 5 \times 10^{18}\text{cm}^{-3}$, $N_D \approx 5 \times 10^{16}\text{cm}^{-3}$, $N_{Dc} \approx 10^{20}\text{cm}^{-3}$, $N_{Dc} \approx 10^{11}\text{cm}^{-3}$. 计算中假定多晶硅、单晶硅界面氧化层厚1nm, 空穴势垒高度0.4eV, 界面能量偏移量0.03eV.

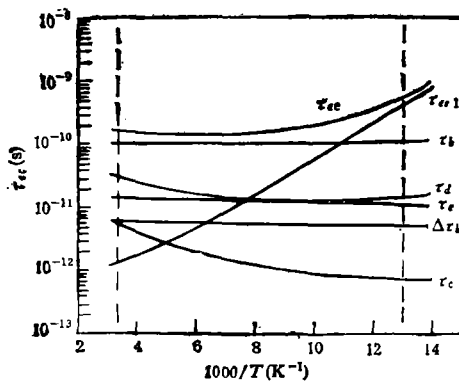


图3 延迟时间的温度关系
各有关参数同图2

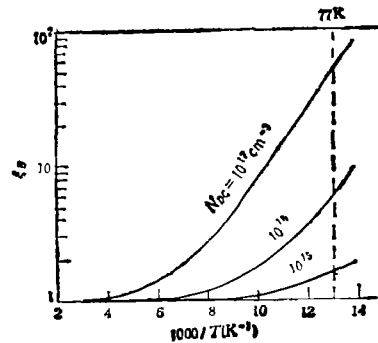


图4 基区补偿杂质陷阱作用因子与温度的关系

陷阱作用因子 ξ_B 的温度关系曲线。由图可见，在常温下， ξ_B 都接近于1，即浅能级不起陷阱作用；而在低温下， ξ_B 越大则 N_{Dc} 越大，说明此时补偿杂质具有陷阱效应，补偿杂质浓度越高，陷阱作用越强。

图3中 N_{Dc} 为 10^{15}cm^{-3} ，浅能级补偿杂质的陷阱效应基本可以忽略，因此基区渡越时间只随温度缓慢变化。可见在低温器件设计中，为了避免施主杂质的陷阱作用，应选用高阻外延层，一般应取 $N_{Dc} < 8 \times 10^{14} \text{cm}^{-3}$ 。

4.2 发射区渡越时间 τ_{e1} 的温度关系 从图3可见， τ_{e1} 随温度变化的幅度很大。这主要受两个方面的影响。一个是 τ_{e1} 反比于电流增益 H_{FE} ，而 H_{FE} 在77K时要比在300K时小约一个数量级。另一个方面是低温下基区杂质“带尾”作为发射区中的补偿杂质，浓度为 $10^{16} - 10^{17} \text{cm}^{-3}$ ，将起陷阱作用，这类似于基区中的情况，但由于相应的补偿杂质浓度较高，因而 ξ_B 较大。

图2中77K时 f_T 的理论值稍低于实测值，可能是计算时所取的补偿杂质浓度 N_{AE} 值比实际的基区“带尾”杂质浓度高导致的。

4.3 其它延迟时间与温度关系 多晶硅发射区渡越时间 τ_{e2} 约为 10^{-14}s ，且随时间只是缓慢变化的，在总延迟中的贡献基本可以忽略。

基区附加延迟时间 $\Delta\tau_b$ 和集电结耗尽区延迟时间 τ_d 在总延迟时间中仅占较小的比例。由于低温下电子饱和速度有所上升，因此这两项延迟时间随温度的下降将稍有下降。

发射结动态电阻 r_e 与温度成正比，因此发射结延迟时间 τ_e 随温度下降而下降。当结电容较小时， τ_e 在总延迟时间中的份额很小，因而对截止频率温度关系影响不很大。

集电区延迟时间 τ_c 的温度关系与集电区杂质浓度有关，由集电区串联电阻 r_{cs} 的温度关系决定。当集电区杂质浓度 N_{Dc} 较小时， r_{cs} 受载流子冻析效应的影响较小，迁移率的作用占主导地位， r_{cs} 和 τ_c 随温度的下降而下降。

5 结语

本文分析了决定多晶硅发射极晶体管频率特性的主要参数的温度特性，可得以下主要结论：

(1) 由于载流子冻析效应,基区电阻在低温下随温度下降接近于指数上升,使晶体管的频率特性变坏。为了改善低温器件的频率特性,应适当提高基区的掺杂浓度。

(2) 受低温下浅能级补偿杂质陷阱效应的影响,截止频率在低温下变低,为此,低温应用的高频双极晶体管应选用高阻外延层,一般要求 $N_{Dc} < 8 \times 10^{14} \text{cm}^{-3}$, 同时应避免基区杂质“带尾”对发射区的补偿作用。

参 考 文 献

- [1] Kapoor A K, *et al.* Polysilicon Emitter Bipolar Transistors. New York: IEEE Press, 1989, 3—16.
- [2] 黄流兴,等. 电子科学学刊,1994,16(2): 207—211.
- [3] Yu Z, *et al.* IEEE Trans. on ED, 1984, ED-31(6): 773—784.
- [4] Selberherr S. In: Raider S I, *et al.* ed, Proc. Symp. Low Temperature Electronics and High Temperature Superconductors, 1988, 70—86.
- [5] Van den Biesen I J. Solid State Electronics, 1986, 29(5): 529—534.
- [6] Suzuki K. IEEE Trans. on ED, 1991, ED-38(11): 2512—2518.
- [7] Dumke W P. IEEE Trans. on ED, 1970, ED-17(4): 388—389.
- [8] 郑注,等. 固体电子学研究与发展,1991,11(1): 33—37.

INVESTIGATION OF LOW TEMPERATURE FREQUENCY CHARACTERISTICS OF POLYSILICON EMITTER BIPOLAR TRANSISTORS

Huang Liuxing Wei Tongli Zheng Jiang

(Microelectronics Center, Southeast University, Nanjing 210018)

Abstract The low temperature frequency characteristics of polysilicon emitter bipolar transistors are investigated, considered the carrier freezing effect and trapping effect of shallow energy impurities in semiconductors. It shows that the base sheet resistance R_{sb} increases quasi-exponentially at low temperature due to carrier freezingout, which results in the degradation of frequency characteristics of the transistors at low temperature. The base and emitter transit time increase and the cutoff frequency decreases at low temperature due to the trapping effect of shallow energy level impurities. Those should be considered carefully in the design of devices for low temperature operation.

Key words Bipolar transistor, Polysilicon emitter, Cutoff frequency, Low temperature characteristics