

模拟集成电路的测试节点选择¹

孙秀斌 陈光祜 谢永乐

(电子科技大学自动化工程学院 成都 610054)

摘要: 如何寻求一个最佳的测试节点或测试矢量集是模拟集成电路的故障诊断中的重要问题。该文提出了一种基于可测性测度计算的测试节点选择方法。利用行列式判决图,可以有效而准确地求得被测电路传输函数的符号表达式和计算出其可测性测度。该方法完全消除了由数字方法引入的不可避免的舍入误差,并能处理中、大规模的集成电路。

关键词: 可测性测度, 行列式判决图, 模拟集成电路

中图分类号: TN431.1 **文献标识码:** A **文章编号:** 1009-5896(2004)04-0645-06

Test Point Selection for Analog Integrated Circuit

Sun Xiu-bin Chen Guang-ju Xie Yong-le

(College of Automation Eng., UEST of China, Chengdu 610054, China)

Abstract How to select an optimum set of test points or test vectors has become very critical to analog integrated circuit fault diagnosis. A test point selection method based on testability measure is presented in this paper. Using Determinant Decision Diagrams (DDDs), symbolic transfer functions of circuit under test are constructed and its testability measure can be calculated exactly and efficiently. This method eliminates completely the unavoidable round-off errors introduced by numerical algorithms and can handle moderate or large integrated circuits.

Key words Testability measure, DDDs, Analog integrated circuit

1 引言

随着微电子技术的快速发展,集成电路测试已成为其设计和制造过程中的一个非常重要的部分。对于数字器件来说,其测试方法已完全自动化。但对于模拟和混合信号器件来说,至今尚缺乏有效和系统化的可测性方法和工具^[1]。为了降低测试成本,必须寻求最佳的测试节点或测试矢量集,而可测性测度则给我们提供了一个量化的指标以便能够比较不同的可测性方法。

可测性测度被定义为网络元件值的可解性,是由 Berkowitz^[2] 首先提出来的。随后, Sakes^[3] 又提出将灵敏度矩阵的列秩作为被测电路的可测性测度。在过去的多年中,虽然也提出了其它的可测性测度定义,但 Sakes 提出的方法目前仍然最有用,因为它提供了对可测性测度的量化定义^[4,5]。

与此同时,人们开发出了一些利用数字方法评估上述 Sakes 可测性测度的算法。但这些方法引入了不可避免的舍入误差,从而使得得到的可测性测度仅仅是一个估计值^[1]。本文提出了一种基于行列式判决图的计算可测性测度的方法。该方法充分利用了被测电路导纳矩阵的稀疏性和行列式子图的共享性,使得最佳测试节点或测试矢量集的选择准确而有效,避免了传统的符号分析技术仅能处理非常小规模电路的缺点。

¹ 2002-11-15 收到, 2003-03-24 改回

2 可测性测度的计算

对于一个具有 n 个节点的多输入多输出线性模拟电路, 若将其中一个节点作为参考节点, 在其余节点处皆可写出以节点电压为函数的克希霍夫电流定律 (KCL)。采用改进的节点分析法 (MNA) 可以得出如下的被测电路方程:

$$\mathbf{A}_{(n-1)(n-1)} \mathbf{V}_{(n-1)} = \mathbf{I}_{(n-1)} \quad (1)$$

其中 \mathbf{A} 为导纳矩阵 (一般地, \mathbf{A} 为稀疏矩阵), $\mathbf{V} = [v_1, v_2, \dots, v_{n-1}]^T$ 为节点电压向量, $\mathbf{I} = [i_1, i_2, \dots, i_{n-1}]^T$ 为独立的电流源或电压源向量。

根据 Kramer 法则, 对于被测电路, 第 k ($k = 1, 2, \dots, u$) 个输出节点的电压 v_k 相对于输入电流源或电压源 i_l (其余电流源或电压源为 0) 的传输函数 $H_l^{(k)}(s)$ 可以表示成分母为导纳矩阵 \mathbf{A} 的行列式, 而分子为矩阵 \mathbf{A}_k 的行列式形式:

$$H_l^{(k)}(s) = \frac{\det(\mathbf{A}_k)}{\det(\mathbf{A})} = \sum_{i=0}^n a_i^{(k)} s^i / \sum_{j=0}^m b_j^{(k)} s^j \quad (2)$$

其中矩阵 \mathbf{A}_k 为将导纳矩阵 \mathbf{A} 的第 k 列换成向量 \mathbf{I} 而其余各列不变的矩阵。

设 (x_1, x_2, \dots, x_r) 为建立行列式判决图而引入的与故障元件 p_t ($t = 1, 2, \dots, q$ 为故障元件的个数) 有关的变量, 即 $a_i^{(k)} = f(x_1, x_2, \dots, x_r)$, $b_j^{(k)} = g(x_1, x_2, \dots, x_r)$, 则

$$\frac{\partial a_i^{(k)}}{\partial p_t} = \frac{\partial a_i^{(k)}}{\partial x_1} \frac{\partial x_1}{\partial p_t} + \dots + \frac{\partial a_i^{(k)}}{\partial x_r} \frac{\partial x_r}{\partial p_t} \quad (3)$$

$$\frac{\partial b_j^{(k)}}{\partial p_t} = \frac{\partial b_j^{(k)}}{\partial x_1} \frac{\partial x_1}{\partial p_t} + \dots + \frac{\partial b_j^{(k)}}{\partial x_r} \frac{\partial x_r}{\partial p_t} \quad (4)$$

于是, 第 k 个输出节点的可测性测度值 $T_k = \text{rank}(\mathbf{B}_k)$ (rank 表示求矩阵的秩, 下同), 其中可测性矩阵 $\mathbf{B}_k^{[1]}$ 为

$$\mathbf{B}_k = \begin{bmatrix} b_m^{(k)} \frac{\partial a_0^{(k)}}{\partial p_1} - a_0^{(k)} \frac{\partial b_m^{(k)}}{\partial p_1} & \dots & b_m^{(k)} \frac{\partial a_0^{(k)}}{\partial p_q} - a_0^{(k)} \frac{\partial b_m^{(k)}}{\partial p_q} \\ \vdots & \ddots & \vdots \\ b_m^{(k)} \frac{\partial a_n^{(k)}}{\partial p_1} - a_n^{(k)} \frac{\partial b_m^{(k)}}{\partial p_1} & \dots & b_m^{(k)} \frac{\partial a_n^{(k)}}{\partial p_q} - a_n^{(k)} \frac{\partial b_m^{(k)}}{\partial p_q} \\ b_m^{(k)} \frac{\partial b_0^{(k)}}{\partial p_1} - b_0^{(k)} \frac{\partial b_m^{(k)}}{\partial p_1} & \dots & b_m^{(k)} \frac{\partial b_0^{(k)}}{\partial p_q} - b_0^{(k)} \frac{\partial b_m^{(k)}}{\partial p_q} \\ \vdots & \ddots & \vdots \\ b_m^{(k)} \frac{\partial b_{m-1}^{(k)}}{\partial p_1} - b_{m-1}^{(k)} \frac{\partial b_m^{(k)}}{\partial p_1} & \dots & b_m^{(k)} \frac{\partial b_{m-1}^{(k)}}{\partial p_q} - b_{m-1}^{(k)} \frac{\partial b_m^{(k)}}{\partial p_q} \end{bmatrix} \quad (5)$$

因此, 被测电路的可测性测度值 $T = \text{rank}([\mathbf{B}_1, \mathbf{B}_2, \dots, \mathbf{B}_u]^T)$ 。根据上述可测性测度值 T , 可以选择出被测电路的最佳测试节点或测试矢量集。

3 行列式判决图的建立

行列式判决图 (DDD) 是一个带符号和根、形式上类似于二元判决图 (BDD) 的直接非循环图。一个行列式判决图有两个末端顶点：1-末端顶点和 0-末端顶点。任何一个非末端顶点 V (父顶点) 由标签 V_{label} 、正或负号 (V_{sign}) 和称之为 1-边和 0-边的两条边组成。这两条边分别指向子顶点 V_{1child} 和 V_{0child} 。顶点 V 所代表的符号表达式 V_{expr} 为 [5,6]

- (1) 如果 V 是 1-末端顶点, 则 $V_{expr} = 1$ 。
- (2) 如果 V 为 0-末端顶点, 则 $V_{expr} = 0$ 。
- (3) 如果 V 为非末端顶点, 则 $V_{expr} = V_{sign} V_{label} (V_{1child})_{expr} + (V_{0child})_{expr}$ 。

一条从根顶点至 1-末端顶点的通路称之为 1-通路。DDD 中的每条 1-通路代表一个乘积项。该乘积项为沿着 1-通路的所有 1-边的顶点的正、负号 (V_{sign}) 和标签 (V_{label}) 的乘积。所有 1-通路的和为根顶点的符号表达式。

例如, 对于行列式 A , 按照上述规则, 可以作出与其对应、如图 1 所示的行列式判决图。其中省略了所有的 0-边和 0-末端顶点。

$$\det(A) = \begin{vmatrix} a & b & 0 & 0 \\ c & d & e & 0 \\ 0 & f & g & h \\ 0 & 0 & i & j \end{vmatrix} = adgj - adhi - afej - bcgj + bchi$$

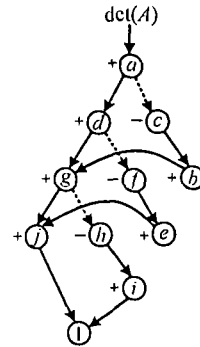


图 1 行列式 A 的 DDD 表示

4 实验电路

为了详细叙述如何进行模拟集成电路测试节点或测试矢量集的选择, 我们采用了如图 2 所示的实验电路。其中 $G_1 = 1/R_1, G_2 = 1/R_2, G_3 = 1/R_3$ 。

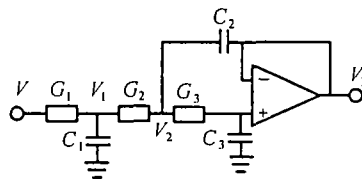


图 2 实验电路

利用式 (1), 可以得出上述实验电路的电路方程:

$$\begin{bmatrix} G_1 + G_2 + sC_1 & -G_2 & 0 \\ -G_2 & G_2 + G_3 + sC_2 & -G_3 - sC_2 \\ 0 & -G_3 & G_3 + sC_3 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \\ v_3 \end{bmatrix} = \begin{bmatrix} G_1 v \\ 0 \\ 0 \end{bmatrix} \quad (6)$$

令 $a = G_1, b = f = G_2, d = e = -G_2, c = C_1, g = l = G_3, m = C_3, i = k = -G_3, h = C_2, j = -C_2$. 于是被测电路的导纳矩阵 A 变为

$$A = \begin{bmatrix} a + b + cs & d & 0 \\ e & f + g + hs & i + js \\ 0 & k & l + ms \end{bmatrix} \quad (7)$$

利用 Laplace 展开, 可以得出被测电路传输函数的复频域 DDDs(如图 3 所示, 其中 A_{11}, A_{21}, A_{31} 分别为导纳矩阵 A 的第一列元素的代数余子式) 和按复频率 s 展开的系数 DDDs(如图 4 所示) 以及微分 DDDs(如图 5 所示, 这里仅以系数 b_1 为例, 对其它系数也可作同样的分析). 很显然, 传输函数的分子和分母多项式的系数及其微分可以共享 DDDs 图的分枝.

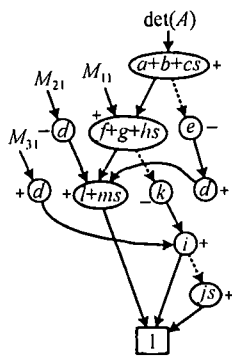


图 3 复频域 DDDs

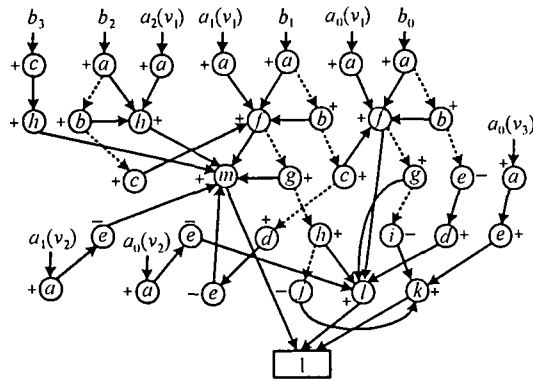


图 4 系数 DDDs

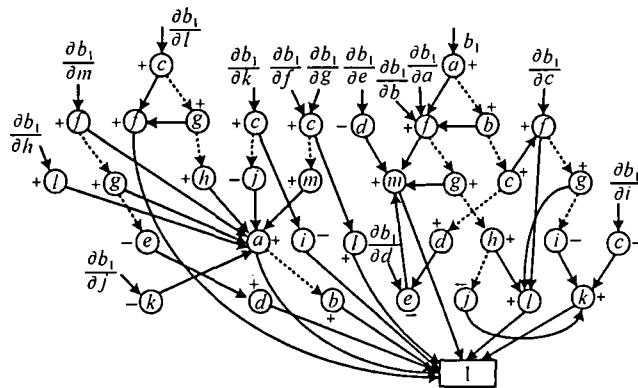


图 5 微分 DDDs

假定电路中的每一个元件均为故障元件, 由式 (3), (4), 可以得出被测电路传输函数的分子和分母多项式的系数 (这里仅以 b_1 为例, 对其它系数也可作同样的分析) 相对于各故障元件的微分:

$$\frac{\partial b_1}{\partial G_1} = \frac{\partial b_1}{\partial a} = C_3(G_2 + G_3);$$

$$\begin{aligned}\frac{\partial b_1}{\partial G_2} &= \frac{\partial b_1}{\partial b} + \frac{\partial b_1}{\partial f} - \frac{\partial b_1}{\partial d} - \frac{\partial b_1}{\partial e} = C_3(G_1 + G_3) + C_1G_3; \\ \frac{\partial b_1}{\partial G_3} &= \frac{\partial b_1}{\partial g} + \frac{\partial b_1}{\partial l} - \frac{\partial b_1}{\partial i} - \frac{\partial b_1}{\partial k} = C_3(G_1 + G_2) + C_1G_2; \\ \frac{\partial b_1}{\partial C_1} &= \frac{\partial b_1}{\partial c} = G_2G_3; \\ \frac{\partial b_1}{\partial C_2} &= \frac{\partial b_1}{\partial h} - \frac{\partial b_1}{\partial j} = 0; \\ \frac{\partial b_1}{\partial C_3} &= \frac{\partial b_1}{\partial m} = -G_2^2;\end{aligned}$$

由于电路的可测性测度值 T 几乎与电路元件的参数值无关^[5], 因此可以将各元件值设定为任意的整数。不妨令 $G_1 = G_2 = G_3 = C_1 = C_2 = C_3 = 1$, 于是得到被测电路的可测性矩阵 B 和可测性测度值 (表 1):

$$B = \begin{bmatrix} 1 & 1 & 1 & -1 & -1 & -1 \\ 1 & 1 & 1 & -1 & -1 & -1 \\ 2 & 1 & 1 & -2 & -2 & 0 \\ 1 & 0 & 0 & -1 & 0 & 0 \\ 1 & 1 & 1 & -1 & -1 & -1 \\ 1 & 1 & 0 & -1 & -1 & 0 \\ 1 & 1 & 1 & -1 & -1 & -1 \\ 2 & 3 & 3 & -4 & -5 & -2 \\ 1 & 2 & 1 & -2 & -2 & 0 \end{bmatrix}$$

表 1 可测性测度值的比较

组别	测试节点	可测性测度 T
1	v_3	3
2	v_3, v_2	4
3	v_3, v_1	5
4	v_2	4
5	v_2, v_1	6
6	v_1	5
7	v_3, v_2, v_1	6

从表 1 可以看出, 当选择第 5 组 (v_1, v_2) 或第 7 组 (v_1, v_2, v_3) 的测试节点时, 被测电路的可测性测度值 $T = \text{rank}(B) = 6$, 亦即电路中的所有元件参数均可由这些节点处的测量值唯一确定。但第 5 组所需的测试节点最少。因此 v_1, v_2 为该电路的最佳测试节点集。

5 结束语

(1) 由于这种新的、基于图的数据结构使得传输函数的分子和分母多项式的系数及其微分可以共享 DDDs 图的分枝, 因此我们可以紧凑地表示一个复杂的符号表达式。这就使得计算处理的时间复杂度远远小于表达式中的乘积项数量 (仅与 DDD 的顶点数成正比^[7]), 从而提高了可测性测度计算的速度。

(2) 本文提出的方法特别适用于中、大规模模拟集成电路以及多输入、多输出系统的最佳测试节点或测试矢量集的选择。

参 考 文 献

- [1] Fedi G, Luchetta A, Manetti S, Piccirilli M C. A new symbolic method for analog circuit testability evaluation. *IEEE Trans. on Instrumentation and Measurement*, 1998, 47(2): 554-565.
- [2] Berkowitz R S. Conditions for network-element-value solvability. *IEEE Trans. on Circuit Theory*, 1962, CT-9(1): 24-29.
- [3] Sakes R. A measure of testability and its application to test point selection theory. in Proc. of the 20th Midwest Symposium on Circuits and Systems, Lubbock, Texas Tech. Univ., 1977: 576-583.
- [4] Liberatore A, Manetti S, Piccirilli M C. A new efficient method for analog circuit testability measurement. in Proc. of Instrumentation and Measurement Technology Conference, Hamamatsu, Japan, 1994: 193-196.
- [5] Tao Pi, C. -J. Richard Shi. Analog testability analysis by determinant-decision-diagrams based symbolic analysis. in Proc. of the ASP-DAC 2000, Yokohama, Japan, 2000: 541-546.
- [6] Manthe A, C. -J. Richard Shi. Lower bound based DDD minimization for efficient symbolic circuit analysis. in Proc. of 2001 IEEE International Conference on Computer Design, Los Alamitos, California, 2001: 374-379.
- [7] Xiangdong Tan, C. -J. Richard Shi. Hierarchical symbolic analysts of large analog circuits with determinant decision diagrams. in Proc. of the 1998 IEEE International Symposium on Circuits and Systems, Monterey, CA, 1998: 318-321.

孙秀斌: 男, 1968 年生, 博士生, 主要研究方向为模拟和混合信号集成电路测试.

陈光祚: 男, 1939 年生, 教授, 博士生导师, 中国电子学会会士, IEE 会员, 主要研究方向为现代测试理论与技术、计算机辅助测试及系统集成、集成电路测试及数据域测试等.

谢永乐: 男, 1969 年生, 工学博士, 副教授, 硕士生导师, 目前研究方向为数字和模拟混合信号集成电路的故障诊断与可测性设计理论与方法、非线性模拟电路的测试理论研究等.