

集成电路参数中心值和容差的耦合设计方法

荆明娥 郝跃 马佩军

(西安电子科技大学微电子研究所 西安 710071)

摘要: 基于对集成电路参数成品率中心值设计和容差分配的研究, 该文提出了一种参数成品率中心值设计和容差分配耦合求解最优设计值的算法。该算法不需要设计者对电路或工艺的物理结构非常熟悉, 从任意初始设计值和任意大小的容差, 算法均可收敛到可接受域中的最优设计值。另外, 根据工艺线的容差, 算法可确定集成电路的最优参数成品率, 也可根据实际要求选择适当容差的工艺线, 以降低生产成本、提高效益。最后用实例证明了该算法的可行性和实用性, 得到了满意的结果。

关键词: 集成电路设计, 耦合求解, 响应表面方法, 单纯形法, 可接受域

中图分类号: TN405 **文献标识码:** A **文章编号:** 1009-5896(2005)01-0139-04

The Coupling Technique for IC's Centering Design and Tolerance Optimization

Jing Ming-e Hao Yue Ma Pei-jun

(Microelectronic Institute of Xidian University, Xi'an, 710071, China)

Abstract A coupling technique is proposed based on parametric yield's centering design and tolerance optimization. The technique is convergence to the optimal normal values from given initial design variable and tolerance with little knowledge of circuit, device or technology. In the optimal value, the maximum yield can be obtained according to technology condition while proper technology conditions can be chosen according to practical requirements. Finally, the feasibility and utility of the method are demonstrated satisfactorily by numerical and practical examples.

Key words IC technique, Coupling method, Response surface method, Simplex method, Acceptable region

1 引言

由于集成电路(IC)制造过程中的工艺扰动, 电路特性会呈现一定的统计分布^[1], 参数成品率是指IC在设计和制造以后, 其特性完全满足要求的芯片数与总芯片数的比率。随着VLSI芯片复杂度的增加和VLSI器件几何尺寸的减小, IC特性对工艺的灵敏度增加, 参数成品率降低, 导致单位IC的制造成本增加^[2]。同时, 电路成本不仅与成品率有关, 而且与IC参数允许的容差有着很密切的关系, 因为电路允许的容差越大, 对设备的精度和可控性要求就越低, 制造成本就越低。因此, 就设计而言, 容差设计与成品率设计同样重要^[2-5]。一般地, 稳定的工艺线有固定的工艺参数容差, 电路优化设计可在此容差范围内进行中心值设计, 选择电路最优的设计标称值以提高成品率, 并对成品率进行预测; 对于同样的设计, 在不同的生产工艺线上, 由于容差的不同, 成品率或成本通常会不同。因此, 容差与成品率的协调成为提高集成电路成本或效益的一个主要途径。这对于特性对参数扰动非常敏感的模拟电路来说尤为重要。

通常, 在实际的IC设计和生产过程中, 由于各种模拟软件(如SPICE)的局限性和制造过程中的各种随机扰动, 使得所采取的设计标称值可能并不是可接受域(指电路特性完全满足要求时对应的设计值所构成的集合)的最佳标称值, 或者设计的最大容差并没有充分考虑现有的设备的精度, 造成资源的浪费, 或者成品率太低^[5]。基于上述原因, 本文提出了一种中心值设计和容差分配的耦合设计方案, 并用几种典型的例子证明该算法的适用性。

由于在IC设计过程中, 需要进行大量的电路模拟, 模拟器被大量调用, 因此将耗费大量的CPU时间, 为了加速集成电路的设计过程, 通常用响应表面模型替代模拟器的使用。响应表面模型是一个基于数学方法的纯解析模型^[4], 它在设计综合中的应用提高了设计的速度, 对于一些采用传统手段分析代价较高或较难完成的对象, 可提供良好的解决方案。关于响应表面方法, 近年来已经取得了很明显的成果^[6,7], 本文的例4证明该算法对由响应表面方法得到的电路宏模型也非常实用。

2 耦合理论与模型

一般地,在集成电路的参数优化过程中,实现制造成品率和效益最佳化可通过几种方式,如可以通过对设计变量(如工艺和器件尺寸等参数)的标称值,变量的容差值等达到上述目的。显然,加工允许的容差越大,则加工越容易,IC的成本就越低。因此,成品率和制造成本与参数标称值、容差密切相关。设IC设计变量的标称值为 p^0 ,容差为 t 。令 $x=(p^0, t)$,则成品率 $Y(x)$ 和成本 $C(x)$ 的统计优化可表为 $\max_x Y(x)$ 或 $\min_x C(x)$,若 t 固定,仅对 p^0 进行最佳设计,则称该问题为中心设计;若 p^0 固定,仅对 t 进行最优化,则称为容差分配;若同时对两者进行优化,称为容差设计。前两种情况研究的比较多,而且算法相对成熟。本文算法是针对容差 t 和 p^0 进行耦合设计,即同时把标称值和容差做为参数进行优化设计。算法通过中心设计和容差分配两种情况交替耦合求解,最终收敛到最优的设计值。对于一个复杂的集成电路,如果设计者对其中的物理机理或内部结构不是很清楚时,通常很难得知可接受域的几何状态的信息,因此初始值和初始容差与最优解的差距可能较大。所选择的初始值可能根本不在可接受域内部,甚至可能相差很大,或者虽然在其中,但成品率却很低,对于这两种情况,该算法均可给出最优的设计值和容差值。

3 算法框架与几何说明

3.1 算法框架

设 D 为可设计空间, n 为Monte Carlo方法的抽样次数(所谓MC方法,亦称统计实验方法,本文中是指在以标称设计值为中心,在允许容差范围内随机采样), i 为迭代次数, t 为可设计参数的容差, $r \geq 1, f \leq 1$ 分别为容差增大和缩小因子,例如可分别取1.1和0.9,对有经验或者对电路的物理过程清楚的集成电路设计工程师,可以为此算法中的步长调制上选择适当的因子,加快收敛过程或提高精度。

算法基本步骤如下:

- (1) 给出初始中心设计值 $p^1 \in D, \epsilon > 0, n > 1000, i = 1, t^1 > 0, r, f$;
- (2) 求解成品率 $y^i(p^i, t^i)$ 和优化方向 $g(p^i, t^i)$;
- (3) If $y^i = 0$ or 100, $t^{i+1} = r \cdot t^i, p^{i+1} = p^i, i = i + 1$, 转(2);
- (4) If $0 < y^i < 100$, 沿方向 $g(p^i, t^i)$ 求解最优的搜索步长 $\max_l y^i(p^i + l \cdot g^i, t^i) = y^i(p^i + l_m \cdot g^i, t^i), p^{i+1} = p^i + l_m \cdot g^i, t^{i+1} = t^i, i = i + 1$, 求解 $y^i(p^i, t^i)$ 和 $g(p^i, t^i)$, if $y^i = 100$, 转(5); else if $y^i > y^{i-1}$, 转(2); else $t^{i+1} = f \cdot t^i, p^{i+1} = p^i, i = i + 1$, 转(2);
- (5) $t^{i+1} = r \cdot t^i, p^{i+1} = p^i, i = i + 1$, 转(6);

- (6) 求解 $y^i(p^i, t^i)$ 和 $g(p^i, t^i)$, if $y^i = 100$, 转(5); 否则转(7);
- (7) If $0 < y^i < 100$, 沿方向 $g(p^i, t^i)$ 求解最优的搜索步长 l , 即 $\max_l y^i(p^i + l \cdot g^i) = y^i(p^i + l_m \cdot g^i), p^{i+1} = p^i + l_m \cdot g^i, t^{i+1} = t^i, i = i + 1$, 求解 $y^i(p^i, t^i)$ 和 $g(p^i, t^i)$, If $y^i > y^{i-1}$, 转(6); 否则, 程序结束。

3.2 几何说明

为直观地说明算法,我们构造一个很简单的实例。假设设计变量为 P_1 和 P_2 ,可接受域(所谓可接受域是指电路特性完全满足指标要求的所有设计值对应的集合)是一个以点(1,1)为圆心,1为半径的圆,设计值的容差域为一个边长可变的正方形。如图1所示,其中右斜线的大圆为假设的可接受域。灰色的正方形区域的中心分别代表设计初始点,正方形边长代表设计的容差值。其中第1种情况为初始设计在可接受域之外,容差很小,因而与可接受域没有交集,所以该类设计开始就没有成品率可言;第2种情况为设计值在可接受域内,容差很小,成品率为100%,明显地,可以看出这种设计并不处于可接受域的中心,对设备有过高的要求(允许容差太小),因而可以进一步的优化:首先是增大容差,即在可控性稍差的工艺线上生产同样能保证成品率为100%,这样就降低了设备的成本,若增大容差后,成品率仍为100%,进一步增大容差,直到成品率低于100%,然后固定容差对中心值进行优化,使得在此容差下成品率增大,重复进行上述过程直到成品率和容差达到最优折衷;第3种情况为有一定的成品率,容差也可以接受,但由于没有对设计值和容差进行优化设计使得成品率没有得到充分的提高;第4种情况为开始的容差域太大,成品率很低,这时设计者就应该考虑怎样提高工艺水平,减小容差以提高成品率。图1标出的4个状态分别是上述4种情况的代表初始设计。

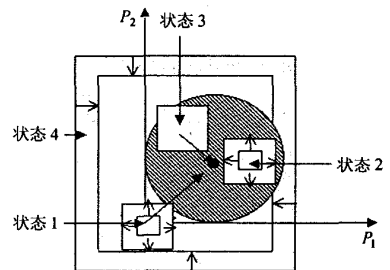


图1 可接受域为一圆的简单实例

4 算法检验与分析

为进一步说明算法的有效性,下面以几个设计为例。

例1 图1的设计结果见图2~图5,图中的横坐标表迭代次数,每个图有4条曲线,分别用‘---’,‘...’,‘-.-’,‘-’表示,是从不同设计和不同容差(即图1中的状态1

至状态 4, 分别为上节分析的 4 种情况的代表) 出发, 采用本文提出的耦合算法进行优化的迭代过程。图 2~ 图 5 分别为设计值横坐标、设计值纵坐标、参数成品率和容差的迭代优化过程。其中可以看出它们均能收敛到 100% 成品率 (即容差域完全嵌入可接受域中), 且容差达到最大, 即得到最优的设计参数和容差值。

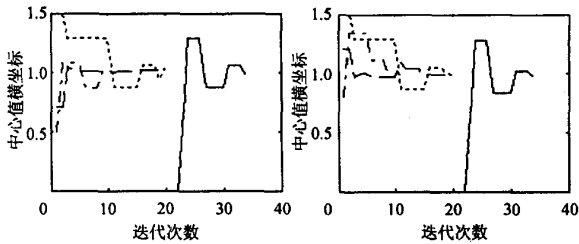


图 2 设计点横坐标移动曲线 图 3 设计点纵坐标移动曲线

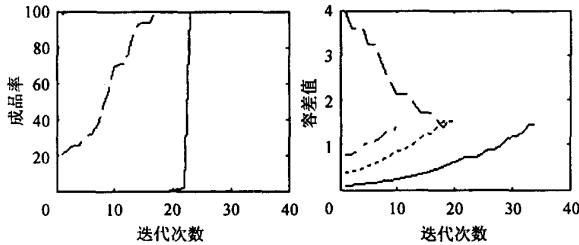


图 4 成品率增长曲线 图 5 容差的变化曲线

例 2 可接受域 R_A 为 $\{x \geq 3, x \leq 5, x - y \geq -1, x + y \geq 4, x + y \leq 6, y \geq 0\}$ 的凸多边形, 其优化结果参见表 1。

表 1 凸多边形问题的优化结果

初始设计		初始容差	迭代次数	最优值		100% 成品率的容差
3	0	6	32	3.9908	0.9661	1.0619
3	0	0.1	31	3.9248	1.0906	1.1007
3.5	0.5	6	34	3.9700	0.9695	1.0835
3.5	0.5	0.1	36	3.9601	0.9989	0.9906

例 3 Medsen 数值问题求解, 构造可接受域 R_A 的函数 $f_i(p), i=1 \sim 6$ 为 $f_1(p)=1.5-p_1(1-p_2), f_2(p)=1.5-p_1(1-p_2^2)$
 $f_3(p)=1.5-p_1(1-p_2^3), f_4(p)=-f_1(p)$
 $f_5(p)=-f_2(p), f_6(p)=-f_3(p)$

可接受域 R_A 为 $R_A = \{p | -\infty < f_i(p) \leq 1.5, i=1 \sim 6\}$, 明显地, 这个区域是一个非凸的, 收敛结果可以见表 2。

通过上面几个例子, 可以看出算法的收敛性很好。不管设计的初始值和容差为多少, 几乎都可以收敛到同一个点。在此算法基础上, 最优点处成品率为某一定值时的容差值也易得。对于容差域, 本文采用的是超立方体, 当然, 也可根据实际情况, 采取椭球来计算^[8]。

表 2 Medsen 数值问题的优化结果

初始设计		初始容差	迭代次数	最优值		100% 成品率的容差
-0.8	2	0.1	9	-0.8287	2.0282	0.1772
0	0	1	71	-0.8144	2.0464	0.1753

例 4 对 $0.8 \mu\text{m}$ CMOS 工艺过程中的 LDD 注入工艺模块进行考察, 对工艺参数进行优化分析^[7]。在本模块中, 包括两个工艺参数, 即离子注入的能量 Energy (keV) 和剂量 Dose (cm^{-2}), 研究的优化目标为驱动电流 $I_{\text{on}} (10^{-4} \text{A} \cdot \mu\text{m}^{-1})$ 。经过分析, 其二次表面响应宏模型 (见图 5) 为

$$I'_{\text{on}} = 7.256 + 0.128\text{Energy}' + 0.0497\text{Dose}' - 0.0197\text{Energy}'^2 + 0.000217\text{Energy}' \cdot \text{Dose}' - 0.000305\text{Dose}'^2$$

其中, $I'_{\text{on}} = 10^5 I_{\text{on}}, \text{Energy}' = \text{Energy}, \text{Dose}' = 10^{-12} \text{Dose}$ 。假设 $R_A = \{(\text{Energy}', \text{Dose}') | 9.1 \leq I'_{\text{on}} \leq 9.3\}$ 为可接受的驱动电流, 参数优化见表 3。

表 3 DDL 注入工艺的参数最优化

初使设计		初始容差	迭代次数	最优值		100% 成品率的容差
19	-1	0.5	38	21.7783	1.6267	2.1200
30	0	1	15	28.7687	-1.9349	2.8531
30	3	5	23	26.7020	-1.1253	2.5525

图 6 为例 4 的响应表面模型图, 图 7 是它的等高线示意图, 其中的点 4、5 和 6 (均在值大约为 9.2 的等高线上) 分别为从初始点 1、2 和 3 出发经过优化后得到的最优值。可以看出, 从不同设计点和容差大小出发, 按本文的耦合算法均可收敛到目标值的可接受域中心, 使设计的容差值达到最大。当然提高算法精度可以收敛到同一设计点。

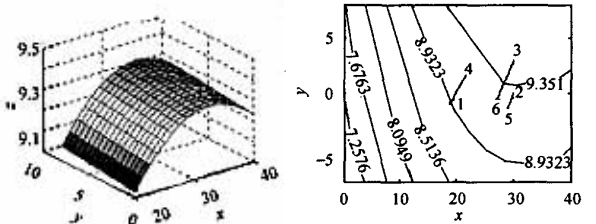


图 6 例 4 的响应表面图

图 7 响应模型的等高线

5 结论

本文采用中心设计和容差分配耦合求解, 最终收敛到在可接受域内的最优点。设计者可根据此算法结合成品率的要求选择合适的工艺线, 或者根据工艺容差优化设计值并预测成品率, 当然还可以根据实际情况对两者进行折衷。当然本

文的算法是建立在有很好的宏模型基础上的,因此宏模型的精确与逼近性对此算法的优化结果有很大的影响。如果能与各种模拟软件如 Hspice 等结合起来,即其间有良好的接口程序,本算法在集成电路参数优化设计中将有更广阔的应用前景。

参 考 文 献

- [1] Soin R S, Spence R. Statistical exploration approach to design centering. *IEE Proc. -G*, 1980, 127(6): 260 - 269.
- [2] 郝 跃. 集成电路制造动力学理论与方法. 高科技教育丛书, 北京: 教育出版社等联合出版, 1995: 284 - 291.
- [3] Say Wei Foo, Yu Lin. Hybrid method of tolerance design. Proceedings of ICECS'99, The 6th IEEE International Conference on Electronics, Circuits and Systems, 1999, 1: 557 - 560.
- [4] Bandler J W. Optimization of design tolerance using nonlinear programming. *Journal of optimization and application*, 1974, 14(1): 99 - 104.
- [5] 凌燮亭. 电路参数的容差分析与设计. 上海: 复旦大学出版社, 1991: 100 - 177.
- [6] 甘学温, 杜刚, 肖志光. 实验设计与模拟相结合用于 IC 优化设计的 TCAD 工具. *北京大学学报(自然科学版)*, 2002, 38(5): 713 - 717.
- [7] 鲁 勇, 张文俊, 杨之廉. 响应表面法在工艺综合中的应用. *半导体学报*, 2002, 23(10): 1106 - 1120.
- [8] Abdel-Malek H L, Hassan A-K S O. The ellipsoidal technique for design centering and region approximation. *IEEE Trans. on CAD/AC*, 1991, 11(8): 1006 - 1014.
- 荆明娥: 女, 1975 年生, 博士生, 研究方向为集成电路参数成品率的估计和优化.
- 郝 跃: 男, 1958 年生, 教授, 博士生导师, 研究方向为 SoC 设计方法、VDSM 小尺寸器件与电路可靠性理论与技术研究.
- 马佩军: 男, 1972 年生, 讲师, 博士, 主要从事半导体器件与电路可制造性和可靠性理论与技术、SoC 设计方法与体系结构研究.