

使用单位增益缓冲器构成的抗 寄生 SC 跨导***

李文哲 林锋 常卫国 王德隽

(北京邮电学院, 北京)

摘要 用单位增益缓冲器构成的开关电容滤波器(SCF),若能消除寄生电容引起的“阻性”寄生,则可用于高频设计,总寄生灵敏度会因此大大降低。本文在此基础上提出一种新的抗寄生开关电容(SC)跨导元件电路——差分跨导元件,并用它构成了适用于高频的SC浮地电感和积分器。最后用它实现了一个三阶椭圆函数低通滤波器,并经计算机模拟和实验验证,证明了该方案的正确性。

关键词 单位增益缓冲器;开关电容滤波器;差分跨导元件;低通滤波器

一、引言

由单位增益缓冲器构成的开关电容滤波器(SCF),其工作频率要比其它任何普通运算放大器构成的SCF高得多^[1-4],原因是它对构成单位增益缓冲器的运算放大器增益要求低。遗憾的是这类SCF通常对寄生电容的灵敏度都很高,使它们在应用上受到限制。新近的研究结果^[1,2]表明,寄生电容的影响可以分成两类:一类是可等效为电路中具有损耗特性元件的阻性寄生;另一类是可等效为电路中具有无耗特性元件的无耗寄生。阻性寄生将带给电路不希望的损耗,若能将此全部消除,则电路中剩下的无耗寄生可以方便地通过元件的预畸步骤得到补偿^[1]。采用这种方法的电路,其总寄生灵敏度可以大大降低。因此对使用单位增益缓冲器构成的SCF,若想提高应用频率,消除阻性寄生是十分重要的。从这个观点出发,本文提出一种新的由单位增益缓冲器构成的差分开关电容跨导元件,该跨导元件中的阻性寄生可全部消除。本文还应用这一新的元件实现了开关电容(SC)浮地电感和差分积分器,这些基本电路单元可用于梯型SCF和信号流图法SCF的实现。

二、SC差分跨导元件(SC-DTE)

用单位增益缓冲器构成的单端输入SC跨导元件在文献[1]中已有描述。这里提出

* 1989年10月9日收到,1990年3月5日修改定稿。

** 国家自然科学基金资助课题

的新差分输入跨导元件如图 1(a) 所示。为了克服电路的阻性寄生, 我们采用了 C_1 和 C_2 两个电容, C_{p1} 、 C_{p2} 和 C_{p3} 是电路中的寄生电容, 它们将影响电路的特性。

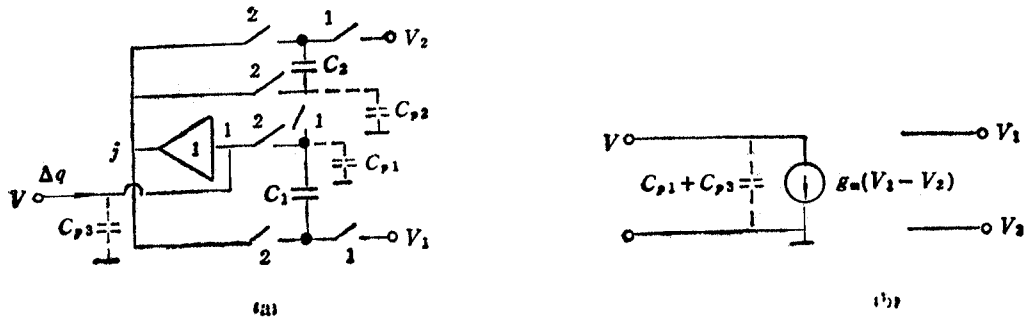


图 1
(a) 使用单位增益缓冲器构成的 SC-DTE (b) 图 1(a) 的连续时间等效电路

设 T 为电路中的取样周期, f_c 为相应取样频率, 即 $f_c = 1/T$ 。在周期 n , 当开关处于相位 1 时, V_1 和 V_2 将向 C_1 和 C_2 及 C_{p1} 和 C_{p2} 充电; 当开关转至相位 2 时, C_2 短路, C_1 通过单位增益缓冲器放电, 产生 Δq 。根据电荷守恒定律得出

$$\begin{aligned} \Delta q(n) = & V(n)(C_{p1} + C_{p3}) - V(n-1)[C_{p3} + C_{p1}(C_{p1} + C_{p2})(C_{p1} \\ & + C_1)/(C_{sum}C_{p1})] + V_1\left(n - \frac{1}{2}\right)C_1(C_2 + C_{p2})/C_{sum} \\ & - V_2\left(n - \frac{1}{2}\right)C_2(C_1 + C_{p1})/C_{sum} \end{aligned} \quad (1)$$

其中 $C_{sum} = C_1 + C_2 + C_{p1} + C_{p2}$ 。令上式中 $\frac{C_2}{C_1} = \frac{C_{p2}}{C_{p1}}$ 则有

$$\Delta q(n) = (C_{p1} + C_{p3})[V(n) - V(n-1)] + (C_1//C_2)\left[V_1\left(n - \frac{1}{2}\right) - V_2\left(n - \frac{1}{2}\right)\right] \quad (2)$$

(2) 式描述了一个具有跨导参数 $g_m = (C_1//C_2)f_c$ 的 SC-DTE, 它的连续时间域等效电路如图 1(b) 所示, 其中所有的阻性寄生已被消除; 而无耗寄生相当于并联在输出端, 量值为 $(C_{p1} + C_{p2})$ 的电容。因此, 电路中寄生灵敏度被大大地降低^[1]。

三、基本电路元件

在梯型 SCF 设计中, 常用 SC 跨导元件实现电感模拟^[1,5], 也就是说, 一个浮地电感可以用两个跨导元件实现, 但从下面的分析可以看出, 采用差分跨导元件将使滤波器电路更具有规律性和普遍性。

1. 积分器

观察图 1(a) 电路, 如果在点 i 与地之间接一积分电容 C_0 , 并且把点 i 作为输出, 则 (2) 式可写成

$$\begin{aligned}
 & -(C_0 + C_{p1} + C_{p3})[V(n) - V(n-1)] \\
 & = (C_1//C_2) \left[V_1\left(n - \frac{1}{2}\right) - V_2\left(n - \frac{1}{2}\right) \right] \quad (3)
 \end{aligned}$$

对(3)式取Z变换,则得

$$V(Z) = -\frac{(C_1//C_2)}{C_0 + C_{p1} + C_{p3}} \cdot \frac{Z^{-1/2}}{1 - Z^{-1}} [V_1(Z) - V_2(Z)] \quad (4)$$

(4)式实际上描述了一个无耗离散积分(LDI)变换的差分积分器。这个使用单位增益缓冲器构成的差分积分器是没有阻性寄生的(体现为积分器无损耗)。其无耗寄生为 $C_{p1} + C_{p3}$,可通过 C_0 的预畸加以补偿。

2. 浮地电感模拟

用文献[1]中的步骤,我们用三个DTE实现一个浮地电感,如图2(a)所示。应当注意的是时钟在相邻DTE中是反相的。当时钟由相“1”变到相“2”时,产生 Δq_1 和 Δq_2 , ($V_1 - V_2$)发生变化,电容 C_3 和 C_4 被 V_1 和 V_2 充电;反之,当时钟由相“2”变到相“1”时,产生 Δq_0 , C_1 , C_2 , C_3 和 C_4 被 V_x 充电。分析电路得出:

$$\Delta q_1(n) = (C_{p1} + C_{p7})[V_1(n) - V_1(n-1)] + (C_1//C_2)V_x(n-1/2) \quad (5)$$

$$\Delta q_2(n) = (C_{p5} + C_{p8})[V_2(n) - V_2(n-1)] + (C_5//C_6)V_x(n-1/2) \quad (6)$$

$$\begin{aligned}
 & [V_x(n-1/2) - V_x(n-3/2)](C_0 + C_{p0} + C_{p3}) \\
 & = (C_3//C_4)[V_2(n-1) - V_1(n-1)] \quad (7)
 \end{aligned}$$

其中令 $C_2/C_1 = C_{p2}/C_{p1}$, $C_4/C_3 = C_{p4}/C_{p3}$ 和 $C_6/C_5 = C_{p6}/C_{p5}$,对(5)到(7)式取Z变换,并将(7)式代入(5)和(6)式,则有

$$\begin{aligned}
 \Delta Q_1(Z) &= (C_{p1} + C_{p7})(1 - Z^{-1})V_1(Z) + \frac{(C_1//C_2)(C_3//C_4)}{C_0 + C_{p0} + C_{p3}} \\
 &\quad \times \frac{Z^{-1}}{1 - Z^{-1}} [V_1(Z) - V_2(Z)] \quad (8a)
 \end{aligned}$$

$$\begin{aligned}
 \Delta Q_2(Z) &= (C_{p5} + C_{p8})(1 - Z^{-1})V_2(Z) + \frac{(C_5//C_6)(C_3//C_4)}{C_0 + C_{p0} + C_{p3}} \\
 &\quad \times \frac{Z^{-1}}{1 - Z^{-1}} [V_2(Z) - V_1(Z)] \quad (8b)
 \end{aligned}$$

(8)式给出了一个LDI变换的浮地电感电荷-电压关系。该浮地电感带有接地的无耗寄生,式中已令 $1/C_5 + 1/C_6 = 1/C_1 + 1/C_2$ 。图2(b)是浮地电感的连续时间域等效电路,其中电感值为 $L = T^2 / [(C_1//C_2)(C_3//C_4) / (C_0 + C_{p0} + C_{p3})]$ 。若模拟双线性电感,只需在 V_1 和 V_2 端并联上一个相应的电容即可^[6]。

3. 双线性SC负载模拟

梯形滤波器的负载也可以用DTE来模拟。对源负载的实现电路如图3(a)所示。其中为了得到 $C(1 - Z^{-1})$ 项,我们在DTE的输入和输出之间接了一个电容 C ,并将DTE的正输入端接至缓冲器的输出,其电荷-电压关系为

$$\begin{aligned}
 \Delta q(n) &= (C_{p1} + C_{p3})[V(n) - V(n-1)] + (C_1//C_2)[V(n-1) \\
 &\quad - V_i(n-1)] + C[V(n) - V(n-1) - V_i(n) + V_i(n-1)] \quad (9)
 \end{aligned}$$

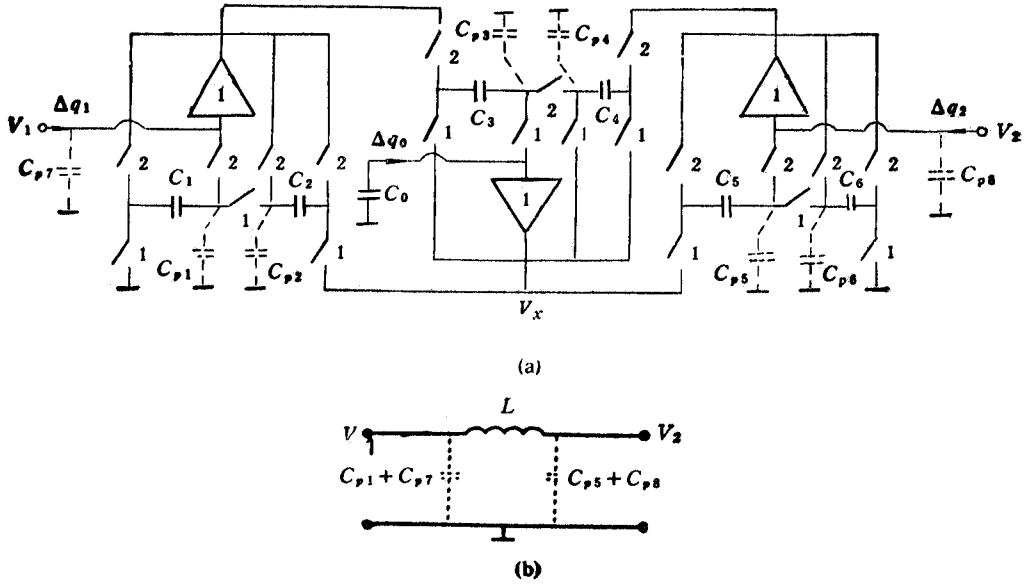


图 2

- (a) 使用三个 DTE 的 LDI SC 浮地电感模拟
- (b) 相应的连续时间等效电路

其中 V_i 是在时刻 $t = \dots, (n-1)T, nT, (n+1)T, \dots$ 的取样保持电压。对(9)式进行 Z 变换, 并令 $C = (C_1 // C_2) / 2$, 于是得

$$\Delta Q(Z) = (C_{p1} + C_{p3})(1 - Z^{-1})V(Z) + C(1 + Z^{-1})[V(Z) - V_i(Z)] \quad (10)$$

也就是说, 从图 3(a) 电路的右边看进去的源负载阻抗为一带有无耗寄生的等效双线性电阻 $R = 1/(Cf_c)$ 。图 3(b) 是其相应的连续时间域等效电路。

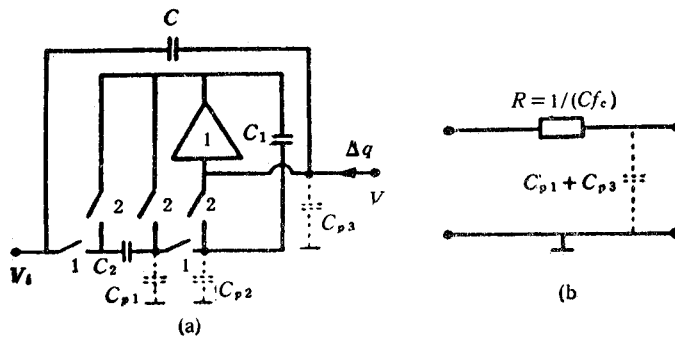


图 3

- (a) 使用 DTE 的双线性模拟 SC 源负载
- (b) 相应的连续时间域等效电路

对终接负载的情况, 可在(10)式中令 $V_i = 0$ (把 V_i 接地)或采用文献[1]中给出的

电路。将文献[1]电路重画于图 4(a) 中, 当考虑 C_{p1} 和 C_{p2} 时, 输入端的电荷-电压关系为

$$\Delta q = C_{p2}[V(n) - V(n-1)] + C_2[V(n) + V(n-1)] \quad (11)$$

取 Z 变换后得

$$\Delta Q(Z) = C_{p2}(1 - Z^{-1})V(Z) + C_2(1 + Z^{-1})V(Z) \quad (12)$$

在(11)和(12)式中已取 $C_2 = C_1 + C_{p1}$ 。因此图 4(a) 电路实现了一个带有无耗寄生的双线性终接负载, 其中 $R = 1/(C_2 f_c)$ 。它的连续时间等效电路如图 4(b) 所示。

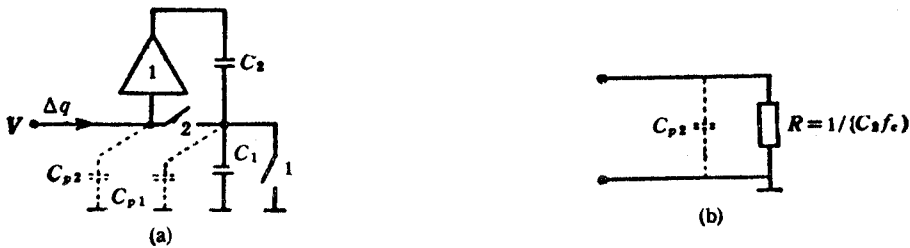


图 4

- (a) 文献[1]中给出的 SC 终接负载
(b) 图(a)相应的连续时间域等效电路

四、滤波器设计

上一节中我们提出并分析了几种用 DTE 实现的电路单元, 它们可以用于梯型 SCF 的设计实现。作为例子, 下面设计一个三阶椭圆函数低通滤波器, 它的 LC 原型结构如图 5(a) 所示。电路的通带边界频率为 50kHz, 通带波动为 0.0988 dB, 阻带衰减为 34.9dB。采用双线性变换法, 并用上节中得到的电路分别代替图 5(a) 中相应的部分, 这里取 $f_c = 500\text{kHz}$ 。由此推出的实现电路为图 5(b) 所示。其中电容后括号内为元件预畸值; 开关为 CD4066, 它的输入输出端分别带有 8pF 的对地寄生电容; 运算放大器为 CA3140。值得注意的是, 在元件值的计算中我们假设所有开关具有相同的输入/输出对地寄生电容 (在单片集成或使用同一型号开关的分立元件电路中, 这一假定是成立的), 这时每个 DTE 中的两个电容取值相同。然而, 由于在滤波器的输入和输出端存在一条直接通路, 故在输入和输出间产生馈通 (Feedthrough)^[7]。为了消除这一效应, 在滤波器的输入端要加取样保持电路。

滤波器特性的计算机模拟结果如图 6(a) 和 6(b) 所示, 其中图 6(a) 是该低通的完全频率响应, 而图 6(b) 为该低通的通带频率响应。在计算机模拟中, 假设 $C_p = C_{\min} 10\%$, 其中 C_{\min} 是电路中数值最小的电容。实验电路的结果如图 7 所示。曲线中已考虑了取样保持电路引起的附加影响 $\sin X/X$ 。图 7 中两曲线分别与图 6(a) 和 6(b) 对应。可以看出理论与实验是吻合的。

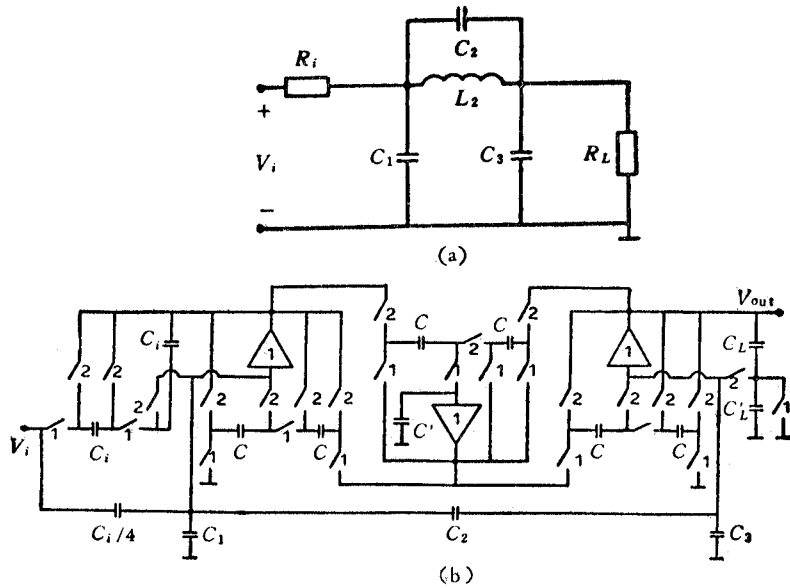


图 5

(a) 三阶椭圆低通原型滤波器 (b) 相应的 SC 实现电路

($C_i = 649.8$, $C = 500.0$, $C_1 = 484.0$ (436.0),
 $C_2 = 92.4$, $C_3 = 484.0$ (452.0), $C' = 311.7$ (287.7),
 $C_L = 162.5$, $C'_L = 162.5$ (146.5), 单位均为 pF)

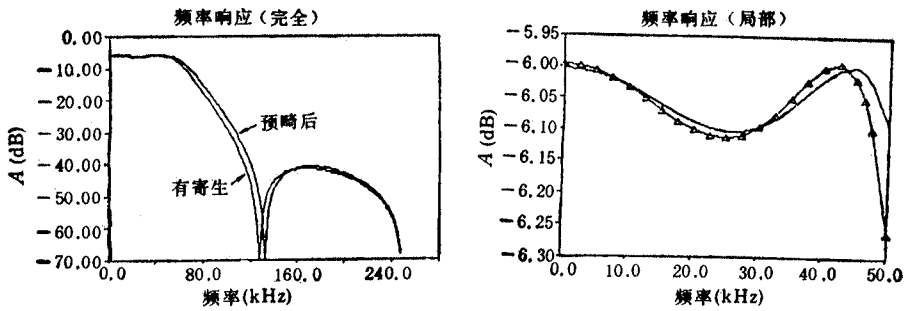


图 6

(a) 图 5(b) 低通的计算机模拟(全响应) (b) 图 5(b) 低通的计算机模拟(通带响应)
 Δ 有寄生的情况, — 预畸后的情况

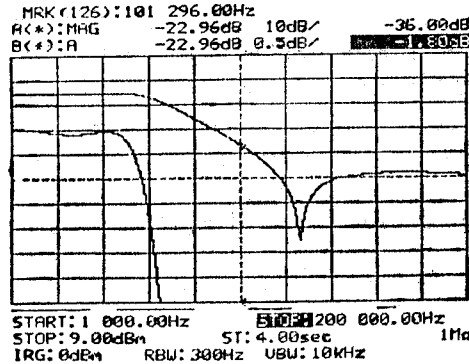


图 7 图 5(b) 低通的实测频响(用 MS420 网络分析仪测的结果)

五、结 论

本文提出了新的由单位增益缓冲器构成的差分开关电容跨导元件 DTE 电路,给出了这种新元件在梯型 SCF 中的理论分析和设计方法。由于消除了电路中的阻性寄生,滤波器总的寄生灵敏度大大降低,而余下的无耗寄生则可通过元件预畸加以补偿,这在集成电路中可通过微调 (Trimming) 工艺做到。由于滤波器电路中仅使用了单位增益缓冲器作为有源元件,所以很适用于高频情况。此外由于采用了双线性变换,时钟频率可以较低。仔细观察还可以看出,图 5(b) 实际上是由三个差分积分器构成,所以文中的结论也可以直接推广到由跳耦——积分器构成的电路^[8],但又不同于文献[8],这里仅需要一种积分器。最后用三阶考尔型滤波器的计算机模拟和实验测试验证了理论的正确性。

参 考 文 献

- [1] K. Nagaraj, J. Vlach, *IEEE Trans on CAS*, **CAS-35**(1988)1, 35—42.
- [2] A. De La Plaza, *IEEE J. of SC*, **SC-21**(1986)6, 470—477.
- [3] A. Fettweis, *AEÜ*, **33**(1979)1, 13—19.
- [4] S. C. Fan, et al., Switched-Capacitor Filters Using Unity Gain Buffers, Proc. ISCAS'80, Houston, (1980), pp. 334—337.
- [5] T. R. Wiswarathan, et al., *IEEE Trans on CAS*, **CAS-27**(1980)6, 502—508.
- [6] J. A. Nossek, G. C. Temes, *IEEE Trans on CAS*, **CAS-27**(1980)6, 481—491.
- [7] H. J. Orchard, G. C. Temes, Spectral Analysis of Switched-Capacitor Filters Designed Using Bilinear Z- Transform, Conf. Rec. of 21th Asilomar Conf. on Circuits Syst. and Computers, (1987), pp. 674—678.
- [8] M. S. Lee, C. Chang, *IEEE Trans. on CAS*, **CAS-27**(1980)6, 475—480.

PARASITIC TOLERANT DIFFERENTIAL SC TRANS- CONDUCTANCE USING UNITY GAIN BUFFERS

Li Wenzhe Lin Feng Chang Weiguo Wang Dejun

(Beijing University of Posts and Telecommunications, Beijing)

Abstract The unity gain buffer will be good for designing high frequency SCF if its resistive effect can be eliminated and then the overall parasitic sensitivity will be greatly lowered. Based on this concept, a new parasitic tolerant SC differential transconductance element (DTE) is proposed. SC floating inductor and integrator applicable to high frequency are formed by using the DTE. The computer simulation and experiment on a 3-order elliptic LP filter show the correctness of the concept.

Key words Unity gain buffer; Switched-capacitor filter; Differential transconductance element; Low-pass filter