

注硅不掺杂半绝缘 GaAs 中的 深能级缺陷

梁振宪* 罗晋生

(西安交通大学微电子技术研究所,西安)

摘要 用 DLTS 法对经两步快速热退火 (RTA) 后的注硅不掺杂 SI-GaAs 中的缺陷进行了研究。确定了激活层中存在着两个电子陷阱组(以主能级 ET_1 、 ET_2 标记)及其电学参数的深度分布。在体内, $ET_1 = E_c - 0.53\text{eV}$, $\sigma_n = 2.3 \times 10^{-16}\text{cm}^2$; $ET_2 = E_c - 0.81\text{eV}$, $\sigma_n = 9.7 \times 10^{-13}\text{cm}^2$; 密度典型值为 $NT_1 = 8.0 \times 10^{16}\text{cm}^{-3}$, $NT_2 = 3.8 \times 10^{16}\text{cm}^{-3}$; 表面附近, $ET_1 = E_c - 0.45\text{eV}$, $NT_1 = 1.9 \times 10^{16}\text{cm}^{-3}$; $ET_2 = E_c - 0.71\text{eV}$, $NT_2 = 1.2 \times 10^{16}\text{cm}^{-3}$, 分别以 $[As_i \cdot V_{As} \cdot As_{Ga}]$ 和 $[V_{As} \cdot As_i \cdot V_{Ga} \cdot As_{Ga}]$ 等作为 ET_1 和 ET_2 的缺陷构型解释了它们在 RTA 过程中的行为。

关键词 注硅砷化镓;快速热退火;离子注入;深能级

一、引 言

注硅 SI-GaAs 经退火后在有源层中存在的载流子陷阱缺陷对器件和电路的工作性能有严重的影响^[1,2]。对这些缺陷的本质和与退火、注入等工艺条件的关系问题业已引起人们广泛的研究^[3-6]。已报道的结果表明,快速热退火(RTA)后形成了与常规炉式退火(FA)不同的缺陷^[3,5], RTA 过程的不同也会引起缺陷的变化^[6], 此外缺陷还与注入损伤和衬底本身缺陷有关^[3]。本文研究了经两步 RTA (two-step RTA) 工艺后的注硅不掺杂 SI-GaAs 中的深能级缺陷,观测到两个电子陷阱深能级 ET_1 和 ET_2 。并首次测量了其密度和能级位置在注入层中的深度分布。利用有关结果对这两组缺陷的本性作了进一步地了解。

二、实验和结果

1. 样品制备和测量

采用国产液封提拉法 (LEC) 生长的不掺杂 SI-(100)GaAs 作衬底。其室温电阻率大于 $10^7 \Omega \cdot \text{cm}$ 。抛光后,偏离沟道,在室温下注入。按制作 GaAs MESFET 对材料的要求,注入条件为: $4 \times 10^{12}\text{cm}^{-2}$ (30keV) + $5 \times 10^{12}\text{cm}^{-2}$ (130keV)。在自制的自动控温式双排八碘钨灯退火炉内加 N_2 保护进行退火。典型的升温曲线如图 1 所示。根据激活层

1989 年 10 月 14 日收到,1990 年 2 月 26 日修改定稿。

* 现为中国科学院西安光机所博士生。

电子迁移率和激活率的测试结果选取最佳退火条件: $970^{\circ}\text{C}/9\text{s} + 750^{\circ}\text{C}/12\text{s}$ (衬底预热 $400^{\circ}\text{C}/12\text{s}$, 升温速率约 $120^{\circ}\text{C}/\text{s}$) 进行 DLTS 研究。

制做样品时先在激活层上蒸镀 AuGeNi 合金并结合光刻技术刻出留有直径 $500\ \mu\text{m}$ 圆孔的网状电极, 经 $450^{\circ}\text{C}/30\text{s}$ 、 N_2 气氛下使合金与 n 型 GaAs 形成良好的欧姆接触。接着在上述圆孔内(经光刻)蒸发直径 $300\ \mu\text{m}$ 金属铝电极。合金化后制成 Al- n 型 GaAs 横向肖脱基二极管阵列。

DLTS 谱图用 NJ·M·DLTS 仪测量。测量频率 2MHz, 脉冲偏压大小可调, 重复频率受 t_1 控制 ($t_1 = 13T_p/32$, $t_p = T_p/16$, T_p 为脉冲周期, t_p 为脉宽, $t_2 = 2t_1$)。用我室研制的多功能微机化 C-V 测量仪测量样品 C-V 特性, 可直接得到修正后的 $n-x_d$ 等结果。

2. 实验结果

高频 C-V 和直流 I-V 测量结果表明, 室温下样品的反向击穿电压约为 -4.0V , 反向漏电流在 $80-440\text{K}$ 温度范围内小于 $1.2\ \mu\text{A}$ 。测量过程中选择初始偏压 V_a 的数值不高于 3.5V , 可以忽略反向漏电流对 DLTS 结果的影响。

图 2 是 $V_a = -2.0\text{V}$ (相应地, 耗尽区边界在 $x_d = 0.103\ \mu\text{m}$ 处), 脉冲高度 $V_b =$

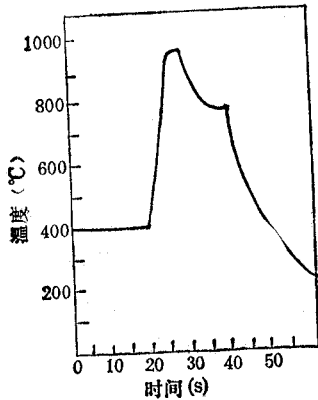


图 1 两步 RTA 升温曲线

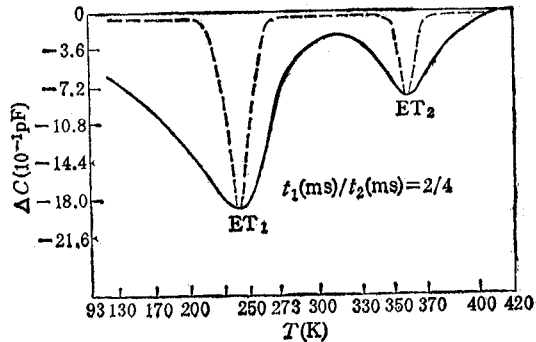
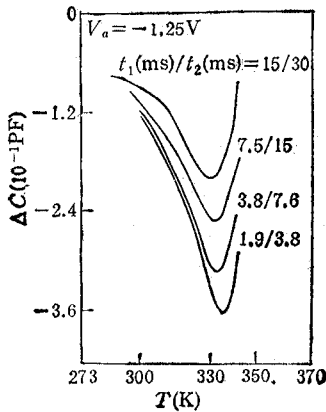
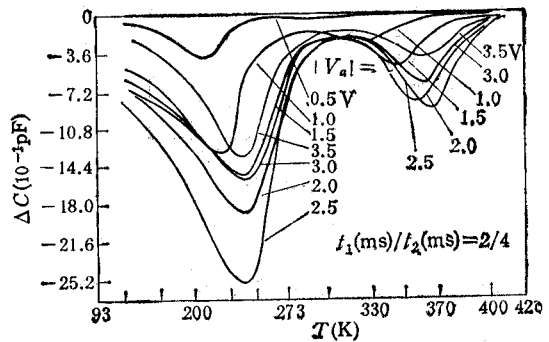


图 2 $V_a = -2.0\text{V}$, $V_b = 2.0\text{V}$ 时样品的 DLTS 曲线
(—实验曲线 - - - - -计算曲线)

2.0V (脉冲顶到 $V_a = 0$), 宽度为 $300\ \mu\text{s}$ 时的 DLTS 谱图。可以看出, 谱线在 242K 和 361K 温度处分别出现谱峰(对应的能级分别记为 ET_1 和 ET_2)。这说明在激活层中存在着两个电子陷阱缺陷。这两个能级还具有下述特点:

(1) 能级谱峰所对应温度范围很宽。在图 2 标定的条件下, 其半宽温度分别约为 90K 和 34K 。另外若改变测量率窗, 两能级峰在温度轴上的移动比预计的要小得多。图 3 示出了 $V_a = -1.25\text{V}$, $V_b = 1.25\text{V}$, t_1 从 15ms 递减到 1.9ms 时 ET_2 能级谱峰的变化情况。可见对 t_1 分别为 15ms 和 1.9ms 的两次测量, 峰值温差 ΔT_m 仅有 6K 。若以 $\ln[e_n/T^2] - 1/T$ 关系曲线求能级参数, 其拟合偏差是相当大的。这意味着, 激活层中缺陷能级上电子的发射是一个含有不同发射率 e_n 的多指数瞬态过程。而每一能级的发射率是由该能级的俘获截面、在禁带中的能量位置以及简并度决定的, 且随温度强烈变化。文献

[6]曾选用 4 个不同参数的分立能级来拟合类似本文的能级峰。但结果表明,由测得的谱峰所对应的温度 T_m 和峰高表征的主能级密度要比其余 3 个次能级高 2 个数量级; 并且次能级的选取有较大的随意性。因此我们认为,只有单主能级是比较可信的,且可以表征此谱峰所对应缺陷的主要特性。采用文献[7]发展的模拟方法,从单率窗 DLTS 图上计算了 ET_1 和 ET_2 的能级参数,结果如表 1 所示。图 2 中的虚线是计算的 DLTS 曲线,后面可以看到,这里 $V_a = -2.0V$, $V_b = 2.0V$ 的 DLTS 谱峰是耗尽区内 ($x_d = 0 - 0.103 \mu m$) 各区间能级的综合效应。

图 3 ET_2 谱峰随率窗的变化图 4 ET_1 和 ET_2 随 V_a 的变化 ($V_b = 0.5V$)表 1 计算的 ET_1 、 ET_2 能级参数 ($V_a = -2.0V$)

参 数	$E_c - ET(eV)$	$\sigma_n(cm^2)$	N_T/N_D^+
ET_1	0.53	2.3×10^{-16}	1.67×10^{-1}
ET_2	0.80	9.7×10^{-13}	7.2×10^{-2}

(2) 固定脉冲高度 $V_b = 0.5V$, 改变初始偏压 V_a 可以对 ET_1 和 ET_2 进行深度分布研究。图 4 是 V_a 数值每增大 $0.5V$, ET_1 和 ET_2 的 DLTS 谱峰的变化规律。可以看到,当 $|V_a|$ 从 $0.5V$ 增高到 $2.0V$, ET_1 和 ET_2 谱峰对应的温度 T_m 均向高温移动,其峰高也单调增长。当 $|V_a|$ 高于 $2.0V$ 后,再增高偏压数值 T_m 几乎不变,而峰高却逐渐降低。考虑到耗尽区最强场强约为 $3.0 \times 10^4 V/cm$, 还不足以引起电场增强的载流子热发射效应。可以认为,这是由于不同 x_d 处薄层 Δx_d 内深能级的差异引起的。为了计算各薄层内 ET_1 和 ET_2 的参数,首先改变脉冲宽度 t_p 作 $\Delta C(V_a, V_b, t_1, t_2) - t_p$ 关系曲线,除出现空间电荷区边缘效应外^[8], 当 $V_b = 0.5V$, t_p 长于 $20 \mu s$ 时,即出现饱和现象。当 t_1 选为 $1ms$ (对应 t_p 约 $150 \mu s$) 时,可保证电子对各能级充分填充。此时电子热发射产生的电容瞬态则与初始条件无关。采用 $C-V$ 测量得到的 $n_d - x_d$ 的结果表明,载流子浓度分布除中间未出现峰谷外,与 LSS 掺杂分布很接近,在 x_d 为 $0.13 \mu m$ 处有最大值 $5.8 \times 10^{17} cm^{-3}$ 。假设各点 σ_n 相等,从图 4 计算的 ET_1 和 ET_2 密度在激活层中的深度分布如图 5 所示。可以看出,在注入区内从表面附近到体内呈现特殊的分布。进一步分析发现,

此分布与文献[9]中的注入损伤抛物线型分布很接近。这一方面说明退火后注入层内各

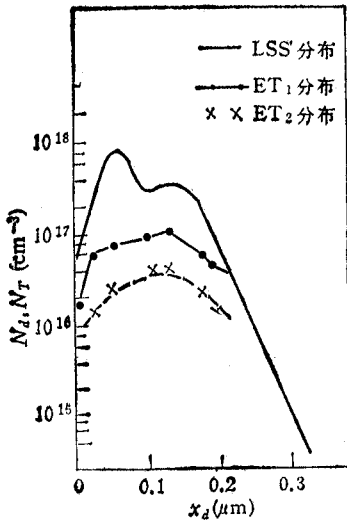


图5 ET_1 和 ET_2 密度的深度分布

点的缺陷数目是不相等的,另一方面则说明它还与注入损伤有联系。表2给出了能级位置在不同深度处的数据。 ET_1 和 ET_2 都随距表面距离的加大逐渐远离导带底,最后趋于一稳定值。这说明不同深度处缺陷的结构是有差别的。此外每个薄层内还存在其它一些结构不同的缺陷。这可从图4中的谱峰展宽得到解释。但测得的能级则是其中最主要的。

(3) 改变退火条件, ET_1 和 ET_2 发生如下变化: 提高第一步退火温度, 其DLTS峰高均降低, 但高于 980°C 后, 反而增高; 延长第二步退火时间可进一步消除这两组缺陷。另外不同温度的热冲

击使同样偏压下的 ET_1 和 ET_2 谱峰对应的温度有几度的移动。这些都说明激活层中的缺陷与热处理过程是密切相关的。

表2 能级位置随深度变化的实验数据

$x_d(\mu\text{m})$	0.011	0.023	0.051	0.103	0.137	0.174	0.195
$E_c - ET_1$ (eV)	0.450	0.489	0.525	0.530	0.531	0.530	0.529
$E_c - ET_2$ (eV)		0.713	0.772	0.798	0.810	0.807	0.805

三、讨 论

对注硅 Si-GaAs 退火后注入层中残留的深能级缺陷以前曾有一些研究。Kuzuhara 等人^[5]和 Dhar 等人^[3]发现, RTA 后的缺陷与常规 FA 处理后的是不同的。文献[6]报道了当 RTA 退火温度高于 800°C 与经较低温度处理后(持续时间均为 6s)结果不同, 能级由原来的 3 个转变为 $NI_2(E_c - 0.55\text{eV})$ 和 $EL_2(E_c - 0.78\text{eV})$ 。注硅 GaAs 经 RTA 后激活层中存在两个电子陷阱的结论也为其它研究所证实^[3,4]。根据文献[6]的讨论 EL_2 能级由于其低温淬灭效应而归属于“ EL_2 族”^[10]。本文测得的 ET_2 与 Martin 等人^[11]报道的 EL_2 ($E_c - 0.82\text{eV}$, $1.2 \times 10^{-13}\text{cm}^{-2}$)能级很相近, 但考虑到 ET_2 随深度变化特性, 说明两者不完全等同, 同样应看作仅是“ EL_2 族”中的一个能级。

从本文激活层中的深能级与注入损伤缺陷和 RTA 过程的关系可以得出, ET_1 和 ET_2 是直接起源于注入损伤缺陷, 而对应的缺陷结构和数量在很大程度上受 RTA 条件

的影响。结合文献[6]硅掺杂样品与硅注入样品经相同 RTA 处理后的能级差别, 以及文献[3]的 $H(E_c - 0.57\text{eV}, \sigma_n = 1.4 \times 10^{15}\text{cm}^{-2})$ 的空间分布与衬底缺陷空间分布的对应关系。我们认为, ET_1 是由硅注入损伤缺陷和衬底缺陷在一定的 RTA 条件下形成的。而 ET_2 比衬底本身的 EL_2 密度(约 10^{15}cm^{-3} 数量级)高, 且随退火条件变化较为明显。可认为是由注入损伤和 RTA 处理引入的, 与衬底本身的 EL_2 关系不大。

注入区中的损伤缺陷包括 $[As_i]$ 、 $[V_{As}]$ 、 $[V_{Ga}]$ 、 $[As_{Ga}]$ 以及最可能的络合物 $[As_{Ga} \cdot V_{As} \cdot As_{Ga}]$ ^[12]。RTA 过程反应为: $Si_i + V_{Ga} \rightleftharpoons Si_{Ga}^+ + e^-$ 。当再增长退火时间将发生: $Si_i + Ga_{Ga} \rightleftharpoons Si_{Ga}^+ + Ga_i + e^-$, 这使得 $[V_{Ga}]$ 保持一定的浓度。按照 Cho 等人^[13]的观点, 退火过程中残留的 $[V_{Ga}]$ 、 $[V_{As}]$ 、 $[As_i]$ 和 $[As_{Ga}]$ 会络合成 $[V_{As} \cdot As_i \cdot V_{Ga} \cdot As_{Ga}]$, 这就是 EL_2 能级 ($E_c - 0.81\text{eV}, 3.61 \times 10^{-3}\text{cm}^{-2}$) 的缺陷构型。RTA 期间受表面指向体内的热场冲击, As_i 将向体内扩散(850℃时, As_i 的扩散系数为 $1.02 \times 10^{-8}\text{cm}^2/\text{s}$), 近表面处上述缺陷转变为 $[V_{As} \cdot V_{Ga} \cdot As_{Ga}]$, 其对应的能级参数为^[13]: $ET = E_c - 0.73\text{eV}, \sigma_n = 7.02 \times 10^{-14}\text{cm}^{-2}$ 。 ET_2 的参数与上述变化基本吻合。因此, ET_2 能级位置随深度的变化用上述缺陷构型的变化可很好地解释。 ET_1 的行为可利用文献[5] EN_1 的构型 $[V_{As} \cdot As_{Ga}]$ 来说明。注入损伤或 RTA 可使 As_{As} 分解: $As_{As} \rightleftharpoons V_{As}^+ + As_i^+ + 2e^-$, As_i 的迁移在表面处形成 $[V_{As} \cdot As_{Ga}]$, 而体内 As_i 与之络合则形成了 $[As_i \cdot V_{As} \cdot As_{Ga}]$ 。值得注意, 在所有构型中, 反位缺陷 $[As_{Ga}]$ 是最主要的元素。而在弱损伤的注入条件下 $[As_{Ga}]$ 又是最主要的缺陷^[5]。结果就形成了与注入损伤相一致的 ET_1 和 ET_2 密度分布。

上述构型中的 V_{Ga} 和 V_{As} 被注入的硅原子占据则会形成 ET_1 和 ET_2 的衍生物(仍为深能级缺陷)。电参数测量表明, 深能级密度比较高的注入层的激活率往往比较低^[9]。这是深能级缺陷对硅原子占位影响的结果。

四、结 论

通过对经两步 RTA (400℃/20s 预热 + 970℃/9s + 750℃/12s) 的硅注入 ($4 \times 10^{12}\text{cm}^{-2}$ (30keV) + $5 \times 10^{12}\text{cm}^{-2}$ (130keV)) LEC 不掺杂 SI-GaAs 激活层进行 DLTS 研究得到如下结论:

(1) 激活层内存在两个电子陷阱组。(a) 主能级 ET_1 和 ET_2 在禁带中的能级位置随深度变化。 $ET_1: E_c - 0.45\text{eV}$ (表面处) $\sim E_c - 0.53\text{eV}$ (体内), $\sigma_n = 2.3 \times 10^{-16}\text{cm}^{-2}$; $ET_2: E_c - 0.71\text{eV}$ (表面处) $\sim E_c - 0.81\text{eV}$ (体内), $\sigma_n = 9.7 \times 10^{-13}\text{cm}^{-2}$ 。(b) ET_1 和 ET_2 的密度随深度变化且与注入损伤缺陷分布一致。 ET_1 的最大密度为 $9.8 \times 10^{16}\text{cm}^{-3}$, ET_2 的最大密度为 $3.2 \times 10^{15}\text{cm}^{-3}$ 。表面和体内更深处则略有下降。

(2) ET_1 和 ET_2 是由离子注入损伤和 RTA 过程共同引入的。升高第一步温度和延长第二步时间都可降低能级密度。

(3) 引进了以 $[As_{Ga}]$ 为主要元素的 ET_1 和 ET_2 缺陷构型。包括三点: (a) ET_1 在表面处为 $[V_{As} \cdot As_{Ga}]$, 体内为 $[As_i \cdot V_{As} \cdot As_{Ga}]$; (b) ET_2 在表面处为 $[V_{As} \cdot V_{Ga} \cdot As_{Ga}]$, 体内则为 $[V_{As} \cdot As_i \cdot V_{Ga} \cdot As_{Ga}]$, 属“ EL_2 族”的能级; (c) 注入硅占据

上述缺陷络合物中的 V_{Ga} 和 V_{As} 形成 ET_1 和 ET_2 的衍生物

浅施主能级 $[Si_{Ga}]$ 的密度由于 Si 占据 ET_1 和 ET_2 中的空位而减小。大尺寸的缺陷作为载流子的陷阱中心或散射中心将对激活层的电学性能产生严重影响。有必要寻求更完善的退火过程以改进激活层的质量。

参 考 文 献

- [1] R. Khanna, M. B. Das, *Appl. Phys. Lett.*, **48**(1986) 14, 937.
- [2] S. Dindo, et al., *J. Electrochem. Soc.*, **132**(1985)11, 2637.
- [3] S. Dhar, et al., *J. Appl. Phys.*, **58**(1985)11, 4216.
- [4] Y. J. Chan, M. S. Lin, *J. Electron Mater.*, **15**(1986)1, 31.
- [5] M. Kuzuhara, T. Nozaki, *J. Appl. Phys.*, **59**(1986)9, 3131.
- [6] A. Kitagawa, et al., *J. Appl. Phys.*, **63**(1988)2, 414.
- [7] 黄迪惠, 注硅半绝缘 GaAs 中深能级的 DLTS 研究及其计算机模拟分析, 西安交通大学硕士学位论文, 1984年.
- [8] A. Zylbersztejn, *Appl. Phys. Lett.*, **33**(1978)2, 200.
- [9] J. L. Lee, et al., *J. Appl. Phys.*, **65**(1989)1, 396.
- [10] 邹元羲、汪光裕、莫培根, 物理学进展, **8**(1988)4, 432.
- [11] G. M. Martin, et al., *Electron. Lett.*, **13**(1977)7, 191.
- [12] W. Wesch, et al., *J. Appl. Phys.*, **65**(1989)2, 519.
- [13] H. Y. Cho, et al., *Appl. Phys.*, **A48**(1989)4, 359.

DEEP LEVEL DEFECTS IN Si-IMPLANTED LEC UNDOPED SI-GaAs

Liang Zhenxian Luo Jinsheng

(Xi'an Jiaotong University, Xi'an)

Abstract DLTS technique has been used to investigate ($4 \cdot 10^{12} \text{cm}^{-2}/30 \text{keV} + 5 \cdot 10^{12} \text{cm}^{-2}/130 \text{keV}$) Si implanted LEC undoped SI-GaAs annealed by tow-step rapid thermal annealing (RTA) ($970^\circ\text{C}/9\text{s} + 750^\circ\text{C}/12\text{s}$). Two electron traps $ET_1(E_c - 0.53 \text{eV}, 2.3 \cdot 10^{-16} \text{cm}^{-2})$ and $ET_2(E_c - 0.81 \text{eV}, 9.7 \cdot 10^{-18} \text{cm}^{-2})$ are detected. Furthermore, the noticeable variations of trap's concentration and energy level in the forbidden gap with the depth profile of defects induced by ion implantation and RTA processes have been observed. The $[As_i \cdot V_{As} \cdot As_{Ga}]$ and $[V_{As} \cdot As_i \cdot V_{Ga} \cdot As_{Ga}]$ are proposed as the possible atomic configurations of ET_1 and ET_2 respectively to explain their RTA behavior.

Key words SI:GaAs; Rapid thermal annealing; Ion implantation; Deep level