

ECL 集成电路的四值接口技术*

吴训威 章专

(杭州大学电子工程系,杭州)

摘要 本文介绍了适用于多值 ECL 电路设计的差动电流开关理论。在该理论中,分别用开关变量和四值信号变量来描写 ECL 电路中差动晶体管对的开关状态和信号,并引入此两类变量之间的联结运算,以描写电路内部开关元件与信号的相互作用过程。基于该理论,本文对两种接口电路——2-4 编码器和 4-2 译码器进行了设计。应用 SPICE 程序对设计电路的计算机模拟表明,两种电路均具有正确的逻辑功能、理想的 DC 转移特性和瞬态特性。由于该接口电路具有与二值电路兼容的集成工艺、电源设备、逻辑级差和瞬态特性,因此它可用作现有二值 ECL 集成电路的输入输出接口,从而达到减少芯片的引脚数和片间连接的目的。

关键词 多值逻辑; ECL; 接口电路

一、引言

电子科学的发展要求集成电路具有更大的规模,使之能具有更强的信息处理能力。然而,当今集成电路发展中遇到的主要问题之一,是随着规模的日益增大带来的引脚过多的困难。大规模集成电路的设计经验表明,基片面积的 70% 被用于内部连接^[1]。为了缓解这一困难,多值信号的利用是十分吸引人的方案。这是因为多值信号能提高每根导线的信息携带量。因此在并行传输中,传输等量的信息可以节省导线数。对集成电路来说,则可减少输入输出信号线,即减少引脚数^[2]。D. Etiemble 和 M. Israel^[3] 归纳出一种多值电路的结构,如图 1 所示。图中外部输入为 m 值信号,它经过一个 $m-2$ 译码器转换为一组二值信号,然后由传统的二值电路处理,并输出二值信号到 $2-m$ 编码器,最后转换成 m 值信号输出。图 1 实际上指出了一种具有多值接口的集成电路设计方案。它的主体仍是二值电路;可以用传统的方法设计,并用成熟的集成技术制作;只是在它的输入和输出分别设

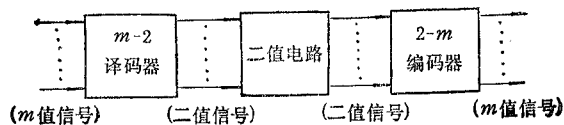


图 1 一种多值电路的结构

1991年1月30日收到。

* 国家自然科学基金资助项目

置多值译码器和编码器, 以实现减少集成电路引脚(和片间连线)的目的。对于这种设计方案, 人们注重 $m=4$ 的情况^[4]。这是因为一个四值信号正好能与两个二值信号相互转换。本文将讨论 ECL 集成电路的四值接口。预定的设计目标是:

- (1) 能使用传统的二值 ECL 电路的集成工艺制作;
- (2) 使用电源与二值兼容, 即 V_{EE} 取为 -5.2 V ;
- (3) 四值信号的逻辑级差与二值相同, 即 0.8 V , 使不影响电路的抗干扰能力;
- (4) 接口电路的瞬态特性要求与二值 ECL 电路相当, 以保持原有 ECL 电路的高速特性。

二、差动电流开关理论

作者在文献[5]中提出的差动电流开关理论可以较有效地用于多值 ECL 电路的设计, 该理论的要点如下:

1. 开关变量与四值信号变量的区分

开关变量取值 (T, F) 用以描写 ECL 电路中差动晶体管开关的开闭状态; 四值信号变量取值 (0、1、2、3) 用以描写 4 种不同的信号电平 (-0.8 V , -1.6 V , -2.4 V , -3.2 V)。注意, 我们采用了负逻辑。为了检测该 4 种不同的信号值, 尚应进一步引入 3 种阈值 (0.5, 1.5, 2.5), 它们在物理上表示为差动晶体管对的 3 种参考电平。

在开关变量之间的基本运算为布尔代数中的“与”, “或”, “非”。而信号变量之间的基本运算则为 Post 代数^[6]中的取小, 取大和补运算。它们的定义分别由下列 3 式给出。

$$x \cap y \triangleq \min(x, y)$$

$$x \cup y \triangleq \max(x, y)$$

$$\bar{x} \triangleq 3 - x$$

此外, 由于在 ECL 电路中, 通过差动晶体管对的电流信号可以通过接线求和, 因此信号变量之间尚可引入求和运算 $x \& y$ (x 与 y 的算术加)。

2. 两类变量之间联结运算的引入

为了描写 ECL 电路中的输入信号如何与参考电平(阈)比较, 以决定差动晶体管对的开关状态, 可引入如下两种阈比较运算。

高阈比较运算

$$x \triangleq \begin{cases} T, & (\text{如 } x > t) \\ F, & (\text{如 } x < t) \end{cases}$$

低阈比较运算

$$x' \triangleq \begin{cases} T, & (\text{如 } x < t) \\ F, & (\text{如 } x > t) \end{cases}$$

为了描写差动晶体管对的开关状态控制 ECL 电路中发射极电流源 I_0 在集电极电阻 rR_0 上生成电压信号的物理过程, 可引入如下电流开关运算:

$$\gamma * \alpha \triangleq \begin{cases} \gamma, & (\text{如 } \alpha = T) \\ 0, & (\text{如 } \alpha = F) \end{cases}$$

式中 r 为正整数, $I_0 R_0 = 0.8V$ 为单位压降, 即信号的逻辑级差。

从上面的运算定义出发, 便可以进一步讨论它们的性质, 并建立起完整的差动电流开关理论^[1]。由于该理论能反映 ECL 电路内有关开关元件与信号的相互作用过程, 因此前述运算均易于找到其对应的电路实现。对图 2 所示的实现若干运算的基本电路讨论如下:

图 2(a) 在负逻辑下为二极管“与”门。在 ECL 电路中, 该正向二极管可以用晶体管的 bc 结代替。在图 2(b) 中, 示出了用电阻网络实现 x 与 y 的求和。在图 2(c) 中, x' 表示 $x < r$, 即 $V_x > V_t$ 时晶体管开关为开启。因此它描写图中左管的开关状态, 而 $'x$ 则描写右管的开关状态。这样, 发射极电流源 I_0 通过差动晶体管对在两个集电极负载上生成的信号分别为 $r_1 * x'$ 和 $r_2 * 'x$ 。

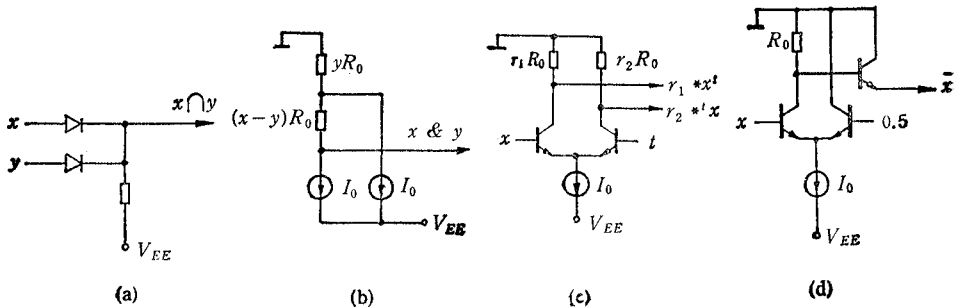


图 2 若干运算的 ECL 电路实现

利用如上运算与电路结构的对应关系, 我们就不难从具体的函数形式获得相应的电路实现。作为例子, 一个阈为 0.5 的二值反相器的输出可用前面提出的各种运算表示成如下函数形式:

$$\bar{x} = 1 * x^{0.5}$$

参考图 2(c) 可得到它的电路实现, 如图 2(d) 所示。图中输出级加接了一个射极跟随器以实现电平的移位, 输出信号的高低电平位移一个 PN 结压降 (0.8 V) 后, 为 $-0.8V$ 和 $-1.6V$ 。

三、接口电路设计

1. 2-4 编码器设计

表 1 给出了由两个二值信号 b_1, b_0 转换为一个四值信号 q 的编码表。可以注意到, b_1, b_0 组成的二进制数正好与 q 等值, 因此该编码方案较其它方案^[7]更有实用意义。按照有权码的特点, 可以直接写出编码输出 q 的函数形式如下:

$$q = (2 * {}^{0.5}b_1) \& (1 * {}^{0.5}b_0)$$

按上节的讨论, 可得到与上式相应的 ECL 电路实现, 如图 3(a) 所示。图中 b_1 信号由一输入射极跟随器和串接二极管实现两级电平移位, 因此与 $b_1' = 0, 1$ 对应的电平分别为 $-2.4V, -3.2V$ 。此时与阈 0.5 相应的参考电平应设置为 $-2.8V$ 。类似地, 图中与

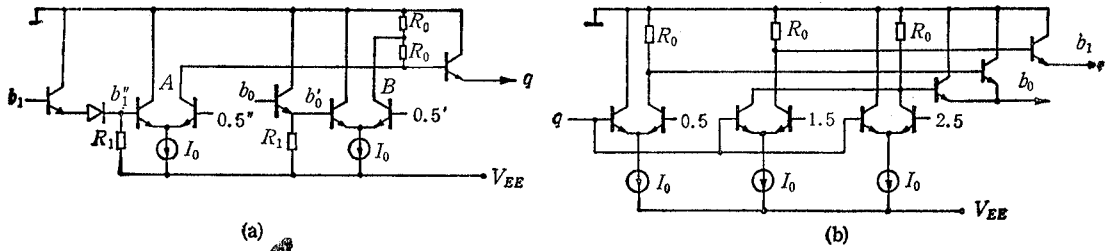


图 3 (a) 2-4 编码器的 ECL 电路实现 (b) 4-2 译码器的 ECL 电路实现

表 1 2-4 编码器

q	b_1	b_0	b_{01}	b_{02}
0	0	0	0	1
1	0	1	1	1
2	1	0	1	0
3	1	1	1	1

$b'_0 = 0, 1$ 对应的电平分别为 -1.6 V , -2.4 V , 而与阈 $0.5'$ 相应的参考电平设置为 -2.0 V 。此时, 在 A, B 两点可能出现的最低电平 -2.4 V 和 -1.6 V 就不会使导通的晶体管进入饱和状态。图 3(a) 中编码信号经射极跟随器输出; 经电平移位后的四值信号 $q(0, 1, 2, 3)$ 对应的输出电平分别为 $(-0.8\text{ V}, -1.6\text{ V}, -2.4\text{ V}, -3.2\text{ V})$ 。

2. 4-2 译码器设计

由表 1 所示的编码表可得如下两个译码函数:

$$b_1 = 1 * 1.5q$$

$$b_0 = b_{01} \cap b_{02} = (1 * 0.5q) \cap (1 * q^{1.5} \& 1 * 2.5q)$$

按上节的讨论可得与上两式相应的 ECL 电路实现, 如图 3(b) 所示。注意图中已利用图 2(a) 的方案, 由两个输出跟随器的射极连接来实现取小运算。图中与四值信号 $q(0, 1, 2, 3)$ 对应的输入信号电平分别为 $(-0.8\text{ V}, -1.6\text{ V}, -2.4\text{ V}, -3.2\text{ V})$; 与三种阈值 $(0.5, 1.5, 2.5)$ 对应的参考电平分别置于 $(-1.2\text{ V}, -2.0\text{ V}, -2.8\text{ V})$; 而两个输出信号 b_1, b_0 均为正常的二值 ECL 电平 $(-0.8\text{ V}, -1.6\text{ V})$ 。

四、电路的 SPICE 模拟和结论

我们已用 SPICE 程序对它们的 DC 转移特性和瞬态特性进行了计算机模拟。在模拟中, 晶体管的参数取自文献[8], 模拟结果表明两种电路均具有正确的逻辑功能和理想的 DC 转移特性。2-4 编码器和 4-2 译码器的传输延迟分别为 0.8 ns 和 0.4 ns 。这与采用相同参数的二值 ECL 电路的模拟结果相同, 从而表明本文提出的两种四值 ECL 接口电路无论在集成工艺、电源设备、逻辑级差、以及瞬态特性等方面均与二值 ECL 电路兼容和匹配。因此, 结构如图 1 的新型 ECL 集成电路可以用现有的工艺制作, 具有实用

价值。

参 考 文 献

- [1] J. T. Butler, *Computer*, **21**(1988) 4, 13—15.
- [2] 吴训威,陈偕雄, F. Prosser, *中国科学 (A 辑)* **8** (1989),848—855.
- [3] D. Etiemble, M. Israel, *IEEE Trans. on C*, **C-26**(1977), 1222—1232.
- [4] X. Wu (吴训威), F. Prosser, *Journal of Hangzhou University*, **16** (1989)1, 43—47.
- [5] 吴训威,章专,基于差动电流开关理论的值 ECL 电路研究,中国电子学会第九届电路与系统年会论文集,黄山, 1990 年, 112—118.
- [6] E. L. Post, *Amer. J. Math.*, **43**(1921), 163—185.
- [7] M. Brillman, et al., *IEEE J. of SC*, **SC-17** (1982)3, 547—552.
- [8] K. W. Current, *IEEE Trans. on C*, **C-29**(1980), 191—195.

THE QUATERNARY INTERFACE TECHNIQUE IN ECL INTEGRATED CIRCUITS

Wu Xunwei Zhang Zhuan

(Hangzhou University, Hangzhou)

Abstract The theory of differential current switches which applies to the design of multivalued ECL circuits is introduced. In this theory, the switching state of differential transistor pair and signal in ECL circuits are described by switching variable and quaternary signal variable, respectively. The connection operations between the two kinds of variables are introduced to describe the action process between switching element and signal in the circuits. Based on this theory, two kinds of interface circuits——2-4 encoder and 4-2 decoder are designed. The computer simulation for the designed circuits by using SPICE program confirm that both circuits have correct logic functions, desired DC transfer characteristics and transient characteristics. These interface circuits are compatible with binary circuits in the integrated process, the power supply equipment, the logic stage and the transient characteristic. Therefore, they can be used as input-output interface of the existing binary ECL integrated circuits so as to decrease the number of pins of a chip and the connections between chips.

Key words Multivalued logic; ECL; Interface circuit