

# 基于FPGA的数字化正交解调接收机最优设计

邱兆坤 马云 王伟 陈曾平

(国防科技大学ATR国家重点实验室 长沙 410073)

**摘要** 结合抽取滤波器的多项滤波结构,在一定条件下,推导出了含抽取正交解调接收机最优结构设计方法。在FPGA乘法器资源相同的条件下,采用最优结构设计的接收机内部FIR滤波器阶数比直接实现形式高了近4倍。最后给出了设计实例。

**关键词** 正交解调, FPGA, 多项滤波

中图分类号: TN957.5, TN911.72 文献标识码: A 文章编号: 1009-5896(2006)01-0041-04

## Optimization Design of Digital Quadrature Demodulation Receiver Based on FPGA

Qiu Zhao-kun Ma Yun Wang Wei Chen Zeng-ping

(ATR Lab, National Univ. of Defense Technology, Changsha 410073, China)

**Abstract** Under certain conditions, combining the polyphase filtering structure of decimation filter, put forward an optimum design method of quadrature demodulation receiver, which owns decimation structure. With the same number of multipliers in FPGA, the order of FIR filter in receiver with above optimum structure is nearly 4 times than it implemented in direct way. Finally the design instance is given.

**Key words** Quadrature demodulation, FPGA, Polyphase filtering

### 1 引言

正交检波可以保留回波信号的幅度和相位信息,在雷达、声纳和通信等领域都有着广泛的应用。模拟正交接收机将输入的中频带通信号分别与正交的两路本振信号相乘,然后通过低通滤波滤除倍频分量,得到I、Q两路正交基带信号。其本振、混频、低通滤波均采用模拟技术实现,数字化在I、Q基带信号生成之后进行。由于模拟器件的一致性和稳定性都较差,因此,所获得的两路正交通道很难在大的动态范围内保持高度的幅度一致性和相位正交性,两路输出信号的相位误差一般只能做到 $2^\circ \sim 3^\circ$ ,幅度误差约为0.5 dB<sup>[1]</sup>。近年来,随着高性能A/D转换器件、大规模FPGA器件及高速DSP芯片的不断涌现,直接中频采样及数字相干检波技术得到了广泛的应用。其工作原理与模拟接收机一样,只是A/D转换是在中频完成,本振、混频、低通滤波均采用数字技术实现,如图1所示。数字技术的应用很好地解决了模拟接收机通道间幅相不平衡问题,使得I、Q通道在幅度一致性和相位正交性上具有更高精度。在直接中频数字化接收机中,采样频率一般都远大于信号带宽 $B$ 的2倍。但根据Niquist准则,对频

率范围为 $[-B/2, B/2]$ 的基带信号采样,采样频率只需大于 $B$ 即可。因此,可以对图1所示结构中低通滤波输出的信号进行抽取,如图2所示。抽取因子 $D$ 的选择要根据采样频率、信号带宽及后续信号处理的能力来定。

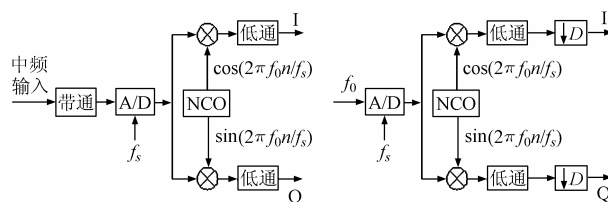


图1 直接中频采样数字正交接收机原理图

图2 含抽取正交解调的直接实现形式

在图2的结构中,数字滤波有两种实现形式,即FIR滤波器和IIR滤波器,由于FIR滤波器相对于IIR滤波器有很多优点,如线性相位、稳定性等,且设计相对成熟,因此多采用FIR滤波器实现滤波<sup>[2,3]</sup>。随着FPGA技术的不断发展,特别是内部集成硬件乘法器后,由FPGA实现FIR滤波器变得更加容易。因此,FPGA芯片可以很好地应用于数字化正交接收机中。但现有FPGA器件内部所集成的乘法器资源都

很有限,采用直接形式实现的 FIR 滤波器阶数很低,一般难以满足系统指标的要求。因此,如何在乘法器资源有限的情况下设计高性能的 FIR 滤波器将是采用 FPGA 技术设计数字化接收机的关键所在。本文将针对这一问题进行深入研究。其中第 2 节结合抽取滤波器的多项滤波结构形式给出了含抽取正交解调接收机的优化设计;第 3 节分析了中频信号频率  $f_0$ 、采样频率  $f_s$  和抽取因子  $D$  三者的关系,在一定的条件下,给出了含抽取正交解调接收机的最优结构设计;第 4 节介绍了采用这一结构的设计实例及其应用;最后总结全文。

## 2 含抽取正交解调的多项滤波结构

含抽取正交解调接收机在图 2 所示的直接实现形式中,低通滤波在抽取之前完成,这无疑提高了对处理速度的要求。设低通滤波器  $h(n)$  的阶数为  $N$ ,为了进行实时处理,则要求在每一个采样间隔  $T_s$  内完成  $N$  次乘加运算,每秒钟需完成的乘加运算为

$$S_1 = Nf_s \text{ MPS (乘加次数/秒)} \quad (1)$$

设 FPGA 内部乘法器有  $N_M$  个,用这有限个乘法器实现 I、Q 通道的混频和低通滤波,则可实现的 FIR 滤波器最高阶数为

$$N_1 = \left\lfloor \frac{N_M}{2} \right\rfloor - 1 \quad (2)$$

式中  $\lfloor x \rfloor$  表示下取整。这种直接形式由 FPGA 实现时,为了能够实时处理,则 FPGA 的工作频率不能低于采样频率  $f_s$ 。可以看出,直接实现形式不仅不能降低处理速度,也不能节省硬件乘法器的开销。

抽取滤波的一种高效实现形式是采用多项滤波结构设计<sup>[2,3]</sup>,实现结构如图 3 所示。其中  $e_0(n) \sim e_{D-1}(n)$  为  $h(n)$  的多项分支,系数可由下式获得

$$e_k(n) = h(nD + k) \quad (3)$$

式中  $k = 0, 1, \dots, D-1$ , 在多项滤波结构中,每一个分支滤波器  $e_k(n)$  的阶数为  $N/D$ ,且在  $D$  倍抽取之后实现,数据输入速率也降低了  $D$  倍。因此,抽取滤波过程每秒钟需完成的乘加运算为

$$S_2 = Nf_s/D^2 = S_1/D^2 \quad (4)$$

与直接实现形式相比,速度降为  $1/D^2$ ,这对由软件编程实现滤波是非常有利的。将图 2 中的抽取和滤波部分采用多项滤波结构实现,得到图 4 所示的形式。

采用图 4 的结构利用 FPGA 设计数字化正交接收机时,若 FIR 滤波器在 FPGA 内部由  $D$  个多项分支并行实现,则相同数目的乘法器可实现的 FIR 滤波器阶数和直接实现形式相同,但 FPGA 工作频率可降为直接实现形式的  $1/D$ 。这在采样频率  $f_s$  很高时,显然是很有意义的。

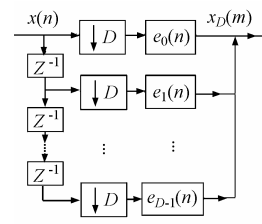


图 3 抽取器的多项滤波结构

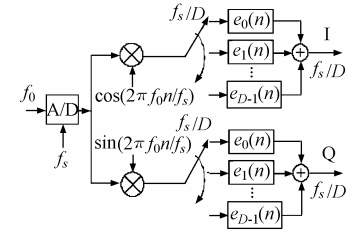


图 4 含抽取正交解调的多项滤波结构

在图 4 的结构中,混频后的序列是进行抽取后再输入到每一个多项分支中去,因此在同一个采样周期  $T_s$  内只有一个分支滤波器进行运算。这样在采样频率  $f_s$  不是很高时,硬件处理速度完全可以满足要求,而 FPGA 内部乘法器资源有限的情况下,可将一组乘法器重复使用,通过系数配置的方式实现不同的多项分支滤波器。这对在乘法器资源有限的情况下实现高性能的 FIR 滤波器是非常有意义的。 $N_M$  个乘法器在图 4 的结构中,乘法器复用时可实现的 FIR 滤波器最高阶数可达

$$N_2 = D \left( \left\lfloor \frac{N_M}{2} \right\rfloor - 1 \right) = D \cdot N_1 \quad (5)$$

是直接实现形式的  $D$  倍。或者说实现相同阶数 FIR 滤波器所需的乘法器仅为直接型结构的  $1/D$ 。乘法器复用在 FPGA 内部实现是很方便的,只需在每一个时钟周期的上升沿通过一个选通器将分支滤波器的系数进行重加载即可。

由于乘法器资源的复用,此时 FPGA 的工作频率必须是多项分支并行实现时的  $D$  倍,即 FPGA 的工作频率需等于采样频率,这和直接实现时的工作频率相同。

## 3 含抽取正交解调的最优结构

在图 4 所示的结构中,混频后的两路信号需经过完全相同的两个低通滤波器得到基带 I、Q 信号,即必须实现复滤波。倘若能将混频运算移到抽取滤波之后进行,则可避免复滤波,I、Q 两通道只需一个抽取滤波器即可实现,这样乘法器资源可节约一半。下面分析采样频率  $f_s$ 、本振信号频率  $f_0$  及抽取因子  $D$  的关系,从中寻求一种将混频乘法运算移到抽取滤波后的有效途径。

设本振初始相位为零,数字化的本振信号记为

$$L(n) = e^{j(2\pi r n)} \quad (6)$$

式中

$$r = f_0/f_s \quad (7)$$

为本振信号频率  $f_0$  和采样频率  $f_s$  之比。若  $r$  可表示为

$$r = p/q \quad (8)$$

其中  $p, q$  为正整数,且  $p, q$  互质,即  $r$  为有理数,则  $L(n)$  为

周期信号：

$$L(n) = L(n + kq) \quad (9)$$

式中  $k$  为整数。若抽取因子恰好满足

$$D = cq \quad (10)$$

式中  $c = 1, 2, \dots$ ，则混频运算相当于对每一个多项分支滤波器的输入信号乘以一个常数。I 通道每一个多项分支将分别乘以  $\text{Re}[L(0)], \text{Re}[L(1)], \dots, \text{Re}[L(D-1)]$ ；Q 通道每一个多项分支将分别乘以  $\text{Im}[L(0)], \text{Im}[L(1)], \dots, \text{Im}[L(D-1)]$ ，其中  $\text{Re}[x]$  表示  $x$  的实部， $\text{Im}[x]$  表示  $x$  的虚部。根据线性时不变系统性质，滤波前乘以一个常数等价于滤波之后乘以一个常数，因此可将混频运算移到抽取滤波器后进行。由此得到一种最优的实现形式，如图 5 所示。

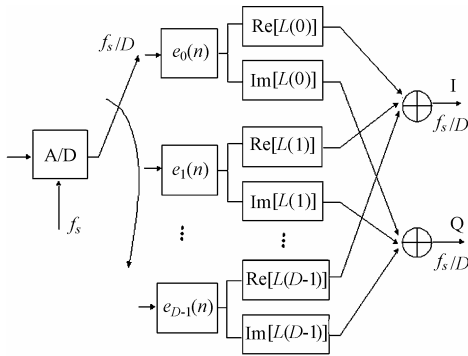


图 5 正交接收机的最优结构

与图 4 所示的结构相比，这种结构除了利用了抽取滤波的多项滤波结构外，还避免了复滤波，因此在乘法器资源有限的情况下，可以实现更高阶数的 FIR 滤波器。若采样频率  $f_s$  很高，多项分支并行设计，则可实现的 FIR 滤波器最高阶数为

$$N_3 = N_M - 2D \quad (11)$$

此时 FPGA 只需工作在  $f_s/D$  的频率上。若 FPGA 工作频率可以满足速度要求，将乘法器资源复用，则可实现的 FIR 滤波器最高阶数为

$$N_{opt} = D(N_M - 2) = 2D \cdot N_1 \quad (12)$$

与直接实现形式相比提高了  $2D$  倍。或者说，实现相同阶数 FIR 滤波器乘法器占用仅为直接形式的  $1/(2D)$ 。此时 FPGA 的工作频率为  $f_s$  和直接实现形式相同。因此，在乘法器资源一定的情况下，从如何实现更高性能的 FIR 滤波器角度考虑，图 5 所示的结构是最优结构。

下面对 3 种实现结构下 FPGA 的工作频率和所能实现的 FIR 滤波器最高阶数做一总结。

#### 4 设计实例

以上对采用 FPGA 技术实现数字化正交解调接收机的各种结构做了分析，得出了一定条件下的最优实现结构。下面给出工程应用中采用这一结构设计接收机的实例。某雷达中频信号带宽  $B = 5\text{MHz}$ ，中心频率  $f_0 = 30\text{MHz}$ 。采样频率取为  $f_s = 40\text{MHz}$ ，这样的频率满足带通信号采样定理<sup>[4]</sup>。为了减轻后续信号处理的负担，进行  $D = 4$  的抽取。设计中采用 Xilinx 公司 Virtex-II 系列的 XC2V-1000 FPGA 芯片<sup>[5]</sup>，该芯片的最高工作频率可达  $400\text{MHz}$ ，对本系统来说完全满足速度要求。但其内部乘法器仅有 40 个，采用直接实现形式时 FIR 滤波器最多可以设计 19 阶，而系统指标要求 FIR 滤波器需达 64 阶才能满足要求。显然，直接实现形式不能满足设计指标。由上文分析知，本系统中，信号中心频率  $f_0$ ，采样频率  $f_s$  和抽取因子  $D$  分别满足式(7)和式(10)，因此可以采用最优结构设计，这样可实现的 FIR 滤波器最高阶数为 152 阶，完全满足系统设计指标要求。实际上，在本系统中，采用多项滤波结构实现的 FIR 滤波器也可达到 76 阶，能满足系统指标。但 I、Q 通道分别进行滤波会引入一定的截断误差，对通道间幅相一致性会带来不利影响。而图 5 所示的最优结构可避免这一截断误差的影响。且此时 FPGA 的工作频率为  $40\text{MHz}$ ，这一频率对 XC2V-1000 芯片来说不算高。

值得注意的一点是， $f_0 = 30\text{MHz}$ ， $f_s = 40\text{MHz}$ ，本振初始相位取为零，则数字本振信号即为  $0, 1, -1$  等特殊值，有

$$\text{Re}[L(0)], \text{Re}[L(1)], \text{Re}[L(2)], \text{Re}[L(3)] = 1, 0, -1, 0 \quad (13)$$

$$\text{Im}[L(0)], \text{Im}[L(1)], \text{Im}[L(2)], \text{Im}[L(3)] = 0, -1, 0, 1 \quad (14)$$

这样，图 5 所示结构中每一个分支滤波器后面的乘法运算就可省去，而由非常简单的逻辑电路实现。在这种情况下，所实现的 FIR 滤波器的阶数提高为  $DN_M$ 。

本文设计的接收机已成功应用于某雷达系统中。设计是以高可靠性的 CPCI(Compact Peripheral Component Interconnect)构架<sup>[6]</sup>工控机为平台，内插 4 块解调板同时工作，每一块解调板处理两路信号，共可处理 8 路中频信号。应用

表 1 各种实现结构的对比

	直接结构	多项滤波结构	多项滤波结构*	最优结构	最优结构*
所实现 FIR 最高阶数	$\lfloor \frac{N_M}{2} \rfloor - 1$	$\lfloor \frac{N_M}{2} \rfloor - 1$	$D \left( \lfloor \frac{N_M}{2} \rfloor - 1 \right)$	$N_M - 2D$	$D(N_M - 2)$
FPGA 工作频率	$f_s$	$f_s/D$	$f_s$	$f_s/D$	$f_s$

\*乘法器资源复用的情况

软件以 Windows2000 操作系统为平台，主要完成对接收机工作参数的加载、更新及对解调结果的显示和存储等工作。实际电路如图 6 所示。

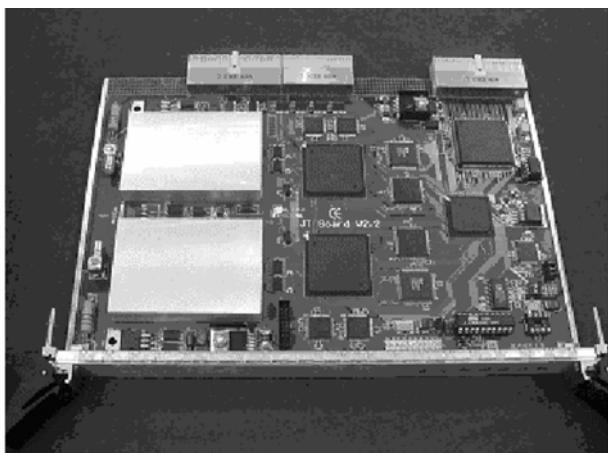


图 6 基于最优结构的设计实例

在设计中，为了获得大的动态范围，中频采样选用 14 位 A/D 芯片。解调结果通过 PCI 总线保存到磁盘阵列中，供事后分析处理。为了保证解调结果的实时不丢失存储，总线控制芯片选用了 AMCC 公司的 S5933 控制器<sup>[7]</sup>。这款总线控制芯片工作在 FIFO 方式下，支持 PCI (Peripheral Component Interconnect) 总线的猝发传输方式，实测最快速度达到了 96 MB/s (兆字节/秒)，满足系统存储速度的要求。

## 5 结束语

本文结合实际工程应用，针对如何在乘法器资源有限的情况下设计高性能的 FIR 滤波器这一具体问题进行了深入研究。分析得知当信号中心频率  $f_0$ 、采样频率  $f_s$  和抽取因子  $D$  满足  $f_0/f_s = p/q$ ， $D = cq$  时，可以得到一种最优设计结构。

在 FPGA 内嵌乘法器数目一定的情况下，采用最优结构设计 FIR 滤波器最高阶数为直接实现形式的  $2D$  倍。采用这一结构设计的数字化正交解调接收机已成功应用于某雷达系统。

## 参考文献

- [1] HO K C, CHAN Y T, INKOL R. A digital quadrature demodulation system. *IEEE Trans. on AES*, 1996: 1218 – 1227.
- [2] 杨小牛等. 软件无线电原理与应用. 北京: 电子工业出版社, 2001, 第 2 章.
- [3] 孔宗德. 多抽样率信号处理. 北京: 清华大学出版社, 1996, 第 4 章.
- [4] 杨福生, 戴先中. 带通信号的采样定理. *信号处理*, 1986, 2(1): 58 – 61.
- [5] Xilinx 公司 Data Sheet, 2003, <http://www.xilinx.com>.
- [6] Shanley T, Anderson D 著, 刘晖等译. PCI 系统结构(第四版). 北京: 电子工业出版社, 2000, 第 28 章.
- [7] S5933 PCI Controller Data Book, AMCC 公司, 1997.

邱兆坤: 男, 1977 年生, 博士生, 研究方向为目标识别、数据采集及数字化接收机技术.

马云: 男, 1976 年生, 博士生, 研究方向为自适应光学信号处理、数字化接收机技术.

王伟: 男, 1970 年生, 博士, 副教授, 研究方向为电子对抗、雷达信号处理等.

陈曾平: 男, 1968 年生, 教授, 博士生导师, 感兴趣研究方向为目标识别、自适应信号处理等.