

新型 CMOS JK 触发器

吴训威 汪鹏君 沈雁飞*

(宁波大学电路与系统研究所 宁波 315211)

*(浙江大学信息与电子工程学系 杭州 310027)

摘要: 该文以双反相器门锁电路为基本存储单元, 采用开关级设计方法设计出一种新型的 CMOS JK 触发器。与传统设计相比, 新设计具有较简单的结构、较少的元件以及较快的工作速度。

关键词: CMOS, JK 触发器, 开关级设计

中图分类号: TN432, TP331

文献标识码: A

文章编号: 1009-5896(2005)02-0334-03

Novel CMOS JK Flip-Flop

Wu Xun-wei Wang Peng-jun Shen Yan-fei*

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

*(Dept of Information and Elect. Eng., Zhejiang University, Hangzhou 310027, China)

Abstract Taking the latch composed of two inverters as basic storage unit, this paper proposes a novel CMOS JK flip-flop based on the design at switch level. The new design has simpler configuration with less devices and faster working speed in comparing with the traditional design.

Key words CMOS, JK flip-flop, Design at switch level

1 引言

随着 CMOS 电路集成技术的发展, 在一块芯片上所能集成的电路的规模越来越大, 而且速度也越来越快, 到现在时钟频率已经达到 10^9 Hz 数量级, 这两方面发展的同时导致集成电路功耗越来越大。集成电路中过高的功耗不仅使其难以应用于便携式设备中, 而且会造成芯片过热, 导致其性能下降, 寿命缩短。此外, 过大的功耗要求昂贵的封装和散热设备以保证其正常的工作。这些因素使得低功耗技术成为当前 VLSI 设计中一个紧急的技术需要。

在数字系统中, 变化最为频繁的信号是时钟信号, 因此, 与时钟信号相关联的单元电路如时钟信号缓冲器、触发器等消耗的功耗是相当可观的。研究表明这部分功耗约占整个芯片功耗的 15%至 45%^[1]。如何减少这部分功耗的一个研究重点便是设计出低功耗的触发器。国际上对此已经开展了多方面的研究, 提出了多种方法, 其中一个方法就是通过减少或简化触发器的结构, 从而减少触发器内部的节点电容, 实现减少功耗的目的^[2]。在这一研究中作者提出了采用单锁存器的触发器结构实现一次操作型触发器^[3]。由于它比传统使用的主从触发器节省了一半锁存器, 因此达到了可观的功耗节

省。对该一设计思想国际上已出现了不少后续的研究。从简化电路结构的目的出发, 作者曾在文献[4]中提出 CMOS 电路的开关级设计理论, 在该一理论中由 MOS 晶体管开关(而不是由逻辑门)作为电路的基本构造元件。这样, 在 CMOS 触发器设计中原来不采用的那种交叉反馈门的门锁结构就可以重新考虑改用开关级设计。本文将由此出发开展相应的研究, 并且把“交叉反馈门”容易实现的 JK 触发器作为研究对象。

2 传统 JK 触发器

触发器是存储数字信号的基本元件。数字信号的存储是用两个反相器首尾环接形成的门锁来实现的, 而输入存储信号则需中断此环路, 中断方法可有两种: 一种是如图 1(a)所示用“或非”门(或者“与非”门)组成门锁, “或非”门的多余输入端则用以中断环路并输入存储值。例如, 图 1(a)中 $S=1$ 时使存入 1 ($Q=1$); $R=1$ 时使存入 0 ($Q=0$)。显然, $S=R=1$ 被认为指令混淆而不被允许, 而 $S=R=0$ 时恢复门锁环路而进入存储状态。另一种是如图 1(b)所示在反相器环中插入一个二选一数据选择器, 当 $c=1$ 时环路中断来实现置入待存储信号 ($Q=D$), 而当 $c=0$ 时恢复门锁环路而

进入存贮状态。由于 CMOS 二选一数据选择器仅由两对传输门组成，因此图 1 中两种结构均使用 8 个 MOS 管。然而，为使图 1(a) 中 S, R 受到时钟的控制需要附加门电路，而图 1(b) 中控制信号 c 直接可用作时钟信号 clk ，因此该结构成为 CMOS 触发器的首选，并以此为基础构成各种类型的触发器。图 2(a) 为现有 CMOS JK 触发器产品的电路设计，它乃是由一个传统的 D 型触发器附加输入逻辑电路而构成的，属于主从型触发器。如不计时钟驱动与输出缓冲部分，D 型触发器部分由 16 个 MOS 管构成，而整个 JK 触发器由 26 个 MOS 管构成。

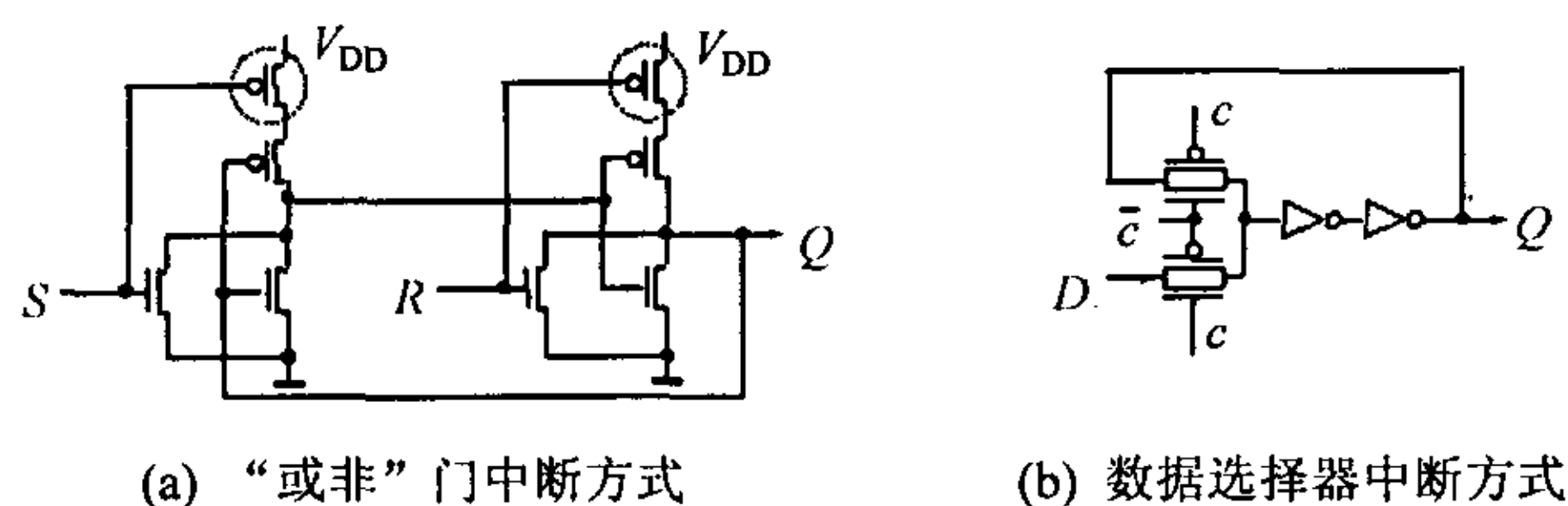


图 1 CMOS 门锁设计

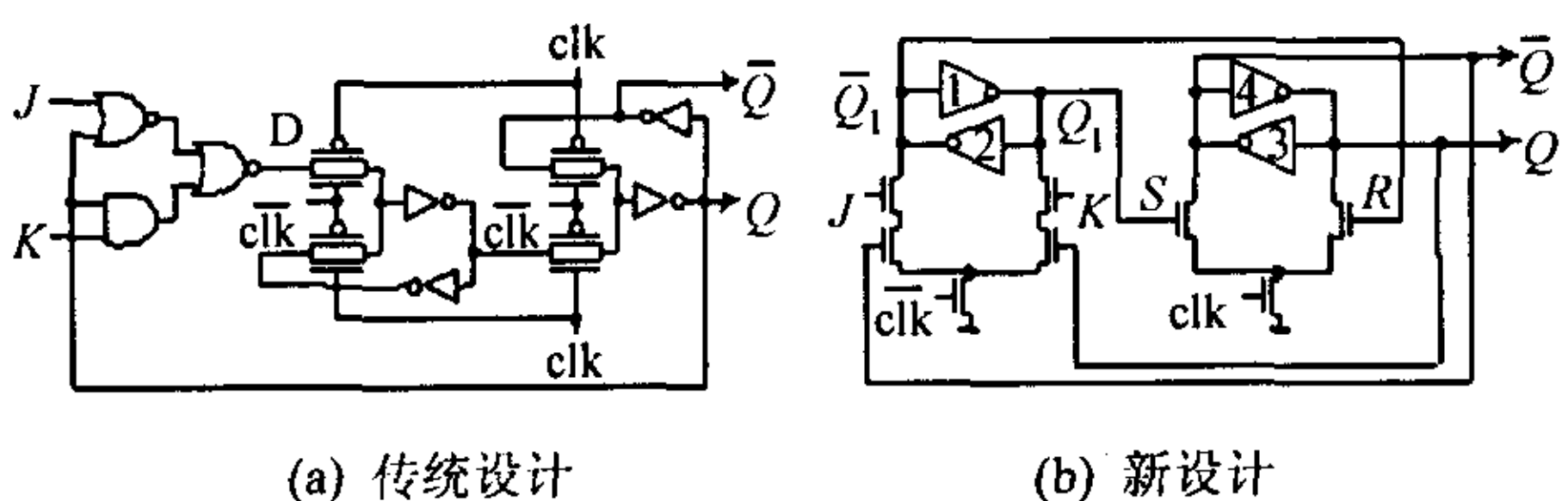


图 2 CMOS JK 触发器

3 新型 JK 触发器设计

CMOS 电路的开关级设计技术^[4]为简化电路结构提供了可能。在图 1(a) 所示由二输入“或非”门组成的门锁中，由于正反馈作用，虚圈内的 pMOS 管可以省略，此时中断环路仅依靠 nMOS 管的导通接地作用。而此时时钟信号对输入信号的控制亦不必通过一个门电路而可以简单地用一个串联的 nMOS 管来实现，如图 2(b) 中的右部所示。图 2(b) 给出了一个结构简单的主从型 JK 触发器设计，图中的从触发器为 SR 型基本触发器，当 $clk = 0$ 时它处于存贮状态，而当 $clk = 1$ 时由 S 和 R 决定门锁的新存贮值。在图 2(b) 中，从触发器的输出反馈控制主触发器的两个接地支路，由此使得图中 $J = K = 1$ 成为允许。因为此时主触发器的两条开关支路不会同时导通，而触发器的状态将进行翻转 ($Q' = \bar{Q}$)。当 $J = K = 0$ 时，主触发器的两条支路都不会导通，状态不会改变，因此从触发器的输出 Q 保持不变，即 $Q' = Q$ 。当 $J = 0, K = 1$ 时，如果 $Q = 1$ ，主触发器的右边支路导通， Q 最终翻转至 0，如果 $Q = 0$ ，则主触发器的两条支路都不会导通，输出 $Q = 0$ 的状态不会改变，因此总有 $Q' = 0$ 。当 $J = 1, K = 0$ 时，如果 $Q = 0$ ，则主触发器的左边支路导通，最终 Q 状态翻转至 1，如果 $Q = 1$ ，则主触发器的两条开关支路都不导通，输出 $Q = 1$ 的状态保持不变，因此总有 $Q' = 1$ 。以上对 4 种 JK 输入情

况的分析证明了该电路具有正确的 JK 触发器的次态方程：

$$Q' = J\bar{Q} + \bar{K}Q$$

图 2(b) 中的 JK 触发器比图 2(a) 中的设计节省了 10 个 MOS 管，且其时钟源的负载也比图 2(a) 所示电路的要小。因此，图 2(b) 的设计不仅可以节省硅片面积，还可以节省电路的功耗。应该指出，在我们的设计当中，当主触发器存储信号为 $Q_m = 1$ 时，如有 $clk = 0, K = 1$ 及 $Q = 1$ ，则主触发器中由 K ，反馈信号 Q ， \bar{clk} 控制的 3 个 nMOS 管以及反相器 1 中的 pMOS 管会同时导通，从而形成了一个有比反相器。为了在反馈作用下使状态迅速翻转，就需要使 Q_m 的电平低于反相器的阈电平，则正反馈就会迅速引起触发器的状态翻转。因此在设计中需适当增大信号 K, Q 以及 \bar{clk} 控制的 nMOS 管的尺寸^[5]。

我们已经使用 PSPICE 以及 1.2 μm 标准 CMOS 工艺对所设计的新型主从边沿型 JK 触发器进行了模拟，其瞬态分析如图 3 所示。模拟结果证明该新型 JK 触发器具有正确的逻辑功能。此处，我们对使用竞争冒险技术的单门锁边沿触发 D 型触发器^[3]、传统主从 D 型触发器，以及图 2 所示的两种 JK 触发器做了模拟。模拟得到的各种触发器的性能参数如表 1 所示。从表 1 中看出，在 $clk-Q$ 延时的测量中，我们提出的新型 JK 触发器下降延时最小，而上升延时为次小。由于我们采用了开关级设计技术，因此电路的元件数大为减少，比较传统使用门电路设计的 JK 触发器，显然在面积与功耗上都有优势。

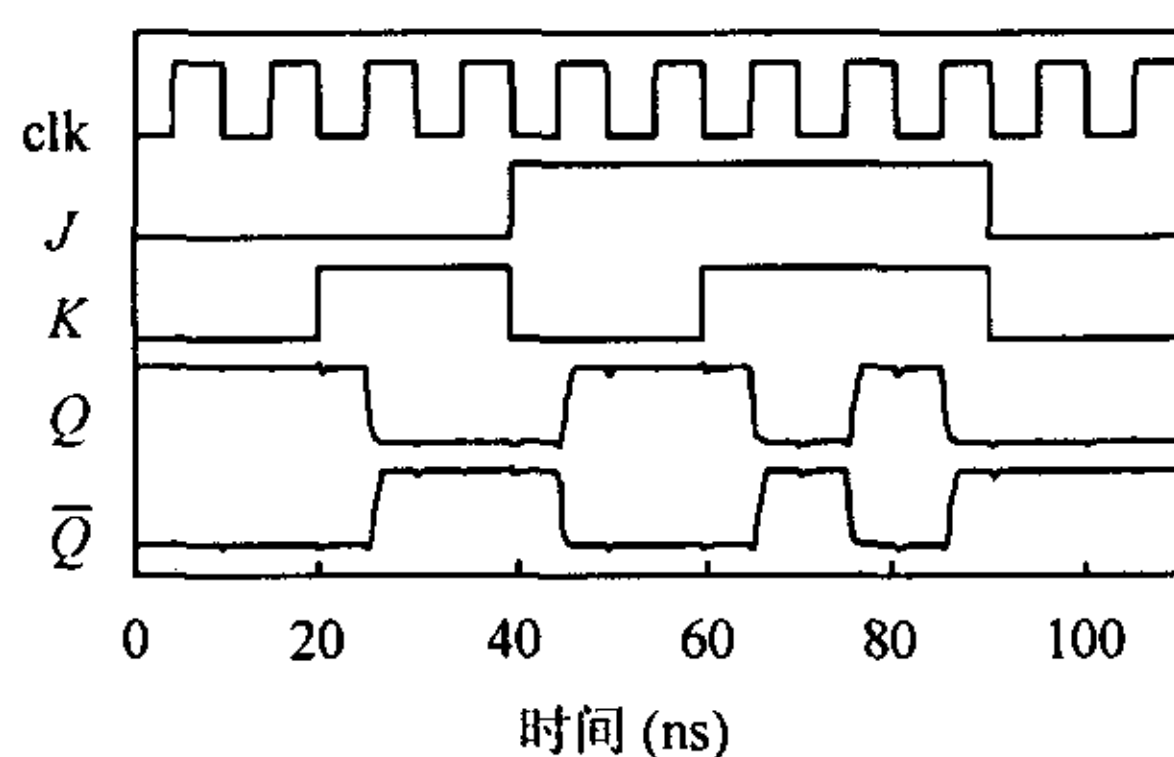


图 3 新型 JK 触发器瞬态分析

表 1 4 种触发器性能参数比较

触发器类型	$T_{pLH}(ns)$	$T_{pHL}(ns)$
竞争冒险传输门型 D 触发器	1.06	0.89
传统主从型 D 触发器	0.65	0.48
图 2(a) 所示传统 JK 触发器	1.20	0.66
图 2(b) 所示新型 JK 触发器	0.89	0.23

4 结束语

由于时钟信号相关联的单元电路（如触发器）消耗的功能相当可观，因此通过减少或简化触发器的结构，从而达到减少触发器内部的节点电容及相应动态功耗是当前低功耗研究中的一个热门方向。在这一努力中，减少使用一个锁存

器(单锁存器触发器)能有效地达到简化电路结构并达到有效减少功耗的目的。本文的研究以 CMOS JK 触发器为例,从采用开关级设计的角度出发来简化每个锁存器及激励逻辑电路的结构,同样达到简化电路结构的目的,这就为降低功耗提供了前提条件。使用 PSPICE 以及 $1.2\mu\text{m}$ 标准的 CMOS 工艺对所设计的新型主从边沿型 JK 触发器模拟后,不仅验证了它具有正确的逻辑功能,而且还具有工作速度上的优势,这使得本文的设计将成为低功耗触发器的一个竞争者。

参考文献

- [1] Tellez G E, Farrah A, Sarrafzadeh M. Activity-driven clock design for low power circuits. Proc. IEEE ICCD, TX, USA, 1995, 11: 62 - 65.
- [2] 王伦耀, 吴训威. 主从型 D 触发器的动态功耗分析. 浙江大学学报(理学版), 2003, 30(1): 35 - 40.
- [3] Wu X (吴训威), Wei J (韦健). CMOS edge-triggered flip-flop using one latch. *Electron. Lett.*, 1998, 34 (16): 1581 - 1582.
- [4] Wu X (吴训威). Theory of transmission switches and its application to design of CMOS digital circuits. *International Journal of Circuit Theory and Application*, 1992, 20(4): 349 - 356.
- [5] Rabaey J M. Digital Integrated Circuits: A Design Perspective. New York: Prentice-Hall Inc. 1996: 60 - 62.

吴训威: 男, 1940 年生, 教授, 博士生导师, 从事低功耗集成电路设计理论的研究工作。

汪鹏君: 男, 1966 年生, 副教授, 目前从事低功耗集成电路设计理论的研究工作。

沈雁飞: 男, 1977 年生, 浙江大学信息与电子学系硕士研究生。