

一种基于符号逻辑的神经元模型和电路实现¹

王若愚 郑启伦 黄贯光

(华南理工大学计算机科学与工程系 广州 510641)

摘要 为了实现基于符号逻辑的神经网络系统,本文定义了一种逻辑神经元模型,并采用了电流型 CMOS 工艺实现这种神经元电路的各种逻辑功能,最后通过电路模拟,证明设计的正确性。

关键词 MOS 电流镜, 神经元电路, 神经网络

中图分类号 TN-052, TN710

1 引言

当今人工智能存在着两大方向,即基于符号的传统人工智能和基于连接论的神经机制。两者均是模仿人类思维的两种形态而形成的。前者模仿人类的抽象思维,后者模仿人类的形象思维。两者是模仿人类智能的截然不同的两种机制,互有局限性。而真正的人类思维是两种形态的思维的结合。因此研究基于符号逻辑的神经网络具有重要意义。近几年国内外许多学者都致力于神经网络电路实现的研究,其中大多数是基于连接机制的神经元模型,且多数应用在分类和识别领域中,其神经元模型中的权值运算均采用乘法,主要用跨导运算放大器(OTA)^[1]、四象限乘法器^[2]等、Gilbert 乘法器^[3]和数模转换器(MDAC)^[4]等,它们中有的存在运算精度和输入值范围的限制,有的占芯片面积较大或速度较慢。为克服上述缺点,本文提出一种基于符号逻辑的神经元模型,它可兼具符号逻辑和连接机制两类系统的信息处理能力,且由于允许权值和阈值参数有较大的偏差,所以可靠性较高。本文还介绍了采用 CMOS 全电流型电路实现的各种方案和电路模拟的实验结果。

2 符号逻辑型神经元模型

定义 一个神经元称为符号逻辑神经元,如果它满足

$$Y_i = \text{sgn} \left(\sum_{j=1}^n (W_{ij} * X_{ij}) - \theta_i \right),$$

式中 $\text{sgn}(z) = \begin{cases} 1, & z \geq 0; \\ 0, & z < 0; \end{cases}$ $X_{ij} \in \{0, 1\}$, $W_{ij} \in [-1, 1]$; $\theta_i \geq 0$ 。

算子“*”的意义为

$$W_{ij} * X_{ij} = \begin{cases} \min(W_{ij}, X_{ij}), & W_{ij} \geq 0; \\ 1 - X_{ij}, & W_{ij} < 0; \end{cases}$$

其中 Y_i 为第 i 个神经元的输出; X_{ij} 为第 i 个神经元的第 j 个输入; W_{ij} 为第 i 个神经元的第 j 个输入对应的权重; θ_i 为第 i 个神经元的阈值。

¹ 1997-05-13 收到, 1998-07-01 定稿
国家自然科学基金资助和广东省自然科学基金资助项目

3 神经元电路的实现

3.1 基本电路

从 1986 年 T. Yamakawa 发表了用 CMOS 电流型电路实现模糊逻辑系统的研究成果后, 引起国内外许多同行的关注^[5-7]。图 1(a) 和图 1(b) 分别是上述文献发表的两种电流镜电路, 其中 k 是与工艺有关的跨导系数。其工作特性为

$$I_{\text{out}} = \begin{cases} 0, & I_{\text{in}} < 0; \\ k * I_{\text{in}}, & I_{\text{in}} \geq 0. \end{cases} \quad (1)$$

当 $k = 1$ 且 $I_{\text{in}} \geq 0$ 时, $I_{\text{out}} = I_{\text{in}}$ 。其中 $I_{\text{in}} < 0$ 表示电流 I_{in} 的流向与图示的镜向电流方向相反。

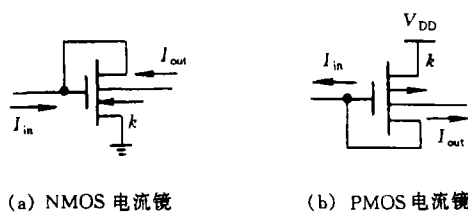


图 1

3.2 权值运算电路

利用电流镜的这种 I/O 特性, 我们在文献 [6] 的基础上实现了定义 1 中的权值运算“*”电路 (如图 2 所示)。

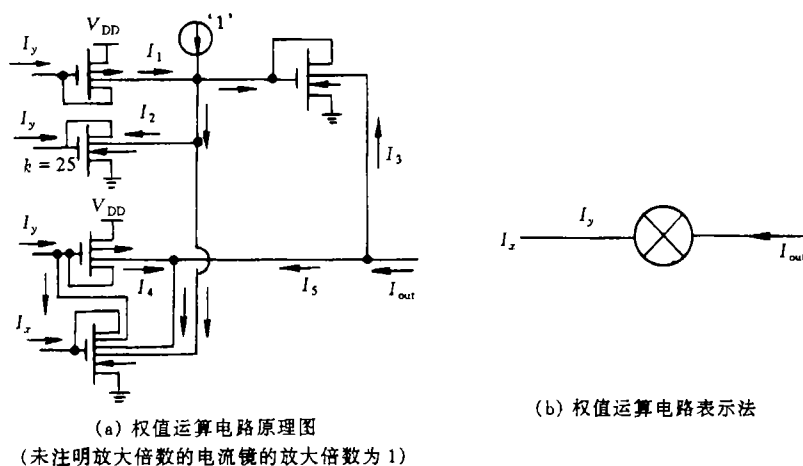


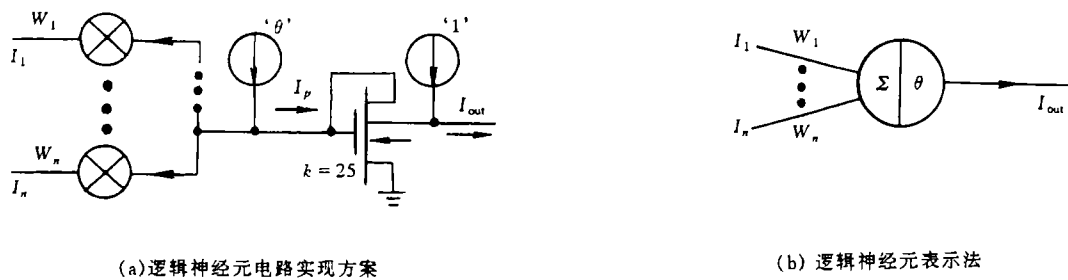
图 2

(1) 当 $I_y \geq 0$ 时, 根据 (1) 式得, $I_1 = 0, I_2 \geq 1$, 因此 $I_3 = 0$; 此时, 若 $I_x > I_y$, 则 $I_4 = I_x - I_y, I_5 = I_x - I_4 = I_y$; 若 $I_x \leq I_y$, 则 $I_4 = 0, I_5 = I_x - I_4 = I_x$, 即 $I_{\text{out}} = I_5 + I_3 = \min(I_x, I_y)$ 。

(2) 当 $I_y < 0$ 时, 根据 (1) 式得, $I_2 = 0, I_1 = |I_y|$, 则 $I_3 = 1 + I_1 - I_2 - I_x = 1 + |I_y| - I_x$, $I_4 = I_x + |I_y|, I_5 = I_x - I_4 = -|I_y|$, 即 $I_{out} = I_5 + I_3 = 1 - I_x$ 。综上所述, $I_{out} = \begin{cases} \min(I_x, I_y), & I_y \geq 0; \\ 1 - I_x, & I_y < 0. \end{cases}$

3.3 神经元电路

利用上节中设计的权值运算电路, 我们设计了一种定义 1 所定义的神经元的电路实现方法, 如图 3 所示。显然, $I_p = \theta - \sum_{i=1}^n (I_i * W_i)$, 根据 (1) 式可得 $I_{out} = \begin{cases} 1, & I_p \leq 0; \\ 0, & I_p > 0; \end{cases}$ 从而实现了阈值功能。



(a) 逻辑神经元电路实现方案

(b) 逻辑神经元表示法

图 3

4 神经元主要性质和应用

性质 1 当 n 维输入的逻辑函数 $y = f(x_1, \dots, x_n)$ 是一个线性可分函数时, 可用一个神经元实现; 当它是一个非线性可分函数时, 则需多个神经元组成网络来实现。

性质 2 三层神经网络可实现任意复杂的符号逻辑函数。

应用 根据性质 1、2, 可用一个神经元来实现“析取”、“合取”、“非”运算, 可用三个神经元来实现“异或”运算。

如图 4(a) 所示, 根据定义 1, 可得 $y_1 = \text{sgn}(\sum_{i=1}^n (1 \wedge P_i) - \theta) = \text{sng}(\sum_{i=1}^n P_i - \theta)$ 。因 $\theta < 1$, 故当且仅当 $P_i (i = 1, \dots, n)$ 全为 0 时, y_1 为 0, 即 $y_1 = \vee(P_1, P_2, \dots, P_n)$ 。从而实现“析取”运算。如图 4(b) 所示, 同理可实现“合取”运算。如图 4(c) 所示, 同理可实现“非”运算。如图 4(d) 所示, 同理可实现“异或”运算。

5 模拟实验

我们以 $2\mu\text{mCMOS}$ 典型工艺参数, 以二输入变量为例, 采用 PSPICE 软件进行了电路模拟。从下面的波形图中可测得每个神经元时延约为 8ns。

如图 4(a) 所示, 取 $n = 2, \theta = "1/2"$, 可得到实现“ P_1 或 P_2 ”功能的神经元电路; 如图 4(b) 所示, 取 $n = 2$, 可得到实现“ P_1 与 P_2 ”功能的神经元电路; 如图 3(b) 所示, 取 $n = 2, W_1 = "-1", W_2 = "1", \theta = "1/2"$, 可得到实现“ $I_1 \rightarrow I_2$ ”功能的神经元电路; 如图 4(d) 所示, 该电路为实现“ P_1 异或 P_2 ”功能的神经网络电路。

上述电路的 PSPICE 仿真程序实验结果分别如图 5 ~ 图 8 所示。

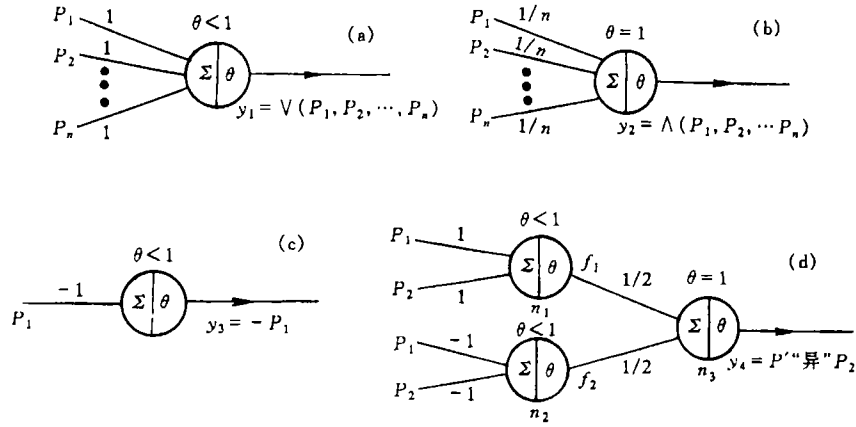


图 4

(a) “析取”运算 (b) “合取”运算 (c) “非”运算 (d) “异或”运算

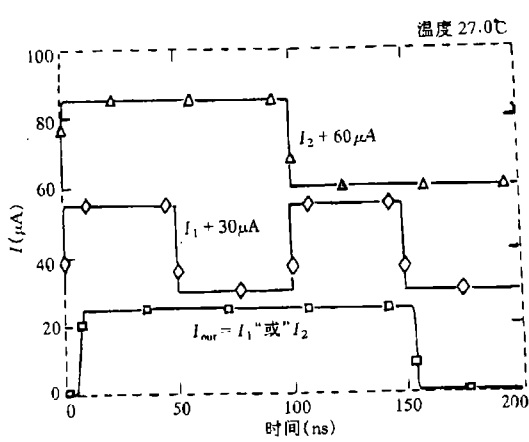


图 5 仿真“析取”神经元电路波形图

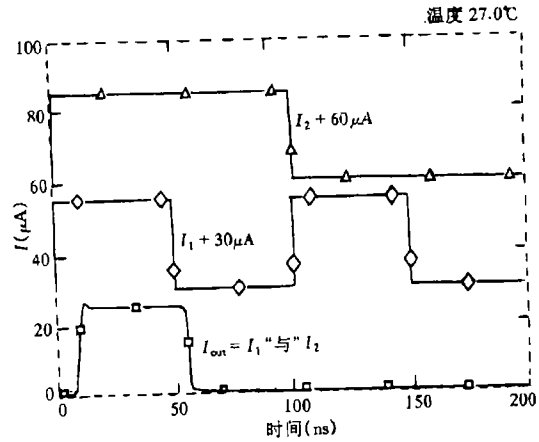


图 6 仿真“合取”神经元电路波形图

6 结束语

本文设计的逻辑神经元电路是为了构成大规模逻辑神经网络而设计的。只要考查一下电路不难发现，它允许阈值和逻辑电流的偏差较大。由该神经元电路组成的三层神经网络的逻辑功能完备，即利用大量的逻辑神经元组成的神经网络能实现任意的符号逻辑，仅需改变阈值和权值。阈值和权值的改变靠学习来完成。

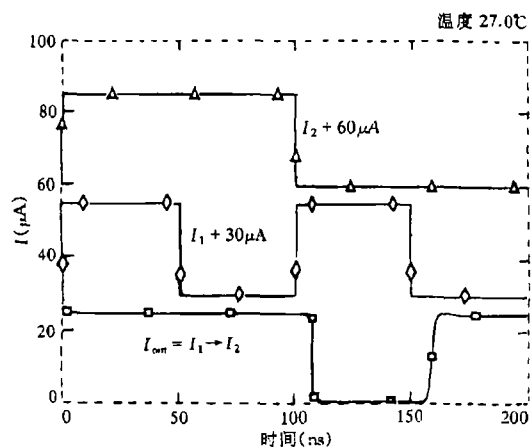


图 7 仿真“蕴含”神经电路波形图

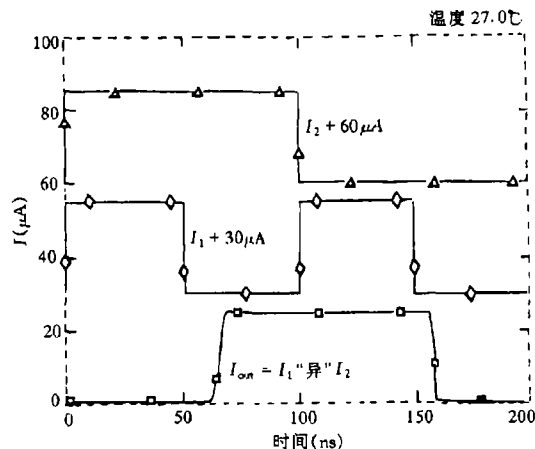


图 8 仿真“异或”神经电路波形图

参 考 文 献

- [1] Ghosh J, *et al.* OTA-based neural network architectures with on-chip tuning of synapses. *IEEE Trans. on CAS*, 1994, CAS-41(1): 49-58.
- [2] Saxena N, Clark J J. A four-quadrant CMOS analog multiplier for analog neural networks. *IEEE J. of Solid-State Circuits*, 1994, 29(6): 746-749.
- [3] Ron-Yi Liu, *et al.* A CMOS current-mode design of modified learning-vector-quantization neural networks. *Analog Integrated Circuits and Singal Processing*, 1995, (8): 157-181.
- [4] Tawel R. Learning in analog neural network hardware. *Computer Elect. Eng.*, 1993, 19(6): 453-467.
- [5] Yamakawa T, Miki T. The current mode fuzzy logic intergrated circuits fabricated by the standard CMOS process. *IEEE Trans. on Computer*, 1986, C-25(2): 161-167.
- [6] Li Zhijian, Jiang Hong. A CMOS Current-Mode High Speed Fuzzy Logic Microprocessor for a Real-Time Expert System. *IEEE CS, Proc. 20th ISMVL*, May 1990, 394-400.
- [7] 郑启伦, 赵明, 兰斌, 黄贯光. 用 MOS-DYL 工艺结构实现模糊逻辑功能. *电子学报*, 1995, 23(11): 50-54.

A SYMBOL-LOGIC-BASED NEURON MODEL AND
CIRCUIT IMPLEMENTATION

Wang Ruoyu Zheng Qilun Huang Guanguang

(Dept. of Computer Sci. and Tech., South China University of Technology, Guangzhou 510641)

Abstract In order to implement the symbol-logic-based neural network system, a model of logical neuron is defined in this paper. The logical neuron circuits and all kinds of logic-function circuits have been realized by using current-mode CMOS VLSI implementation. Finally, the results of circuits simulations are verified.

Key words MOS current mirror, Neuron circuit, Neural network

王若愚：男，1973年生，硕士，研究方向为模糊逻辑、人工神经网络的电子实现方法等。

郑启伦：男，1938年生，教授，博士生导师，从事多值逻辑、模糊逻辑、人工神经网络等方面的研究和教学工作。

黄贯光：男，1943年生，实验师，从事多值逻辑、模糊逻辑、电子系统等方面的研究工作。