

采用可编程器件的合成孔径雷达实时成像处理器 方位预处理电路的设计与实现¹

张 炬 王岩飞 谭湘莹

(中国科学院电子学研究所 北京 100080)

摘 要 该文讨论了在合成孔径雷达实时成像处理器中,采用子孔径带通滤波成像处理方法的方位预处理的设计,构造了一种用大规模可编程逻辑器件实现方位预处理的电路结构。文中给出了电路应用和实现结果。可以看到,该电路设计具有较高的运算效率、集成度、灵活性与可扩展性。

关键词 合成孔径雷达,子孔径成像处理,方位预处理,降采样,可编程逻辑器件,带通滤波
中图分类号 TN951, TN791

1 引 言

合成孔径雷达 (SAR) 是一种高分辨率的微波成像雷达^[1]。实时成像处理器是其核心部分,用于处理雷达原始回波信号,实时获得地面目标场(测绘带)内的聚焦图像。实时成像处理器中进行方位向脉冲压缩处理前,通常要进行方位预处理。它主要包括滤波和降采样两部分。一般情况下,合成孔径雷达特别是在机载情况下,脉冲重复频率比目标回波信号的多普勒带宽高很多。经过方位向的预滤波之后,可以保留回波信号有用的多普勒频率,去掉无用的杂波信号,使得以降低雷达回波信号在方位向的采样频率,达到减少信号数据量的目的。降低采样频率的过程即为降采样。雷达天线的孔径合成过程可由多种方法实现。子孔径法就是其中一种有效的成像处理方法。它是将合成大孔径的处理过程由合成几个小孔径的处理来实现的。

方位预处理的设计关键就在于如何选用适当的处理算法、良好的硬件实现结构、高速的运算器件和高速大容量信息存储器来满足系统大运算量和实时性的要求。可编程集成电路技术具有设计针对性强,集成度高,结构灵活等特点,其器件的速度与容量也达到了前所未有的程度,是一条解决问题的有效途径。本文的主要内容就是利用带通滤波的子孔径成像处理方法^[2],结合可编程集成电路技术构造了一种能够满足系统大运算量和实时性要求的实现方位预处理的电路结构。文中将首先介绍子孔径成像处理方法的方位预处理原理,然后介绍硬件电路的构成,其中重点描述可编程器件的电路设计,最后给出硬件实现后的应用结果。

2 方位预处理原理分析

合成孔径雷达的方位向高分辨率是通过对雷达和目标之间由相对运动产生的多普勒频率进行处理获得的^[1]。通常方位向的获取信号为离散信号,并且是以采样周期重复的。方位预处理对其进行处理,保留有效带宽。如图 1,斜线区域为有效带宽。子孔径成像处理就是将目标信号频谱分为若干频段分别进行处理。子孔径对应于不同频段。以所示为例,将目标频谱分为两个子孔径来进行。

设 SAR 输入方位信号为 $s(n)$ 。其频谱为 $S(\omega)$ 。

为方便起见,只考虑对子孔径 1 的处理。通常的处理方法,是将子孔径 1 的频谱移频,使中心频率至零频,之后进行低通滤波,再降采样。结果如图 2(a)。而改用带通滤波,直接用通带在子孔径 1 频谱处的滤波器对信号滤波,再降采样,结果如图 2(b)。相较可看出,两者只在频域上差一固定平移。因此,考虑省去移频的步骤,直接进行带通滤波和降采样,简化预处理过程。无论是低通还是带通滤波,所得的子孔径对应信号频谱较窄,可进一步降低采样频率,

¹ 2001-04-25 收到, 2001-06-28 定稿

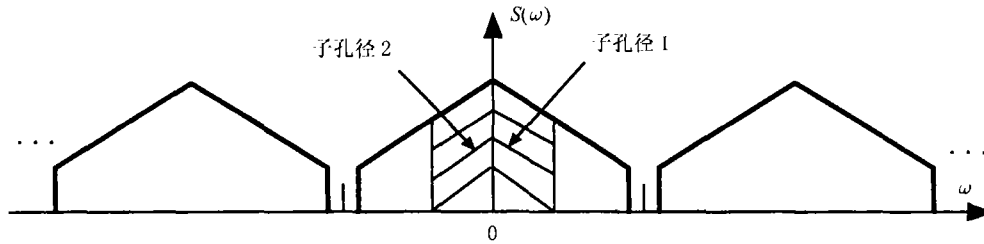
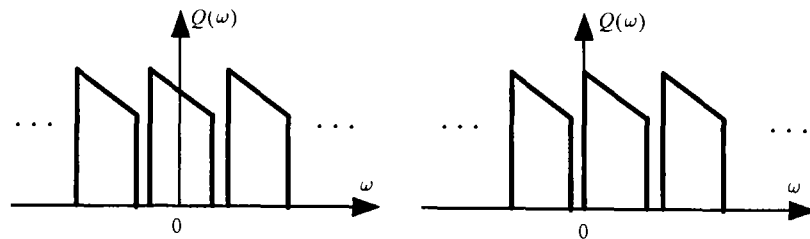


图 1 信号方位向频谱示意

减少信号数据量。使用带通滤波造成的平移问题可以在后续的频域中进行的方位处理中解决。这时的移频运算转化为存储器数据的重排，实施比较简单。而且经方位预处理后，数据量也减少许多，更加降低了处理量。



(a) 子孔径 1 移频低通滤波降采样后的信号频谱 (b) 子孔径 1 带通滤波降采样后的信号频谱

图 2 子孔径 1 经预处理后的信号频谱

对信号进行带通处理，滤波器选用偶对称的 FIR 滤波器。它具有严格的线性相位特性^[3]，这对于成像系统中相干信号处理来说是必须的。滤波带宽要与子孔径带宽及采样频率相适应。计算过程采用时域卷积法。该方法对系统的存储量要求适中，对运算能力要求较高，但其运算流程规范，设计便于模块化和标准化，如采用较好的处理结构，依然可以得到良好的运算效果。如下式：

$$y(n) = s(n) * h_c(n) = \sum_{k=0}^{N-1} h_c(k)s(n-k) \quad (1)$$

其中 $h_c(k)$ 为带通滤波系数，可先计算好，预置于电路中。

降采样计算过程如下：

$$q(n) = y(n \cdot K_s) = \sum_{k=0}^{N-1} h_c(k)s(n \cdot K_s - k) \quad (2)$$

其中 K_s 为降采样抽样比。从 (2) 式可以看出，运算中需要确定的结构参数有 3 个：滤波器阶数 N 、滤波器参数 $h_c(k)$ 和抽样比 K_s 。它们随系统要求而定。

3 方位预处理电路的结构设计

实现 SAR 实时成像处理器方位预处理电路可以采用的主要器件有两种：DSP 和可编程逻辑器件。它们各有突出的优点。DSP 的优势在于可利用的软件资源丰富，内部模块标准，通用

性、灵活性好等,但由于硬件组成结构固定,在客观上往往造成在具体系统中存在资源利用效率不足的问题。可编程逻辑器件的功能模块可以根据需要定制,针对性强,集成度高,能够较大幅度地发挥硬件资源的效率,不足之处是大部分模块要完全定制,设计工作量大。根据 SAR 的工作需要,尽可能地减少资源占用,我们选用可编程逻辑器件来构造方位预处理电路。要求该电路在高度集成化的同时,还要能满足系统的大运算量、大存储量,拥有足够的速度和充分的灵活性、可扩展性。

3.1 方位预处理电路的结构分析与设计

根据上面的分析,在对每个子孔径的处理中,每输入一个复数数据,需进行 4 个实数补码乘法,4 个实数补码加法,得到一个部分和复数结果。考虑到抽样比与滤波阶数的关系,设 $m = N/K_s$ 及子孔径个数 j ,每一输入数据要同时参加 $m \cdot j$ 组滤波运算,则运算量与结果数据量也要增大 $m \cdot j$ 倍,这要求电路必须有较强的运算能力及大的存储器。

在资源允许的条件下,提高并行程度,可以有效地增强运算能力。同时,考虑到系统的可扩展性,我们将运算按滤波关系分成并列的 $m \cdot j$ 个滤波单元,并行处理输入数据。每一单元可被看为一个独立的处理机,由数据处理器和中间结果存储器构成。各处理机独立地完成滤波过程,滤波参数根据相应的子孔径及滤波序列而定。这样划分使各单元工作独立,相互间交互较少。且各单元内部结构雷同,结构参数固定,减轻了设计负担。如要提高滤波阶数或减小抽样比,只需增加并列的单元数,可扩展性良好。

各处理机内部的数据处理器是相同的,分别完成一组滤波过程,承担核心计算工作。

中间结果存储器存放分步部分和。数据处理器每处理一个数据得到的中间量要与相应存储单元中的该滤波过程中已被处理过的前若干条距离线相同方位向数据所得的部分和相加,然后将结果覆盖存储到同一个位置。这样,针对每一条方位向只需安排一个存储单元,减少了存储资源占用。

电路结构如图 3。缓存用于协调输入数据率与电路的数据处理率,并同步接口数据时序;参数寄存器存放结构参数;监控分机接口通过控制总线获取主机指令;滤波单元有并列的 $m \cdot j$ 个,并行工作。每一单元由一数据处理器与一中间结果存储器构成。

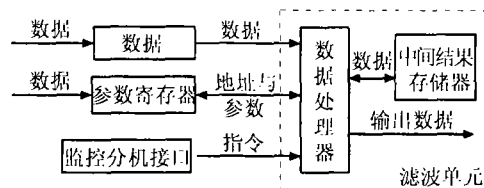


图 3 预处理分机结构图

3.2 数据处理器结构设计

数据处理器用于完成滤波过程的运算,在每一数据输入周期内进行 4 个实数补码乘法和四个实数补码加法。对可编程逻辑器件的硬件资源及反应速度都提出了较高的要求。

数据处理器内部结构如图 4。

程序计数器及状态控制单元是处理器的控制核心。根据主机指令,通过对时钟周期的计数值进行译码,产生各种控制信号,采用状态机模式控制各工作单元的进程;结构参数读单元用于读取结构参数;输入数据读单元控制读取外部缓存中的数据;乘法单元和加法单元完成计算功能;中间结果读写单元读写中间结果存储器中的部分和;数据输出单元将加法单元输出的或由中间结果读写单元读取的部分和数据转为适当格式按规定时序输出。

整个体系采用线性同步流水线结构^[4],以数据输入周期为单位,循环操作。处理器在每个数据输入周期的起始处接收一组输入数据,交乘法器运算。在周期结束后,交加法器计算。然后

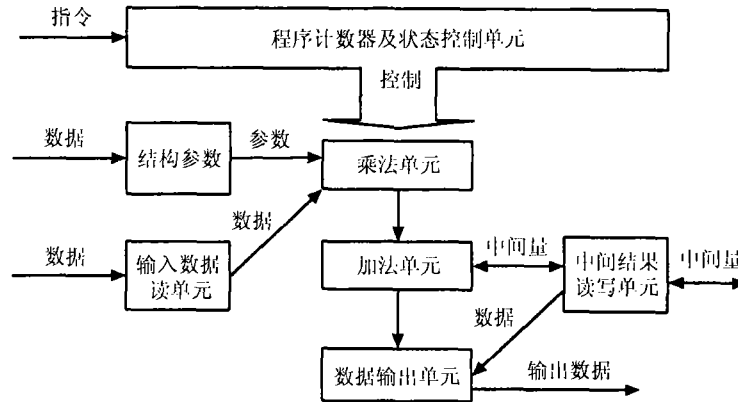


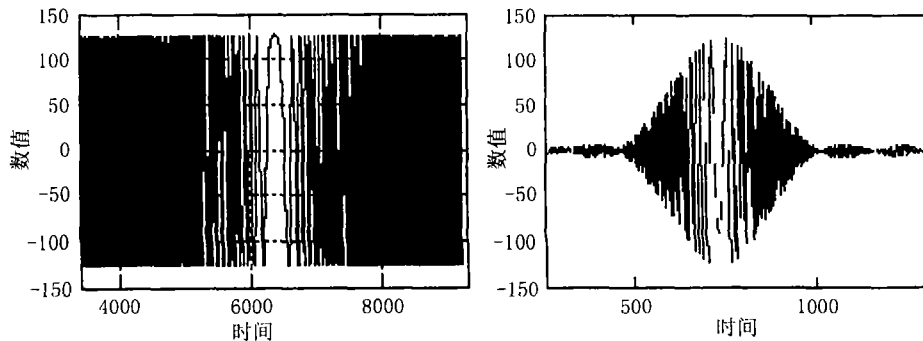
图 4 数据处理器结构图

每个加法器再将计算出的结果与前一方位向数据处理后所得的部分和求和，得到本次计算的部分和，随后储存。当处理到第 N 条距离线时，得到最后结果量，不再储存，按一定格式输出。

4 方位预处理电路的实现和应用

在机载 SAR 实时成像处理器中，本设计得到了具体运用。根据系统的技术要求，滤波器选用 24 阶的 Parks-McClellan^[3] 滤波器。参数取 14 位二进制补码。抽样比为 8。可编程逻辑器件选用 ALTERA 公司 FLEX10K 系列的元件^[5]。由于滤波阶数是抽样比的 3 倍，而且系统要求每条数据线分为两段同时并行输入，子孔径数目为 2，因此总共要同时完成 12 个处理过程。为了充分利用资源，尽可能地分时复用各结构单元，我们将对两个子孔径的同一滤波次序的前后两段数据进行处理共 4 个数据处理器合并在一枚芯片中完成，使复用所有功能模块。电路共使用了 3 片可编程逻辑器件，结构简洁，实现后的工作时钟可达 45MHz，完全满足了系统需要。

图 5(a) 是一段宽频带方位向雷达数据，图 5(b) 是其经方位预处理电路实际处理后的结果。两图横坐标有一比例差，是由于降低方位向采样率使数据得到压缩而造成的。



(a) 雷达原始数据

(b) 经方位预处理后的数据

图 5 方位向雷达数据及其经方位预处理后的结果

图 6 是一幅由采用可编程逻辑器件方位预处理板的实时成像处理器处理得到的雷达地貌图像。由此可看出, 所构造的方位预处理电路在系统中工作正常, 设计达到了预期的要求。

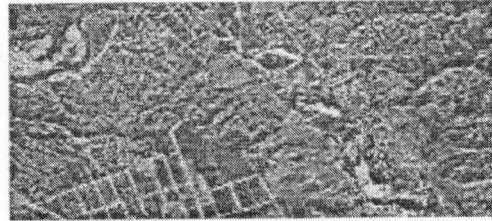


图 6 雷达地貌图像

5 结束语

本文介绍的电路结构具有合理的流水线结构和灵活的模块化设计, 使得电路运算效率高, 结构灵活, 可扩展性良好。超大规模可编程逻辑器件的优良特性是我们设计的基础, 由此构建的方位预处理电路集成度高, 结构简洁, 功耗低。可以预见随着可编程集成电路技术的发展, 将会有越来越多的设备从中得到品质的提升。

参 考 文 献

- [1] 张澄波, 综合孔径雷达原理、系统分析与应用, 科学出版社, 1989 年, 1-12.
- [2] 王岩飞, 带通滤波重抽样实现 SAR 子孔径方向预处理, 中国航空学会信号与信息处理专业第三届学术会议论文集, 北京, 1998, 84-89.
- [3] 王世一, 数字信号处理, 北京, 北京理工大学出版社, 1987, 186-304.
- [4] Kai Hwang, Advanced Computer Architecture, New York, McGraw-Hill Inc, 1993, Chapter 6.
- [5] Altera Data Book, Altera Inc, 2000.

THE DESIGN AND REALIZATION OF AZIMUTH PREPROCESS IN REAL TIME IMAGING PROCESSOR OF SYNTHETIC APERTURE RADAR WITH PROGRAMMABLE LOGIC DEVICE

Zhang Ju Wang Yanfei Tan Xiangying

(The Institute of Electronics, Chinese Academy of Sciences, Beijing 100080, China)

Abstract This paper describes the design and realization of the azimuth preprocess in the real-time imaging processor of SAR with programmable logic device by the method of sub-aperture using band-pass filter. The azimuth preprocess circuit implementation and its result are presented. It can be gotten that the circuit performance is satisfactory in operation efficiency, integration degree, implementation convenience and expandability.

Key words Synthetic aperture radar, Sub-aperture, imaging process, Azimuth preprocess, Data-collection rate reducing, Programmable logic device

张 炬: 男, 1971 年生, 硕士生, 学习方向为通信与信息系统。

王岩飞: 男, 1963 年生, 研究员, 主要研究领域为信号处理和微波成像技术。

谭湘莹: 女, 1976 年生, 助理研究员, 主要研究方向为信号处理。