

神经网络高精度权值的模拟电路实现

高丽娜 邱关源

(西安交通大学电气工程系, 西安 710049)

摘要 本文提出了一种电流模式 4-bit 可调权值模拟神经元电路, 权值易存储而且精度高, 该电路可扩展为 8-bit 等多值分立权的神经元电路。文章扼要分析了神经元电路的工作原理, 并用 SPICE II 进行仿真, 证明了这种电路的正确性。

关键词 神经网络; 神经元; MOS 集成电路

1. 引言

人工神经网络 (ANN) 的大规模并行处理, 容错性和联想记忆能力吸引了不少研究者, 神经网络的理论研究和软件模拟都取得了成就。但是, 由于冯·诺依曼计算机的串行处理方式不能充分显示神经网络的优越性, 因此神经网络的实用强烈地依赖于硬件的实现。硬件实现主要途径之一就是电路实现^[1-6]。由于 VLSI 技术的成熟, 使得神经网络集成化成为可能, 从而能更好地显示神经网络的优点。本文基于神经元的基本模型, 采用 CMOS 工艺提出了一种电流模式 4-bit 可调分立权值的神经元电路, 提高了权值精度。本文第二部分对神经元突触电路进行了分析。第三部分对实现阈值函数电路进行了讨论。第四部分给出了 SPICE 仿真结果, 从而证明了所设计电路的正确性。

2. 突触电路

图 1 是一个 4-bit 可调权值的突触电路, 权值 B_3, B_2, B_1, B_0 由 $MS_9, MS_{10}, MS_{13}, MS_{14}, MS_{17}, MS_{18}, MS_{21}$, 和 MS_{22} 8 个 MOS 管栅压表示, 即

$$B_i = \begin{cases} 0, & V_{B_i} = -5V \\ 1, & V_{B_i} = 5V \end{cases} \quad i = 0, 1, 2, 3 \quad (1)$$

为获得 4-bit 权值, $MS_8, MS_{12}, MS_{16}, MS_{20}$ 4 个管子和 $MS_7, MS_{11}, MS_{15}, MS_{19}$ 4 个管子版图尺寸关系分别为

$$(W/L)_{MS_8} : (W/L)_{MS_{12}} : (W/L)_{MS_{16}} : (W/L)_{MS_{20}} = 8:4:2:1$$

$$(W/L)_{MS_7} : (W/L)_{MS_{11}} : (W/L)_{MS_{15}} : (W/L)_{MS_{19}} = 8:4:2:1$$

电路中 MC_1, MC_2, MC_3, MC_4 构成偏置电路。输入信号 V_{in} 经开关 MS_3, MS_4 把 MS_1, MS_2 两管中电流转化为兴奋性电流或抑制性电流, 即当 $V_{in} = 5V$ 时, 在 MS_0 管中得到兴奋性电流 (I_+); 当 $V_{in} = -5V$ 时, MS_5 管中得到抑制性电流 (I_-)。对于一

1992.07.08 收到, 1993.02.08 定稿。

高丽娜 女, 1964 年生, 博士研究生, 现从事神经网络的 VLSI 实现。

邱关源 男, 1923 年生, 教授, 现从事电路理论的教学和研究。

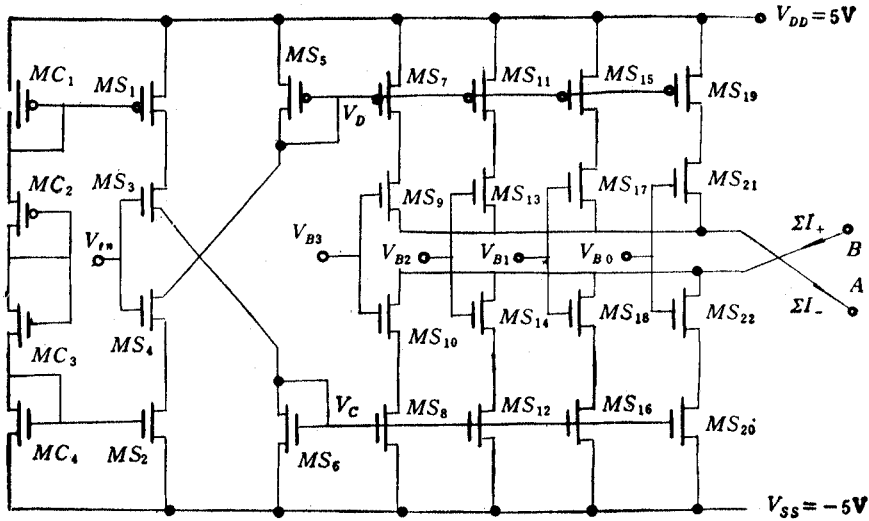


图1 突触电路

个突触,神经元输出电流为

$$I = (2^3 \cdot B_3 + 2^2 \cdot B_2 + 2^1 \cdot B_1 + 2^0 \cdot B_0) \times I_{\min} \times f(V_{in})$$

$$f(V_{in}) = \begin{cases} I_+, & V_{in} = 5V \\ I_-, & V_{in} = -5V \end{cases} \quad (2)$$

其中 I_{\min} 为最小兴奋性电流 ($I_{+\min}$) 或最小抑制性电流 ($I_{-\min}$), 它们分别由 MS_{20} , MS_{19} 决定, 并且

$$I_{\min} = I_{+\min} = I_{-\min} \quad (3)$$

$f(V_{in})$ 为输入电压函数:

$$f(V_{in}) = \begin{cases} 1, & V_{in} = 5V \\ -1, & V_{in} = -5V \end{cases} \quad (4)$$

由此可见,图1所设计的电路完成了输入信号与权值的乘法运算。根据基尔霍夫电流定律在电路节点 A, B 两点对兴奋性电流和抑制性电流分别进行求和,从而完成了突触的乘法求和运算功能。

3. 实现阈值函数电路

图2是实现阈值函数电路。MOS管 MN_1, MN_2, MN_3 和 MN_4 构成电流比较器对兴奋性电流和抑制性电流进行比较。如果 $\Sigma I_+ > \Sigma I_-$, 则 V_o 是高电平; 如果 $\Sigma I_- > \Sigma I_+$, 则 V_o 是低电平。

当 $\Sigma I_+ < \Sigma I_-$ 时, 有

$$V_o = V_{SS} + \sqrt{\frac{2L_{MN_2}\Sigma I_-}{\mu_n C_{ox} W_{MN_2}}} - \sqrt{\frac{2L_{MN_4}}{\mu_n C_{ox} W_{MN_4}} \left(\frac{W_{MN_4} L_{MN_2} \Sigma I_-}{L_{MN_4} W_{MN_2}} - \frac{W_{MN_3} L_{MN_1} \Sigma I_+}{L_{MN_3} W_{MN_1}} \right)} \quad (5)$$

其中 μ_n 为电子迁移率, C_{ox} 为栅氧化层电容。而当 $\Sigma I_+ \ll \Sigma I_-$ 时, 得

$$V_o = V_{SS}$$

当 ΣI_+ 与 ΣI_- 相近时, 有

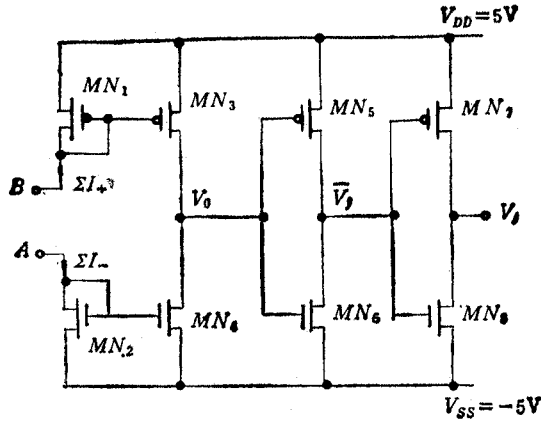


图 2 阈值函数电路

$$V_0 = \frac{\left\{ \frac{(W/L)_{MN_1}}{(W/L)_{MN_2}} \cdot \Sigma I_+ + \frac{(W/L)_{MN_3}}{(W/L)_{MN_4}} \cdot \Sigma I_+ \cdot \lambda_{MN_3} \cdot V_{DD} - \frac{(W/L)_{MN_5}}{(W/L)_{MN_6}} \cdot \Sigma I_- + \frac{(W/L)_{MN_7}}{(W/L)_{MN_8}} \cdot \Sigma I_- \cdot V_{SS} \right\} / \left\{ \frac{(W/L)_{MN_5}}{(W/L)_{MN_6}} \cdot \Sigma I_+ \cdot \lambda_{MN_5} + \frac{(W/L)_{MN_7}}{(W/L)_{MN_8}} \cdot \Sigma I_- \cdot \lambda_{MN_7} \right\}}{\quad} \quad (6)$$

其中 $\lambda_{MN_3}, \lambda_{MN_7}$ 分别表示 MN_3 管, MN_7 管的沟道长度调制参数。

当 $\Sigma I_+ > \Sigma I_-$ 时,有

$$V_0 = V_{DD} - \sqrt{\frac{2L_{MN_1}\Sigma I_+}{\mu_p C_{ox} W_{MN_1}}} + \sqrt{\frac{2L_{MN_3}\Sigma I_+}{\mu_p C_{ox} W_{MN_3}} - \frac{2W_{MN_5}L_{MN_7}\Sigma I_-}{\mu_p C_{ox} W_{MN_5}W_{MN_7}}} \quad (7)$$

而当 $\Sigma I_+ \gg \Sigma I_-$ 时,得

$$V_0 = V_{DD}$$

图 2 中 MN_5, MN_6, MN_7 和 MN_8 4 个 MOS 管组成两级倒相器, 以提高神经元输出增益。

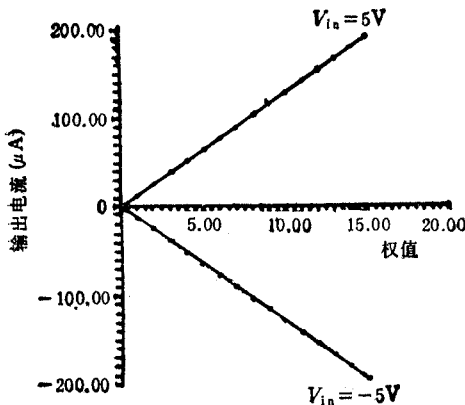


图 3 乘法特性仿真结果

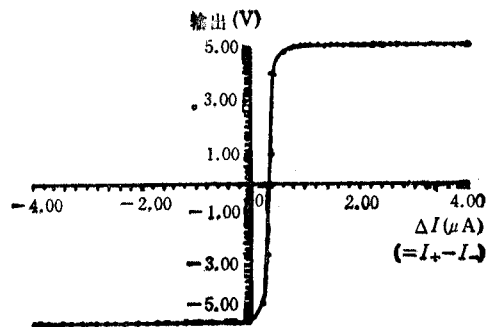


图 4 阈值函数电路仿真结果

4. SPICE 电路仿真结果

图 3 是对乘法特性的仿真结果,满量程线性度约为 0.28%。

图 4 是阈值函数电路的仿真结果。仿真中 I_- 取 $5\mu\text{A}$, I_+ 从 $1\mu\text{A}$ 到 $9\mu\text{A}$ 进行扫描,可以看出曲线具有很好的阶跃性。非线性函数的失调电流约为 $0.36\mu\text{A}$,仅为神经元电路中最小电流(约 $12.7\mu\text{A}$)的 2.8%,保证了神经元的正常工作,即工作在阶跃函数模式。

5. 结束语

基于电流模式模拟电路原理和神经元基本模型,提出了一种分立权值阶跃处理函数神经元电路,并从理论上扼要分析了神经元电路的特性。该电路采用模拟 MOS 电路,易于实现高密度神经网络的集成化。这种 4-bit 权值神经元电路还可扩展为 8 位, 16 位, 32 位等权值神经元电路与数字计算机兼容。本文给出的 SPICE 电路仿真结果表明,该电路性能达到了设计要求,具有良好的神经元特性。

参 考 文 献

- [1] L. E. Atlas, Yoshitake Suzuki, *IEEE Circuits and Devices Magazine*, 5(1989)6, 20—24.
- [2] H. P. Graf, L. D. Jackel, *IEEE Circuits and Devices Magazine*, 5(1989)4, 44—49.
- [3] S. Y. Foo, L. R. Anderson, Yoshiyasu Takefuji, *IEEE Circuits and Devices Magazine*, 6(1990)4, 18—26.
- [4] M. Vereysen, P. G. A. Jespers, *IEEE Micro*, 9(1989)6, 46—55.
- [5] A. G. Andreou et al., *IEEE Trans. on NN*, NN-2(1991)2, 205—213.
- [6] G. Moon, M. E. Zaghloul, R. W. Newcomb, *IEEE Trans. on NN*, NN-2(1992)3, 394—403.

ANALOG CIRCUIT IMPLEMENTATION OF NEURAL NETWORK WITH HIGH PRECISION WEIGHTS

Gao Lina Qiu Guanyuan

(Xi'an Jiaotong University, Xi'an 710049)

Abstract A current-mode MOS neuron circuit with 4-bit programmable weights is presented using CMOS technology. The weights of the neuron have high resolution and also can easily be digitally stored. The resolution can be extended into higher levels such as 8-bits, etc. by the design methodology presented in this paper. The operation principle of the neuron is discussed. Circuit simulation has been made by use of SPICE II. The results give a good agreement for the design requirements.

Key words Neural Networks; Neurons; MOS integrated circuits