

# 内插在码元同步中的应用及实现

刘 宁

(东南大学移动通信国家重点实验室 南京 210096)

**摘 要:** 在采样时钟固定且采样速率受限的情况下接收机的采样时刻不一定在信号的最佳判决点, 此时码元判决受 ISI 影响较为严重。该文以数字内插理论为基础, 提出了利用内插提高码元同步精度的方法, 讨论了内插滤波器的特性及其基于多相分解的硬件实现结构。

**关键词:** 码元同步, 内插, 内插滤波器

**中图分类号:** TN929.5      **文献标识码:** A      **文章编号:** 1009-5896(2005)04-0592-03

## Interpolation in Symbol Synchronization and Its Implementation

Liu Ning

(National Mobile Communications Research Laboratory, Southeast University, Nanjing 210096, China)

**Abstract** The sampling time of the receiver might miss the best decision point when sampling clock is fixed and rate of sampling is limited. Under this circumstances, symbol decision is affected badly by ISI. In this paper, a method of enhancing the precision of symbol synchronization using interpolator is introduced based on theory of digital interpolation, and the feature of the interpolation filter and its efficient implementation structure based on polyphase decomposition is discussed.

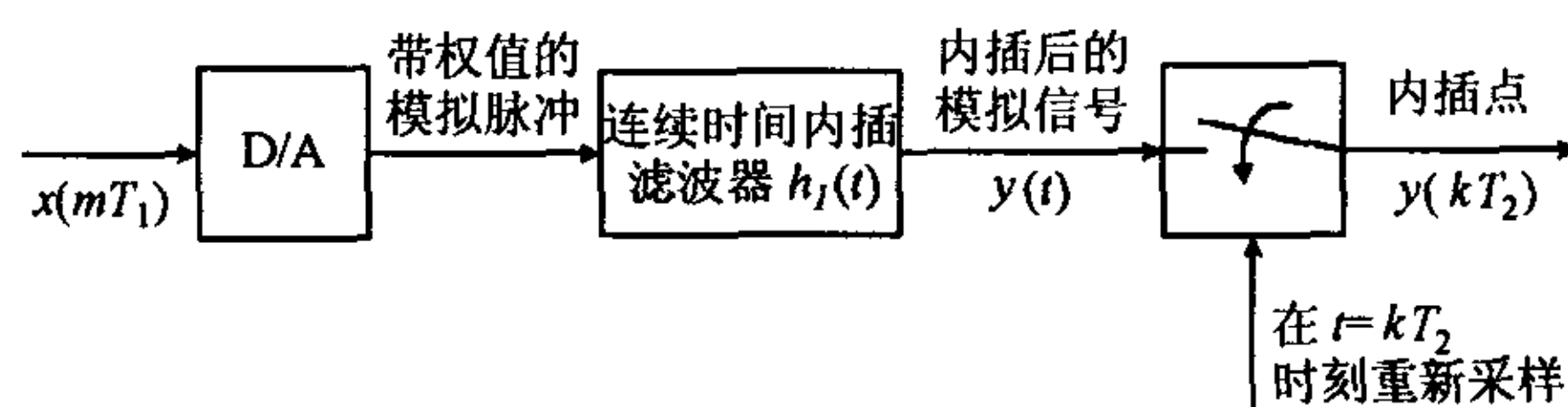
**Key words** Symbol synchronization, Interpolation, Interpolation filter

### 1 引言

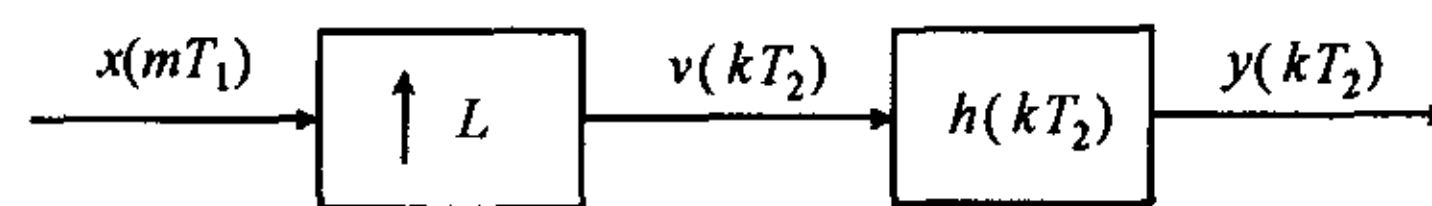
在数字通信系统中, 为了在无符号干扰的情况下恢复数据, 解调器的输出必须以码元速率周期性地精确的采样时刻  $t_m = mT + \tau$  上采样, 其中  $T$  是码元间隔,  $\tau$  是信号传播延时。在传统的接收机中, 一般通过反馈环路调整采样时钟的相位, 使得接收机在最佳判决点对信号采样。当系统采用高稳定度、高精度的晶振时, 若采样时钟和码元的定时同步互为独立, 则考虑通过数字处理方法调整接收机定时的方法。直接的方法是在接收端过采样, 但对于高速无线传输系统, 高的过采样率意味着系统实现复杂度的增加。从数字信号处理的角度来看, 理想内插相当于提高了信号的采样频率, 在时域可以恢复波形的细节, 因此如果利用内插的方法来估计最佳判决点, 同样可以提高同步精度, 并且可以大大提高系统结构的灵活性。

### 2 数字内插的原理

在数字信号处理中, 内插意味着对信号进行采样速率的变换。从概念上来理解, 内插过程可以描述成图 1(a)所示的模型<sup>[1]</sup>。



(a) 虚拟的混合模拟 / 数字速率变换方法



(b) 实际的数字速率变换方法

图 1 内插的速率变换模型

该模型示出了一种虚拟的混合 A/D 速率变换方法, 数字内插可以看成采样信号经 D/A 变换、模拟内插滤波器  $h_1(t)$  后, 按新的采样速率重新采样的结果。重新采样后的内插点如下:

$$y(kT_2) = \sum_m x(mT_1) h_1(kT_2 - mT_1) \quad (1)$$

但实际上, 改变采样率并不一定需要上述的 D/A、A/D 变换过程, 而是直接用数字处理的方法完成。这时内插过程如图 1(b)所示。其中,  $\uparrow L$  表示零值内插, 即在  $x(m)$  相邻采样点间插  $L-1$  个 0, 内插后得到  $v(k)$ , 同时采样间隔由  $T_1$  变为  $T_2$ , 且  $T_2 = T_1/L$ 。

若采用理想的内插滤波器, 内插后, 时、频域有图 2 所示的变化。图中描述了 3 倍内插的情况。从图可见, 理想内

插相当于提高了信号的采样频率, 在时域中可以恢复波形的细节。

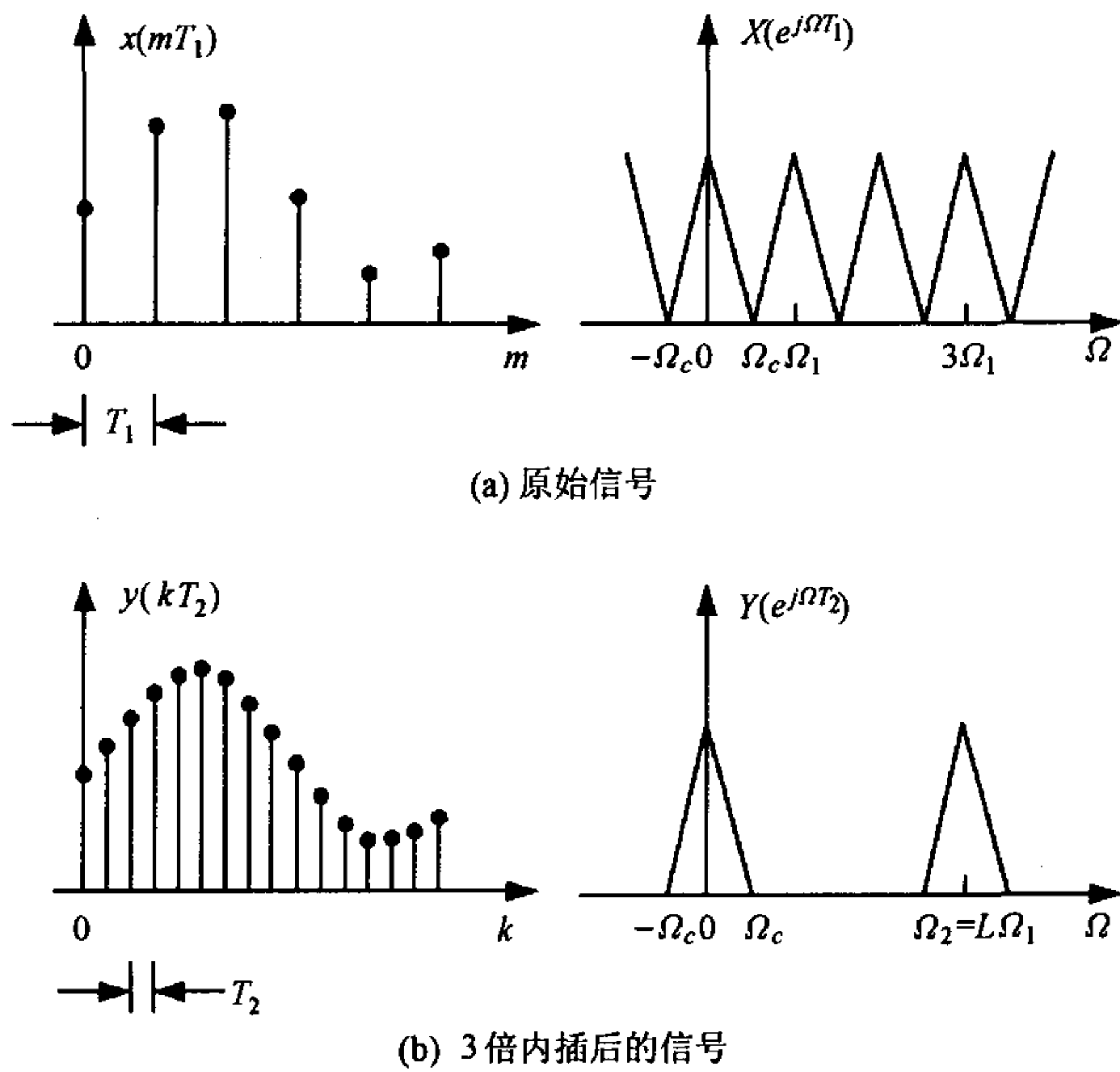


图 2 内插前后时、频域变化

### 3 基于内插的码元同步模型

在采样时钟和码元的定时同步互为独立的系统中, 我们寻求不增加采样频率就能获得最佳采样点的方法。由前述内插理论可见, 通过内插运算能够获得原始波形的细节, 由此可以进一步得到接近理论上最佳采样时刻的采样值。图 3 描述了此同步方案的模型。

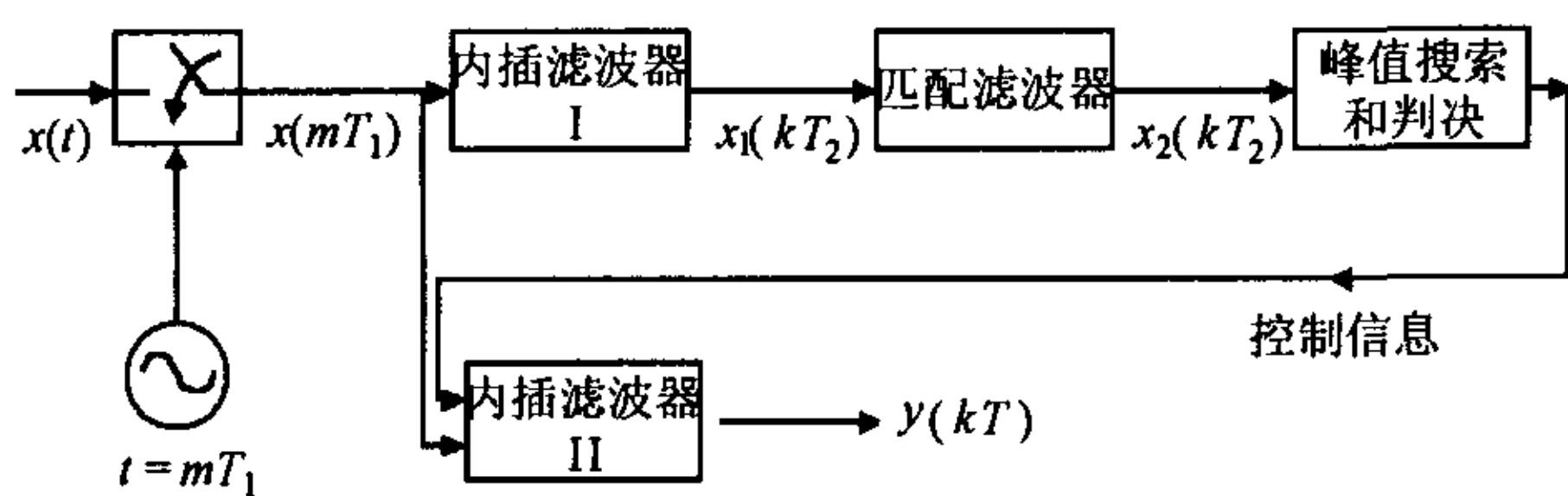


图 3 基于内插的码元同步模型

假设码元周期为  $T$ , 采样时钟周期  $T_1 = T/2$ 。将两倍过采样后的信号  $x(mT_1)$  送入  $L$  倍插值滤波器 I, 得到  $2L$  倍过采样信号。可见,  $L$  越大, 理论上过采样的倍数就越高, 通过匹配滤波和后续判决所获得的最佳采样时刻就越逼近理想的采样点。

图 3 中的匹配滤波器匹配于发送的同步码, 它用于数据定时, 即找到数据的帧边界。当接收数据恰好是同步码时, 滤波之后会出现峰值。峰值搜索和判决单元用来进行同步判决和产生定时控制信息, 它会将有关最佳采样时刻和相应帧边界的信息告诉插值滤波器 II, 插值滤波器 II 完整的滤波器系数同插值滤波器 I, 但因为获得了最优采样时刻, 它只需动态调用部分系数构成的子滤波器即可, 其输出是具有  $1/(2L)$  码元精度的按码元速率  $1/T$  传输的定时调整后的数据。

## 4 内插滤波器

### 4.1 内插滤波器的选择

内插是一种变速率滤波, 因此内插过程实现的重点在于内插滤波器的实现。由图 2 可见, 实现理想内插的内插滤波器  $h(k)$  应具有理想低通特性, 即

$$H(e^{j\omega}) = \begin{cases} L, & |\omega| \leq \pi/L \\ 0, & \text{其它} \end{cases} \quad (2)$$

其反变换具有 sinc 函数特性, 即

$$h(k) = \frac{\sin(\pi k/L)}{(\pi k/L)}, \quad k = 0, \pm 1, \pm 2, \dots \quad (3)$$

理想内插滤波器的冲击响应在理论上是无限长的, 但在实际应用中, 只能采用有限长序列。由 sinc 函数的脉冲波形知, 其拖尾按  $1/t$  衰减, 收敛到零的速度很慢, 截短后会产生较大的内插误差。于是采用尾部衰减速率快 ( $1/t^3$  衰减速率) 的升余弦滤波器<sup>[2]</sup>。图 4 比较了长度为 37 的 3 带升余弦 FIR 滤波器(滚降因子为 0.15)和 sinc 函数 FIR 滤波器的时、频域波形。

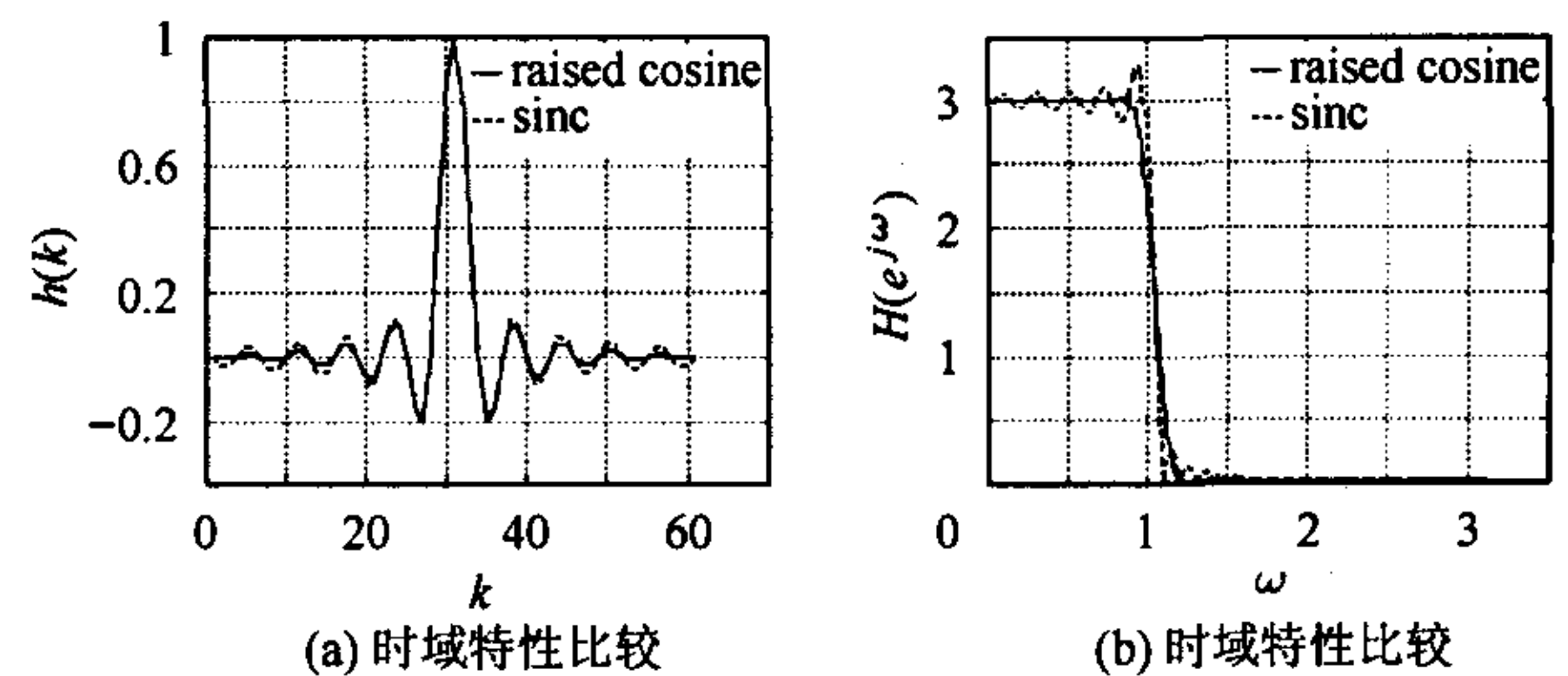


图 4 余弦滤波器(滚降因子为 0.15)和 sinc 函数滤波器时、频域比较 ( $N=37, L=3$ )

显然, 以截短的升余弦滤波器作为 FIR 内插滤波器具有更优的时频响应特性, 并且由于时域局部型带来的性能损失将随滤波器长度的增加而减小。

### 4.2 内插滤波器的实现

4.2.1 滤波器的多相分解结构 若直接采用图 1(b)所示的内插结构, 可以看到卷积运算在高采样率端进行。若滤波器的长度为  $N$ , 在  $T_1/L$  时间内需完成  $N$  次乘法和  $N-1$  次加法, 显然, 随着  $N$  的增加, 单位时间内的运算量会显著增加, 且对系统运算速度的要求也会随之提高。

利用多相分解的方法可以设计一种高效的滤波器实现结构——多相滤波器<sup>[3,4]</sup>。

对冲击响应序列  $h(k)$ , 任意  $k$  可以表示成  $k = Lm + r, 0 \leq r \leq L-1$ , 则

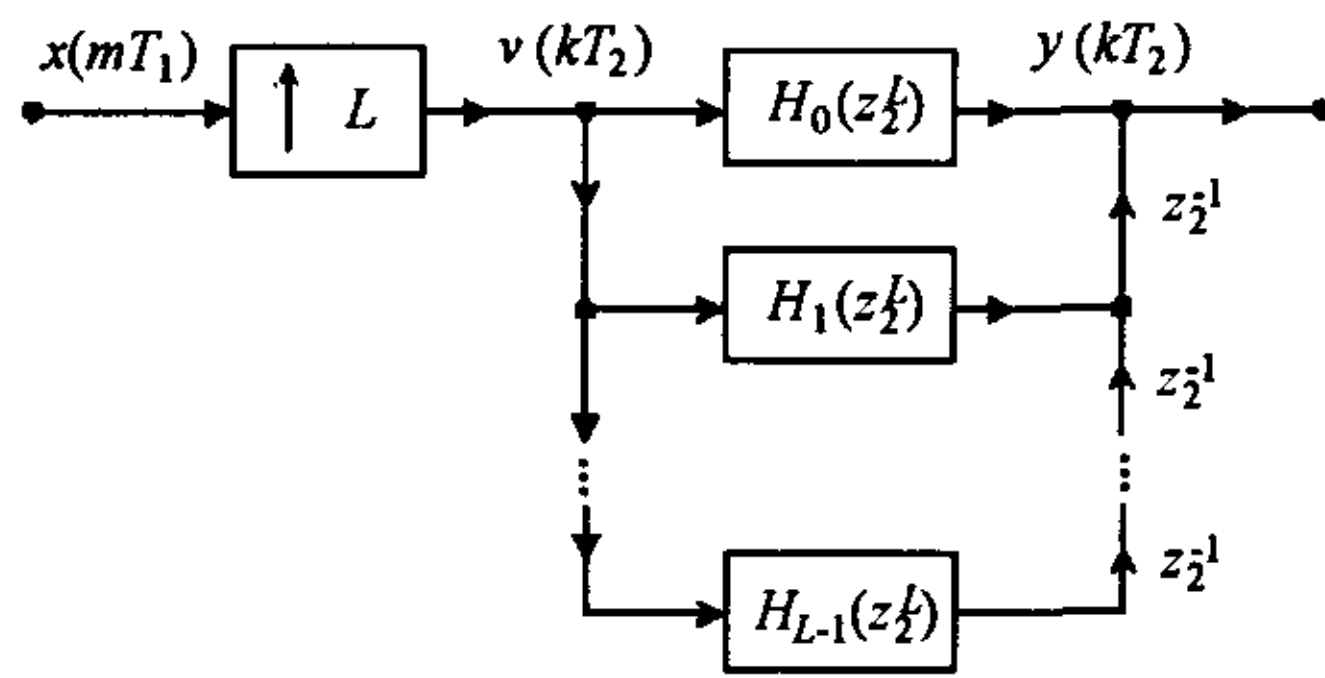
$$\begin{aligned} H(z) &= \sum_{k=-\infty}^{+\infty} h(k)z^{-k} = \sum_{m=-\infty}^{+\infty} \sum_{r=0}^{L-1} h(Lm+r)z^{-(Lm+r)} \\ &= \sum_{r=0}^{L-1} \left[ \sum_{m=-\infty}^{+\infty} h(Lm+r)(z^L)^{-m} \right] z^{-r} = \sum_{r=0}^{L-1} H_r(z^L)z^{-r} \end{aligned} \quad (4)$$

式中

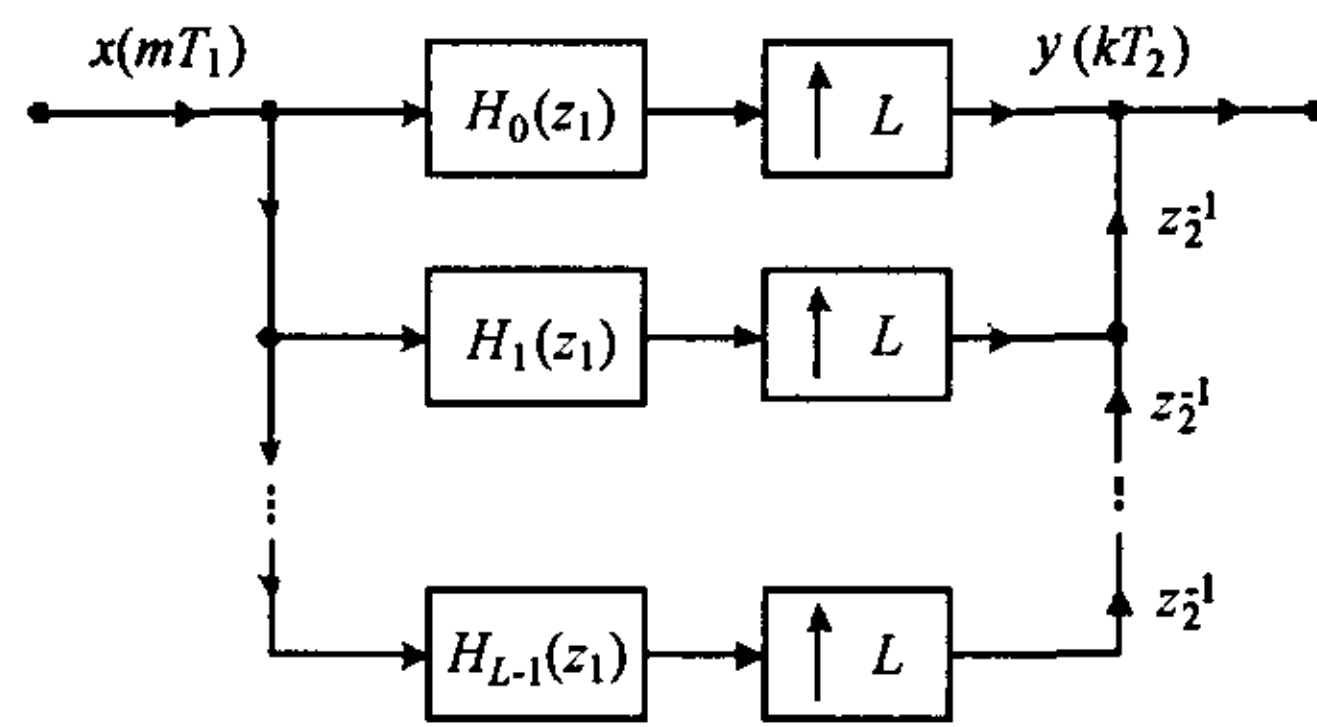
$$H_r(z^L) = \sum_{m=-\infty}^{+\infty} h(Lm+r)(z^L)^{-m} \quad (5)$$



于是, 滤波器可转换成图 5 (a)所示的多相结构。



(a) 滤波器的多相结构



(b) 高效的多相结构

图 5 内插系统的多相表示

此时卷积运算仍在高采样率一侧, 利用多速率系统网络结构的等效变换, 可得图 5(b)所示的高效结构。这时卷积运算已移到低采样率一侧, 从而大大地减少了运算量。

多相分解后每个子序列  $h_r(m) = h(mL + r)$ ,  $r = 0, 1, 2, \dots, L-1$  等效于采样频率为  $1/T_1$  的独立的线性时不变滤波器, 相对于原型滤波器  $h(k)$ , 采样频率均降低为原来的  $1/L$ 。这些滤波器称为多相滤波器。因为多相滤波器  $h_r(m)$  是  $h(k)$  的抽取 (抽样间隔为  $L$ ), 所以, 当原型滤波器的频率响应的频率范围为  $|\omega| \leq \pi/L$  时, 多相滤波器的频率响应的频率范围扩展为  $|\omega| \leq \pi$ , 若原型滤波器的频率响应近似于理想低通特性, 则多相滤波器近似于全通函数, 且分别移相  $2\pi r/L$ , 即

$$H_r(e^{j\omega}) = \frac{1}{L} \sum_{n=0}^{L-1} H(e^{j(\omega - 2\pi n/L)} e^{-j2\pi n/L}) \quad (6)$$

4.2.2 内插滤波器的硬件实现 FIR 滤波器一般由移位寄存器、乘法器和加法器实现。其中乘法器占用的逻辑资源较多, 考虑采用复用的方法节省其资源。同时充分考虑所采用芯片的特点<sup>[5]</sup>, 可利用片内丰富的存储资源灵活地搭建移位寄存器的结构。在图 4 的码元同步模型中, 若内插滤波器 I 采用 3 倍内插, 可将同步精度提高到 1/6 码元精度。此时, 采用 4.1 节所述的长度为 37 的升余弦 FIR 滤波器, 可以设计出其基于多相分解的实现结构, 如图 6 所示。

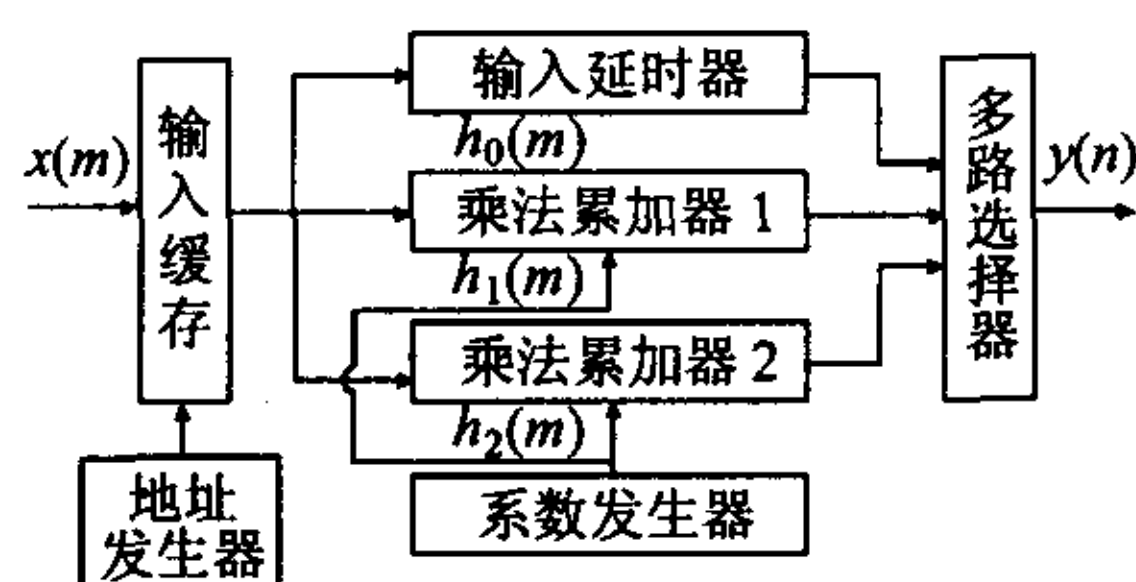


图 6 长度为 37 的 3 带升余弦 FIR 滤波器的多相分解实现

此时滤波器被分解为 3 个多相滤波器  $h_r(m)$ ,  $r = 0, 1, 2$ 。分析其特点知, 除  $h_0(6) = 1$  外  $h_0(m)$ ,  $m = 0, 1, \dots, 12$  的其余抽头均为 0, 所以对多相滤波器  $h_0(m)$  的运算相当于对输入做简单的延时。而  $h_1(m)$ ,  $h_2(m)$  则分别复用一对 (I, Q 两路) 乘法器做阶数为 12 的乘法累加, 因此整个内插过程只需 4 个乘法器, 相对于流水结构, 硬件消耗大大减少。

复用减少了硬件的消耗, 但对系统内部的处理速度提出了高的要求。由于引入了多相分解的结构, 使滤波器的卷积运算在低采样率端进行, 且分解大大降低了每个卷积运算的长度, 因此, 只需将内部处理速度相对于输入采样率提高 12 倍即可。这相对于直接实现结构需将内部处理速度提高  $L$  倍来实现复用, 时钟频率大大降低。

从内插器的输入输出速率来看, 3 倍内插使得每输入一个点将输出 3 个插值点, 即输出速率是输入速率的 3 倍。同时从图 5(b)可以看出, 网络后端的零值内插和延时单元从功能上可以等效为一多路时分复用单元, 所以, 通过多路选择器可实现其功能。

以 30.72MHz 为基本时钟频率按图 6 所示的设计结构实现 3 倍内插, 输入信号和抽头系数分别进行 16bit 和 8bit 量化, 输出 17bit。采用 Xilinx 公司的 Virtex-II 系列 xc2v3000 芯片实现, 共使用 484 个 SLICES, 占整个芯片 3% 的逻辑门资源。

## 5 结论

本文从数字信号处理的角度, 提出了利用内插估计最佳判决点, 从而提高码元同步精度的方法。它无需调整采样时钟, 也不需要一味地提高接收机的采样频率而给系统实现带来负担, 相比传统的码元同步方法, 它具有更高的稳定性且更易实现。文中对内插滤波器的选择和实现结构进行了讨论, 并给出了基于多相分解的硬件实现方案。

## 参考文献

- [1] Gardner F M. Interpolation in digital modems-Part I: Fundamentals [J]. *IEEE Trans. on Commun.*, 1993, 41(3): 501 - 507.
- [2] Proakis J G. Digital Communications. Fourth Edition, New York: McGraw-Hill Companies Inc, 2001: 559 - 561.
- [3] Crochiere R E, Rabiner L R. Interpolation and decimation of digital signals-A tutorial review. *Proc IEEE*, 1981, 69(3): 300 - 331.
- [4] 宗孔德. 多抽样率信号处理. 北京: 清华大学出版社, 1996: 37 - 47.
- [5] Xilinx Inc. Virtex-II Platform FPGA Handbook. San Jose, CA., 2001.

刘宁: 女, 1977 年生, 硕士生, 主要研究方向为 B3G 移动通信系统中的定时同步技术。