

基于 2N-2N2P 结构的绝热非整数除电路设计

汪鹏君**** 方振贤* 刘莹*** 黄道***

*(宁波大学电路与系统研究所 宁波 315211)

** (黑龙江大学电子工程学院 哈尔滨 150080)

*** (华东理工大学信息科学与工程学院 上海 200237)

摘要 该文首先利用 2N-2N2P 逻辑电路结构, 实现能量和信息均可恢复的绝热触发器, 然后利用误差计算和偏差校正的方法, 提出稳定的能量信息恢复型绝热非整数除电路设计方案, 最后用计算机模拟程序检验了上述电路的正确性。

关键词 2N-2N2P 结构, 绝热, 能量信息恢复, 非整数除电路

中图分类号: TN431.2

文献标识码: A

文章编号: 1009-5896(2006)02-0380-05

Design of Adiabatic Non-integer Division Circuit Based on the 2N-2N2P Structure

Wang Pengjun**** Fang Zhenxian* Liu Ying*** Huang Dao***

*(Institute of Circuits and Systems, Ningbo Univ., Ningbo 315211, China)

** (College of electronic engineering, Heilongjiang Univ., Harbin 150080, China)

*** (Information Science and Engineering College, East China Univ. of Science and Technology, Shanghai 200237, China)

Abstract This paper implements firstly an adiabatic flip-flop whose energy and information can both be recovered using the 2N-2N2P logic circuit structure. And then by means of calculating error and correcting deviation, this paper presents a stable adiabatic non-integer division circuit of energy-information-recovery. Finally, the above designed circuits are verified by computer simulation.

Key words 2N-2N2P structure, Adiabatic circuit, Energy-information-recovery, Non-integer division circuit

1 引言

随着半导体技术的发展, 对集成电路的研究已开始重视缩小芯片面积和提高芯片性能的同时, 重视电路的低功耗设计和电路的稳定性等方面。非整数除电路, 又称非整数计数器, 它包括整数部分和小数部分, 带有复杂反馈, 比一般整数除电路复杂很多, 若稳定性不高, 则很难实现。而绝热非整数除电路不仅要求寄生反馈影响很小, 稳定性高, 而且要求信息可恢复, 是一种能量和信息都可恢复且稳定的时序电路。一般整数计数器不能实现此电路, 目前虽也有分数计数器^[1], 但不能应用于本文。鉴此, 本文从二方面入手进行研究, 首先研究能量和信息都可恢复的绝热逻辑电路。近年来学术界对低功耗绝热电路的研究着重关注能量恢复型电

路^[2-9], 而对信息恢复型电路的关注相对较少。本文采用文献[10]提出的 2N-2N2P 电路结构, 通过调整 MOS 管的 V_{TN} 和 V_{TP} , 实现能量和信息均可恢复的逻辑电路。其次研究电路的稳定性。以往绝热电路的研究大部分集中在单元电路或简单电路, 输入的是理想波形^[4,5]。往往因稳定性差, 单元电路可行, 用它实现整体时序电路时不一定可行, 原因是单元电路体现不了整体时序电路中的寄生反馈和寄生输入的影响。所以本文对影响电路稳定性的时钟数进行研究, 综合稳定性(即满足绝热稳定性条件^[3])等认为: 二时钟电路稳定性较差, 不利于实现强反馈的复杂的时序电路, 对反馈较复杂的绝热时序电路最少时钟数选取 3 为适宜, 且三相时钟波形对称, 易于实现。在此基础上实现了采用三时钟的能量信息恢复型绝

热触发器，结合误差计算和偏差校正等方法提出了一种能量信息均可恢复的绝热非整数除时序电路的设计方案。实验表明，该电路若改用二时钟，则难以实现。

2 基于2N-2N2P结构的能量信息恢复型绝热触发器的实现

能量信息恢复型绝热记忆单元电路(锁存器)由信息存储介质和控制门构成，如图1(a)所示。锁存器的存储介质由两个CMOS“非”门(P₁N₃和P₂N₄)交叉耦合结构实现^[10]；N₅和N₆为控制门(实用中N₅和N₆常改为多控制门组合)。为实现在绝热前提下信息恢复的可能，必需满足CMOS非门中的NMOS管和PMOS管的|V_{TP}| ≠ V_{TN}。现设φ₁ = 1时锁存器存1代码，此时二支路器件状态不相同(N₃和P₂导通，P₁和N₄截止)。又设N₅和N₆截止，则存储介质与外界隔离，画出等效电路如图1(b)左部所示，进一步简化得到图1(b)右部所示的等效电路，其中C₁=C_{1ds}+C_{2gs}，C₂=C_{2ds}+C_{1gs}，C₃=C_{3ds}+C_{4gs}，C₄=C_{4ds}+C_{3gs}，C_{gd}=C_{1gd}+C_{2gd}+C_{3gd}+C_{4gd}，实际上C₃和C₄还包括下级输入电容等。φ₁下降沿是能量恢复过程，设法使φ₁降为0时二支路器件状态差别仍然存在，那么信息表面上丢失，实际上并未丢失。当φ₁上升沿来到后，锁存器将因有状态差而逐渐恢复原状态，因而实现了信息的恢复。保持二支路器件状态差别的方法可有多种，本文只考虑较简单的一种，设|V_{TP}| > V_{TN}，这是最常用的；另一种V_{TN} > |V_{TP}|^[11]，它的参数选择和工作过程与前者大不相同。注意：V_{TN} = |V_{TP}|不能实现信息的自动恢复，即二者不能接近。参看图1(b)等效电路，分二个过程进行描述：

(1) φ₁下降沿为能量恢复过程。随φ₁下降到近|V_{TP}| (此时V_{Qa} - V_{Qa}接近|V_{TP}|)，则P₂截止，N₃导通，此后输出Q_a只与极间电容连接，φ₁继续下降对V_{Qa}的影响取决于极间电容分压，选取分压系数较小，那么当φ₁下降为0时V_{Qa}仅略下降一点，仍满足V_{Qa} ≥ V_{TN}，N₃处于导通或导通边沿，二支路器件状态差别依然存在。

(2) φ₁上升沿为信息恢复过程。因器件状态有差别，当φ₁由0上升时，二支路将沿着上述逆过程变化，N₃处于导通状态或导通边沿，故V_{Qa}一直接近0；另支路经短小时后P₂便由截止变为导通，这样P₂压降很小，使V_{Qa}随φ₁上升而上升，最后恢复原1代码。

当φ₁周期性变化时，如果控制门一直断开，则V_{Qa}接近0，而V_{Qa}则呈周期性升降。由3个锁存器构成的三相时钟能量信息恢复型绝热触发器及符号，如图1(c)所示，三相时钟

波形如图1(d)所示。

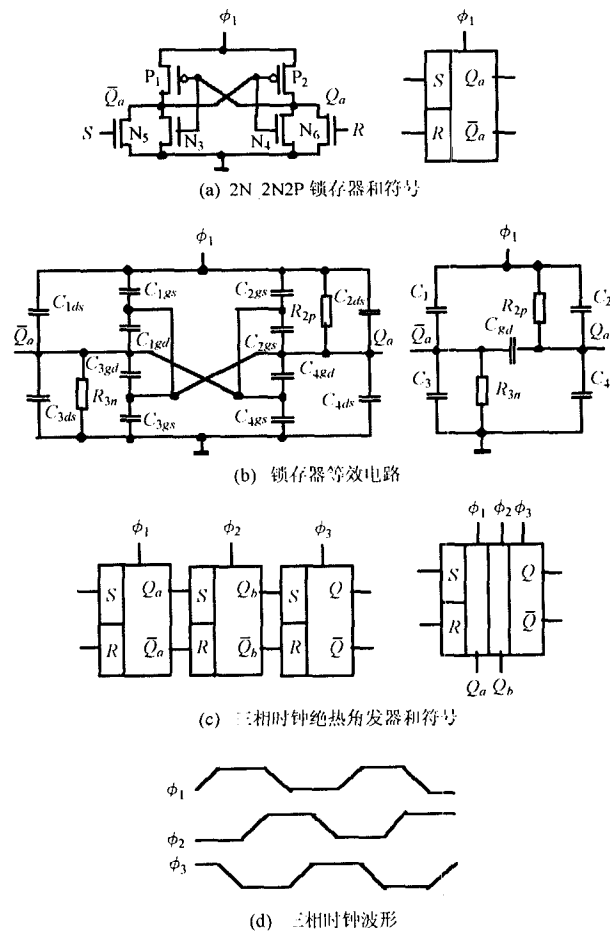


图1 基于2N-2N2P结构的能量信息恢复型三相时钟绝热触发器和时钟波形

3 能量信息恢复型绝热非整数除电路设计

能量信息恢复型绝热非整数除电路是带有反馈的较复杂的同步时序电路，它不但要求寄生反馈影响很小，稳定性高，而且要求信息可恢复，是一种能量和信息都可恢复且稳定的时序电路，用一般整数计数器难以实现。为此先进行误差计算，按允许的误差大小，不断积累偏差，偏差满整数时，进行实时偏差校正。设N为脉冲数，物理量为非整数F.g，F为整数，0.g为小数部分，i为商数，则可表示为

$$i = \frac{N}{F.g} = \frac{N}{F+0.g}, \quad iF+i.0.g = N,$$

$$i = \frac{N-i.0.g}{F} \leq \frac{N-[i.0.g]}{F}$$

式中[i.0.g]表示只取整数，舍去小数，最大舍去误差≤1个脉冲，随N增大，相对误差越来越小。根据式(1)，画出非整数除电路的框图，如图2所示。参看式(1)，因为开始[i.0.g]为0，首先对N执行F整除(经F计数器)；当小数部分i.0.g积累到

有整数增量时, N 停计一个时钟脉冲, 从而校正了偏差。仅当 F 计数器进位 $C = 1$ 时, I 计数器才加法计数一次, 其余时刻 $C = 0$, I 计数器保持原信息。输入 r 的功能是: $r = 1$ 执行计数, $r = 0$ 停止计数。计数过程中, 逐步累加 $i \cdot 0.g$, C 来到且累加数出现整数增量, 则将减 1 触发器 Q_5 置 1, 触发器 \bar{Q}_5 输出的 0 电平送 F 计数器的 r 输入端, 使其停计(校正)数一次, 紧接着触发器 Q_5 复 0, 恢复正常计数。校正时刻由具体的小数部分 $0.g$ 来决定。

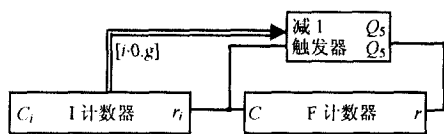


图 2 非整数除电路的框图

设 $F.g = 10.6$, 即 $F = 10$, $0.g = 0.6$, 表 1 列出了 I 计数器原状态($i-1$), 新状态(i)下的累加数 $i \cdot 0.6$, 以及减 1 触发器 Q_5 输出的变化。表 1 只给出一位 5421BCD 码十进制 I 计数器, 由 4 个触发器 $Q_3 Q_2 Q_1 Q_0$ 构成。因 $Q_5 = 1$ 时 I 计数器原状态为 1, 3, 4, 6, 8, 9, 则由卡诺图可求得 Q_5 置 1 条件为 $Q_{i2} + Q_{i0}$ 因 Q_5 置 1 发生在 F 计数器 $C = 1$ (I 计数器状态更新), 最后可得到减 1 触发器的输入 $S_5 R_5$ 为

$$S_5 = C(Q_{i2} + Q_{i0}), R_5 = \bar{C} + \bar{Q}_{i2} \bar{Q}_{i0} \quad (2)$$

F 计数器和 I 计数器都是 5421BCD 码十进制计数器, 所以只要给出 F 计数器的设计方案即可。设 F 计数器的 4 个状态变量为 $Q_3 Q_2 Q_1 Q_0$, 按常规时序电路设计方法, 画出图 3(a)所示的状态转换图, 则可得到图 3(a)~3(f)所示的卡诺图, 然后根据卡诺图和 RS 触发器的约束条件($RS = 0$), 并考虑 $r = 1$ 执行计数, $r = 0$ 停止计数的情形, 于是得到:

$$S_3 = rQ_2\bar{Q}_3, R_3 = rQ_2Q_3 \quad (3a)$$

$$S_2 = rQ_0Q_1, R_2 = r(\bar{Q}_0 + \bar{Q}_1) \quad (3b)$$

$$S_1 = rQ_0\bar{Q}_1, R_1 = rQ_0Q_1 \quad (3c)$$

$$S_0 = r\bar{Q}_0\bar{Q}_2, R_0 = rQ_0 \quad (3d)$$

$$C = Q_2Q_3 \Rightarrow S_C = Q_{b2}Q_{b3}, R_C = \bar{Q}_{b3} \quad (3e)$$

表 1 减 1 触发器功能表

$(i-1)$	0	1	2	3	4	5	6	7	8	9
$i \cdot 0.6$	0.6	0.6	1.2	1.8	2.4	3.0	4.2	4.8	5.4	6.0
Q_5	0	0	1	1	1	0	1	0	1	1

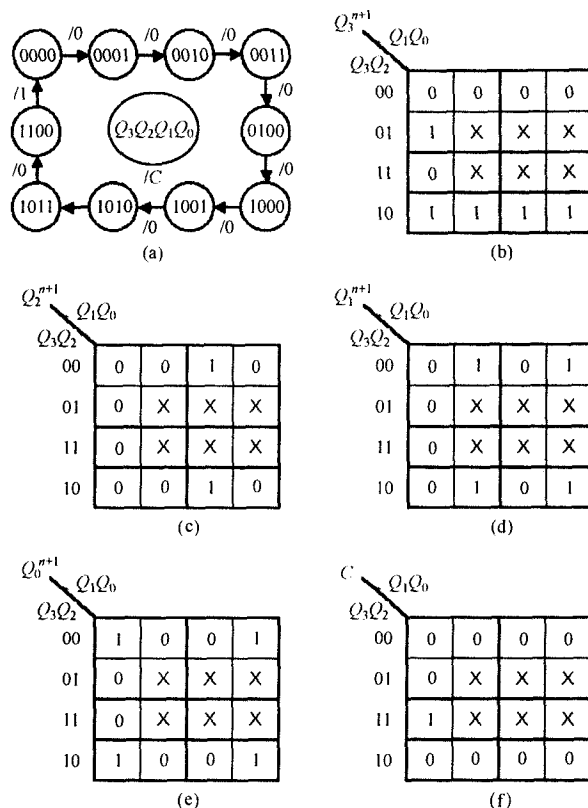


图 3 5421BCD 码十进制计数器状态转换图和卡诺图

式(3e)只用一个输出锁存器就可实现, 为输出同步, 选用同步时钟为 ϕ_3 。该输出锁存器的输入 SR 记为 S_C 和 R_C , 由图 1(c)可看出, 应改输入 $Q_3 Q_2$ 为 $Q_{b3} Q_{b2}$ (时钟为 ϕ_2 锁存器的输出)。根据式(2)和式(3)画出减 1 触发器和 10 进制计数器电路图, 分别如图 4(a)和 4(b)所示。 I 计数器和 F 计数器结构完全相同, 只要将字母 Q 用 Q_i 代替即可得到。最后构成 10.6 进制绝热非整数除电路(或称为 10.6 进制计数器), 如图 4(c)所示, 其中有一些内部输入用双相输入(如减 1 触发器的 C 和 C 输入)。为简便, 图中 I 计数器只用一位 10 进制计数器, 实际应是多位。正常计数时相当于除 10, 此时 $Q_5 = 1$ (F 计数器的 r 输入为 1)。开始不进位($C = 0$), I 计数器的输入 $r_i = 0$, 它的状态保持不变(时钟下降沿能量恢复, 时钟上升沿信息自动恢复)。若满足减 1 条件(满足式(2)和 $C = 1$), 则将减 1 触发器置 1 ($Q_5 = 0$); 与此同时 I 计数器也计数 1 次, 而且 F 计数器返回 0 状态($Q_3 Q_2 Q_1 Q_0 = 0000$)。因 $Q_5 = 0$, F 计数器 r 输入为 0, 在 0 状态停计数一次(也是靠信息自动恢复), 并立即将减 1 触发器置 0, 准备以后正常计数。

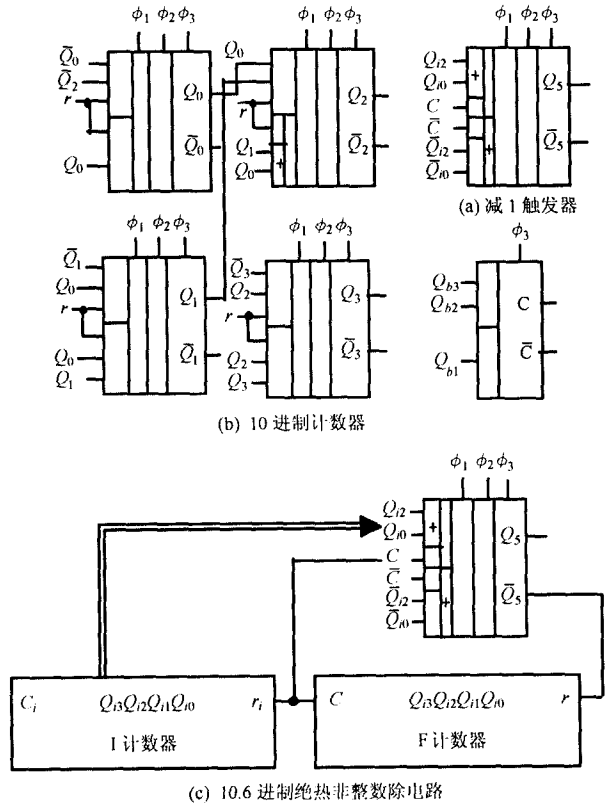


图 4 减 1 触发器、10 进制计数器
和 10.6 进制绝热非整数除电路

上述非整数除电路采用只舍不入一次性校正方法，它精度较高，也可改为有舍有入取整，均十分简单。尽管此电路只舍一位小数，对于多位小数显然也成立。然而在允许的误差范围内，为了简化电路，对多位小数还可以改用按位校正方法，即按不同位小数各自独立积累和进行校正。设 $0.g$ 共有 m 位小数，表示为 $0.g = g_1 \cdot 10^{-1} + g_2 \cdot 10^{-2} + g_3 \cdot 10^{-3} + \dots + g_m \cdot 10^{-m}$ ，因而 $i \cdot 0.g$ 可改写为

$$\begin{aligned}
 i \cdot 0.g &= i \cdot (g_1 \cdot 10^{-1} + g_2 \cdot 10^{-2} + g_3 \cdot 10^{-3} + \dots + g_m \cdot 10^{-m}) \\
 &= i \cdot 0.g_1 + (i \cdot 10^{-1}) \cdot 0.g_2 + (i \cdot 10^{-2}) \cdot 0.g_3 + \\
 &\quad \dots + (i \cdot 10^{-m+1}) \cdot 0.g_m \\
 &\geq [i \cdot 0.g_1] + [(i \cdot 10^{-1}) \cdot 0.g_2] + [(i \cdot 10^{-2}) \cdot 0.g_3] + \dots \\
 &\quad + [(i \cdot 10^{-m+1}) \cdot 0.g_m] = (i \cdot 0.g) \quad (4)
 \end{aligned}$$

式中 $(i \cdot 0.g)$ 表示按位取整，第 1 项的 i 取自 I 计数器个位的 4 个触发器；第 2 项的 $(i \cdot 10^{-1})$ 为 i 整除 10，取自 I 计数器十位的 4 个触发器；第 3 项的 $(i \cdot 10^{-2})$ 为 i 整除 100，取自 I 计数器百位的 4 个触发器；余类推。这样把多位小数分解为按位处理，简化了很多，每位处理方法和前述完全相同，各用自己的减 1 触发器，然后按次序校正。将式(4)代入式(1)得出：

$$i \leq \frac{N - \{i \cdot 0.g\}}{F} =$$

$$\frac{N - [i \cdot 0.g] - [(i \cdot 10^{-1}) \cdot 0.g_2] - [(i \cdot 10^{-2}) \cdot 0.g_3] - \dots - [(i \cdot 10^{-m+1}) \cdot 0.g_m]}{F} \quad (5)$$

即

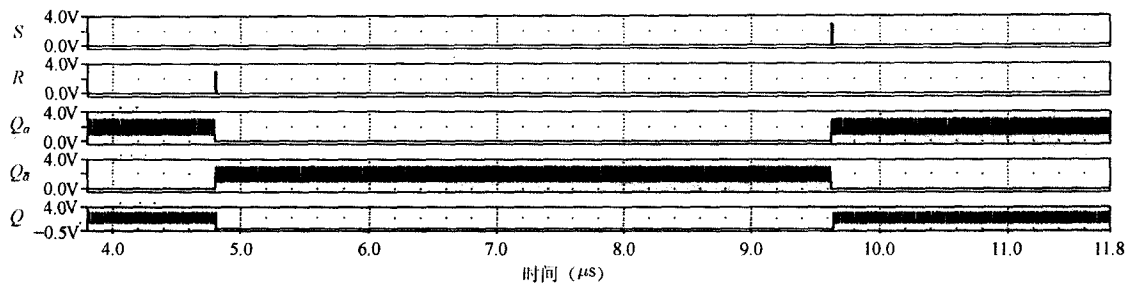
$$i = \frac{N - \{i \cdot 0.g\}}{F} - \delta$$

误差 δ 有 2 种：(1) 每项取整时，舍去小数的误差，由表 1 看出，对 0.6 最大舍去误差为 0.8(注：对 0.5 最大舍去误差为 0.5)。(2) 计数值 i ， $(i \cdot 10^{-1})$ ， $(i \cdot 10^{-2})$ 等的读数误差，每项最大读数误差取为 1(刚读出计数前瞬间的计数值的误差)，这类误差和为 $0.g_1 + 0.g_2 + 0.g_3 + \dots + 0.g_m$ 。例如 $0.g = 0.65$ ，总最大误差为 $(0.8 + 0.5) + (0.6 + 0.5) = 2.4$ 个脉冲。改用有舍有入取整，误差还会减少。总脉冲数一般很大，故相对误差很小。

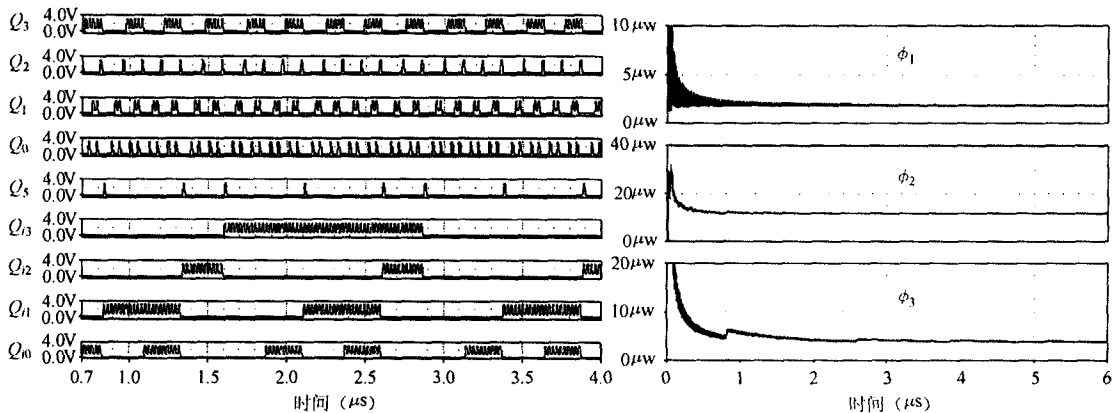
4 计算机模拟与讨论

本文在 $0.5\mu\text{m}$ CMOS 工艺条件下用 PSPICE 程序进行模拟。图 5(a)给出了图 1(c)所示的三相时钟能量信息恢复型绝热触发器的模拟波形，时钟周期为 24ns，可以注意到输出信号周期性升降很密集，形成一片，与预期结果一致。图 5(b)给出了图 4(c)所示的三相时钟能量信息恢复型 10.6 进制绝热非整数除电路模拟波形，时间 t 的取值范围为 $0 \sim 6.0\mu\text{s}$ ，时钟周期为 24ns，幅值为 3V，上部 4 行是 F 计数器 $Q_3 Q_2 Q_1 Q_0$ 波形，下部 4 行是 I 计数器 $Q_{13} Q_{12} Q_{11} Q_{10}$ 波形，中间一行是减 1 触发器 Q_5 波形(即 r 波形)。波形稳定，为便于观察，放大时间轴， t 的取值范围改为 $0.7 \sim 4.0\mu\text{s}$ 。由图 5(b)看出：(1) 当 $Q_{12} = 1$ 或 $Q_{10} = 1$ (即 I 计数器状态为 1, 3, 4, 6, 8, 9)时，产生 $Q_5 = 1$ ，在下时刻 F 计数器 $Q_3 Q_2 Q_1 Q_0$ 为全 0 时停计数一次，其它时间执行正常 10 进制计数。(2) 当 $C = 0$ 时 I 计数器与外界隔离，它的信息是自动恢复的，完全满足预定的功能，能量和信息都可恢复。图 5(c)是三相时钟源 $\phi_1 \phi_2 \phi_3$ 有效的功耗曲线，时间 t 的取值范围为 $0 \sim 6.0\mu\text{s}$ ，当 t 较大时曲线已趋平坦，在平坦部分读数， $\phi_1 \phi_2 \phi_3$ 功耗分别为 $1.9\mu\text{W}$ ， $12.0\mu\text{W}$ ， $3.9\mu\text{W}$ ，总计为 $17.8\mu\text{W}$ ，较低^[4,5](文献[5] 4 位二进制计数器在 100Mkz 情况下的功耗是 $95.5\mu\text{W}$)。

进一步实验表明：由于存储介质由两个 CMOS“非”门(P_1N_3 和 P_2N_4)交叉耦合结构实现，CMOS“非”门负载能力和抗干扰能力强，不存在悬空问题。三相时钟源可以参照环形振荡器去实现，环形振荡器(利用“非”门的传输延迟时间)是将奇数个“非”门首尾相接而成。三相时钟取奇数为 3，从 3 个“非”门的输出端(设法加大上升沿和下降沿，例如接电容等低通滤波器)，可得到接近图 1(d)所示的三相时钟。文献[3]证明了满足绝热稳定性条件的最小时钟数为 3，由图 1(d)三相时钟 $\phi_1 \phi_2 \phi_3$ 波形看出：任意时刻只有一相时钟发生变化，另二相时钟保持不变。实用中可降低要求为：在任意时刻只有一相时钟发生快速变化，另二相时钟保持慢速变化，因此在降低要求的情况，图 1(d)梯形三相时钟可改用正弦形



(a) 三相时钟能量信息恢复型绝热触发器的模拟波形



(b) 10.6 进制绝热非整数除电路的模拟波形

(c) 绝热非整数除电路用的三相时钟功耗曲线

图5 PSPICE 模拟结果

三相时钟。再采用降低阈值电压等改进措施,可使功耗进一步降低,计算机模拟证实了该结果。

最后,本文表明:图1(d)所示的三相时钟‘在任意时刻只有一相时钟发生变化’,这一点是有利的,其它多相时钟最好也能满足这一条件,尽量避免‘在任意时刻可能有二相或多相时钟同时发生快速变化’。

参考文献

- [1] 万栋义主编. 脉冲与数字电路. 北京: 高等教育出版社, 1989, 333-361.
- [2] 吴训威, 杭国强. 绝热计算原理与能量恢复型 CMOS 电路. 计算机学报, 2000, 2(7): 779-784.
- [3] 方振贤, 汪鹏君, 刘莹. 绝热电路稳定性和三相时钟同步时序电路. 电路与系统学报, 2003, 8(4): 123-127.
- [4] Ng K W, Lau K T. Low power flip-flop design based on PAL-2N structure. *Microelectronics Journal*, 2000, 31(2): 113-116.
- [5] Ng K W, Lau K T. ECRL-based low power flip-flop design. *Microelectronics Journal*, 2000, 31(5): 365-370.
- [6] 吴训威, 韦健, Pedram M. Low power design of sequential circuits using a quasi-synchronous derived clock. *Proceedings of ASP-DAC, Yokohama, Japan, Jan. 2000*, 345-350.
- [7] 吴训威, Pedram M. Low power design on sequential circuits using T flip-flops. *Int. J. Electronics*, 2001, 88(6): 635-643.
- [8] 方振贤, 汪鹏君, 刘莹. 二值、多值和绝热电路通用的电路理论. 电子学报, 2003, 31(2): 303-305.
- [9] 李晓民, 仇玉林, 陈潮枢. 低电压 Charge-Recovery 逻辑电路设计. 半导体学报, 2001, 22(10): 1352-1356.
- [10] Kramer A, Denker J S, Flower B, Moroney J. 2ND order adiabatic computation with 2N-2P and 2N-2N2P logic circuits. *Proceedings of the International symposium on Low Power design, Data point, California, USA, April 1995*, 191-196.
- [11] 刘莹, 方振贤. 静态绝热 CMOS 记忆电路和信息恢复能力. 半导体学报, 2002, 23(12): 1326-1331.

汪鹏君: 男, 1966年生, 副教授, 博士生, 从事数字电子学和低功耗集成电路理论及设计方面的研究。

方振贤: 男, 1936年生, 教授, 从事数字电路理论和计算机应用的研究。

刘莹: 女, 1948年生, 高级实验师, 从事信号与系统实验和电子技术的教学及研究。

黄道: 男, 1947年生, 教授, 博士生导师, 主要从事计算机集成制造系统等方面的研究。