

VVMOS 功率晶体管的负阻击穿*

季超仁 徐志平 赵国柱

(上海科技大学物理系)

提 要

VVMOS 晶体管是一种开有 V 形槽的垂直沟道高频功率 MOS 场效应器件。它的一个主要优点是与其它 MOS 器件一样不会发生二次击穿。然而近来一些作者报道 MOS 器件有负阻击穿效应,而这种负阻击穿效应也会引起二次击穿,导致器件烧毁。我们在测量自制的 VVMOS 晶体管时,也观察到了负阻击穿。经过研究,提出了纵向寄生 npn 双极晶体管的 VVMOS 晶体管负阻击穿模型。在此基础上还提出了几种抑制负阻击穿效应的方法。在采用了这些方法后,负阻击穿效应被减弱,甚至被消除。从而证实了所提出的 VVMOS 晶体管负阻击穿模型。

一、引 言

VVMOS 晶体管是一种具有垂直沟道和开有 V 形槽的高频功率 MOS 场效应器件。由于它的沟道很短,只有 $1-2\mu\text{m}$,同时又依靠 V 形槽形成了垂直沟道三维结构,因此在频率(开关速度)和功率两方面都有优异的性能。因此,自 1975 年问世以来,受到了极大的重视。目前与 VDMOS 器件一起,已成为迅速发展的功率 MOS 器件的主要结构形式。图 1 是 VVMOS 晶体管的结构示意图。

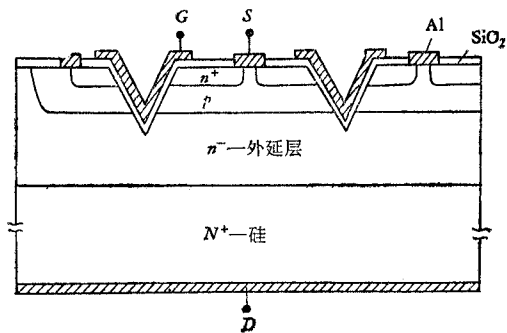


图 1 VVMOS 晶体管结构示意图

Fig. 1 The cross section structure of a VVMOS transistor

已有不少论文讨论了 VVMOS 的各种性能^[1-3]。它最突出的性能是不发生二次击穿。所以广大的电子线路工作者为了提高整机设备的可靠性,都十分乐于使用像 VVMOS 晶体管这样的没有二次击穿的器件。当然 VVMOS 晶体管还有其它一系列优良性能,这里不赘述了。对于 VVMOS 晶体管不发生二次击穿的原因,许多作者的解释是,由于 MOS 器件的沟道电流是多子电流,载流子的迁移率有负的温度系数。因此,如果由于某种原因,芯片上某点的温度升高了,则该处载流子的迁移率减小,该点的电流密度就会下降,消耗在该点的功率就会减少,从而防止了该处温度进一步升高。这样在 VVMOS 晶体管的芯片上就不会形成电流高度集中的局部热点,也就不会象双极晶体管那样发生由

* 1981 年 7 月 16 日收到。

电流向局部热点集中而引起热电型二次击穿。用红外扫描显微镜拍得的 MOS 芯片温度分布图显示了芯片上温度分布的均匀性^[4]。尽管至今大多数理论分析和实验结果都支持 MOS 器件不会发生二次击穿的论点，但也有论文提出观察到了与前述相反的现象。文献 [5] 报道，研究 MOS 晶体管的高功率运用时，在高于 100V 的电压下，观察到了负阻击穿。文献 [6] 报道了在小的 n 沟 MOS 晶体管中，也观察到了负阻击穿。文献 [4] 则报道了 n 沟平面功率 MOS 晶体管在高电压下的负阻击穿，并把这种负阻击穿称为 MOS 器件的二次击穿。他们还根据平面功率 MOS 晶体管的具体结构，提出了由横向寄生 npn 双极晶体管的作用引起负阻效应的负阻击穿模型，并用实验和二维数值计算的结果验证了他们的模型。我们在测试自己研制的 VVMOS 晶体管时，也观察到了负阻击穿现象。这种负阻击穿也可能会引起二次击穿。

二、器件结构和负阻击穿情况

我们研制的 VVMOS 晶体管的结构和工艺流程如下：以掺砷的电阻率为 $0.01\Omega \cdot \text{cm}$ 的 (100) N^+ 型硅片为衬底，在其上外延生长 n^- 层。外延层的电阻率为 $1-10\Omega \cdot \text{cm}$ ，厚度为 $5-10\mu\text{m}$ 。如图 2(a) 所示。接着用类似于制造平面双极晶体管的硼磷扩散工艺，形成硼磷扩散层，如图 2(b) 所示。 p 型硼扩散层的深度为 $3\mu\text{m}$ 。 n^+ 型磷扩散层深度为 $1.5\mu\text{m}$ 。接着是低温沉积二氧化硅，光刻引线孔和腐蚀 V 形槽，如图 2(c) 所示。最后，依次进行栅氧化、光刻引线孔、蒸发淀积铝膜和光刻铝电极，如图 2(d) 所示。在实验过程中，我们设计了不同图形的光刻版。图 3(a) 为覆盖结构的器件，它的磷扩散区连成一片；图 3(b) 为梳状结构器件，它的磷扩散区由许多个长条形的小区域组成。V 形槽刻在每个

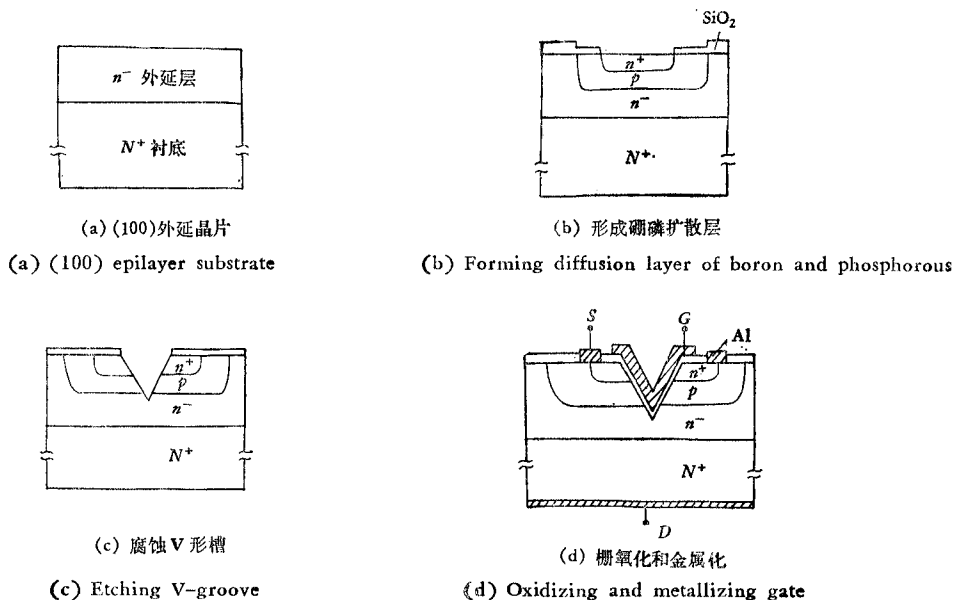


图 2 VVMOS 晶体管的工艺流程

Fig. 2 Technological process of a VVMOS transistor

磷扩散区的中间。在版图中附带安排了一个双极晶体管,因此可在同一流程中制得硼磷扩散区的纵向分布情况与 VVMOS 晶体管完全相同的 npn 双极晶体管。测量这些 VVMOS

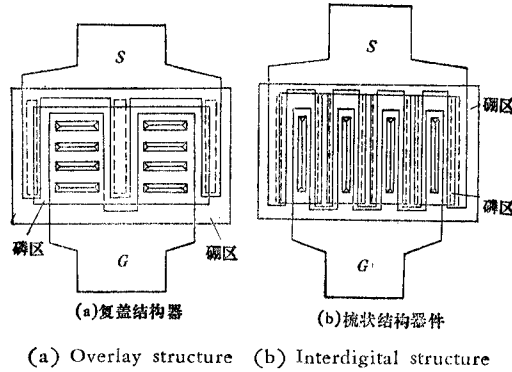


图3 两种图形不同的 VVMOS 晶体管

Fig. 3 Two VVMOS transistors in different constructions

晶体管时,大多数管子击穿后都有程度不同的负阻效应,如图4所示。如果测试条件控制

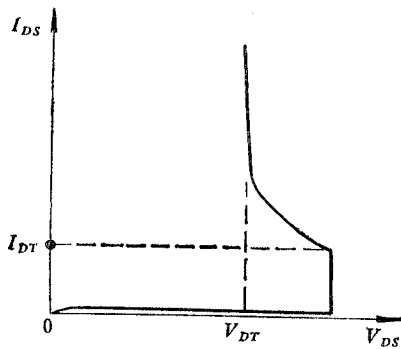


图4 VVMOS 晶体管的负阻击穿

Fig. 4 Negative resistance breakdown of a VVMOS transistor

Note: I_{DT} : Drain current at the beginning of negative resistance breakdown
 V_{DR} : Drain to source voltage at the beginning of negative resistance breakdown

得好,测量线路中负载电阻足够大,短时间的观测是不会引起管子特性变坏的。但负阻击穿电流过大或测试时间太长,管子是会被烧毁的,主要表现为栅氧化层穿通,铝电极引线熔断等。在测量过程中,我们还注意到这样一些情况: (1) 同一流程制得的 VVMOS 晶体管负阻击穿后的维持电压 V_{DT} 基本相同,并与双极型陪管的 BV_{CEO} 基本相等。(2) 不同的 VVMOS 晶体管击穿后,开始向负阻区过渡的漏极电流 I_{DT} 的数值是不同的。一般说来,图 3(a) 所示的复盖结构进入负阻区时的 I_{DT} 要比图 3(b) 所示的梳状结构的小得多。(3) 外延层厚度较薄、电阻率较高的 VVMOS 晶体管容易发生严重的负阻击穿。根据以上实验现象,经过分析研究后,我们提出了一个与纵向寄生 npn 双极晶体管有关的负阻击穿模

型,并在随后的实验中得到了验证。

三、VVMOS 晶体管的负阻击穿模型

在制造 VVMOS 晶体管的工艺流程中,包含有与制造双极晶体管工艺相似的硼磷扩散过程,因此它的结构中也有与双极晶体管相同的 n^+pn 三层结构,构成了寄生在 VVMOS 晶体管中的双极晶体管。由图 1 可见,寄生双极晶体管的 n^+ 型发射区就是 VVMOS 晶体管的源区,而 n 型集电区就是漏区。因此寄生双极管是并联在 VVMOS 晶体管输出端的,

其等效电路如图 5 所示. 还可以看出, 为了使源结是零偏压, 源电极同时与 n^+ 和 p 区短接, 因此寄生双极管的发射区与基区也在源电极处短接. 在 VVMOS 晶体管的正常工作状态下, 依靠栅压的作用, 在槽壁 p 型区形成 n 型沟道, 源电极电子就通过沟道流向漏电极, 也就是电流从漏电极经过沟道流向源电极. 如图 6(a) 所示. 由于在正常状态下源漏电流 I_{DS} 只通过漏—沟道—源区, 而不经过 p 区. p 区中是没有电流的, 因此 p 区是处处等电位的. 在此情况下, 在表面引线孔处通过源电极实现的 n^+p 短接可以有效地使整个 n^+p 结面保持零偏, 甚至局部地反偏(如果计入 I_{DS} 沿 n^+ 源区产生的横向电压降的话). 这样, 由于寄生 n^+pn 的发射极是零偏, 甚至反偏, 所以在 VVMOS 晶体管的正常工作状态下, 寄生晶体管将不起作用. 如果提高 VVMOS 晶体管的源漏电压, 至一定程度就会发生漏结击穿. 击穿点的电流 I_B 经过的途径与正常工作电流 I_{DS} 的不同, 它从漏向源流动时, 将在击穿点穿过 pn 结, 进入硼扩散 p 型区, 再经过 p 区到达源电极, 如图 6(b) 所示.

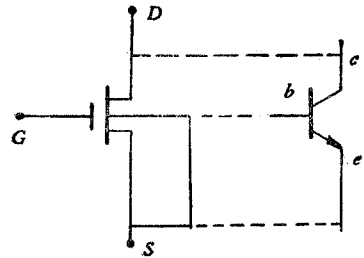


图 5 VVMOS 晶体管与并联的寄生晶体管
Fig. 5 VVMOS transistor and parasitic bipolar transistor

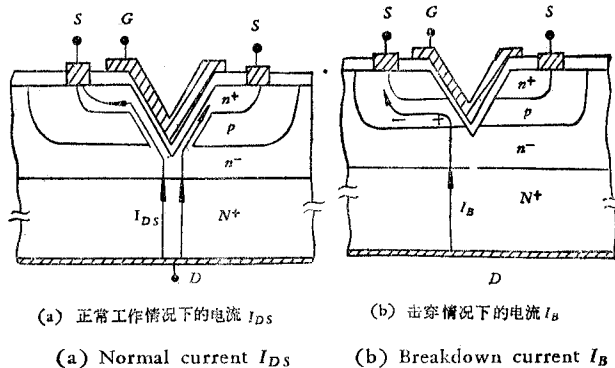


图 6 VVMOS 晶体管的电流通道

Fig. 6 Current canal of a VVMOS transistor

由于硼扩散次表面层的薄层电阻较大, 约为 $4k\Omega/\square^*$. 击穿电流 I_B 在 p 区沿途将产生明显的电压降, 使 p 区不再处处等电位. 在此情况下, 尽管源电极仍使引线孔处的 n^+p 结保持零偏, 但在 p 区有正电位的区域(在击穿点附近), n^+p 结将开始正偏, 此局部正偏电压将随 I_B 的加大而增大. 一旦结面上某处的正偏压达到 $0.7V$ 时, n^+ 区就会在这里向 p 区注入电子, 也就是说寄生 npn 双极晶体管开始起作用了. VVMOS 晶体管的漏源击穿电压 BV_{DS} 决定于漏结的雪崩击穿. 它等于寄生双极晶体管的 BV_{CBO}^{**} . 此击穿电压对应

* Ω/\square 表示“薄层电阻”. 对一个正方形的半导体薄层, 电流平行于薄层表面从一边流向相对的另一边时的电阻值称为“薄层电阻”. 或称“方块电阻”. 其单位为欧姆. 常表示为: Ω/\square . 用扩散方法制 pn 结时, 对特定的杂质分布, 如高斯分布或余误差函数分布等, 测出扩散结深和扩散层薄层电阻就可以求出扩散层表面杂质浓度.

** 由图 5 可见, BV_{DS} 等于寄生双极晶体管的 BV_{CES} (发射极、基极短路情况下的发射极-集电极击穿电压), 但在文中叙述的条件下, $BV_{CES} = BV_{CBO}$, 故有 $BV_{DS} = BV_{CBO}$.

于击穿点的雪崩倍增因子 $M \rightarrow \infty$ 。但在寄生双极晶体管开始向 p 区注入电子后,就出现了晶体管的电流放大与雪崩倍增之间的正反馈;即注入的电子在通过击穿点时得到倍增,而倍增后的电流在通过正偏的发射结时又引起进一步的电子注入。由于雪崩得到了电流放大的加强,使维持击穿状态的条件从原来的 $M \rightarrow \infty$ 下降为 $M \rightarrow \frac{1}{\alpha}$ (这里 α 是寄生双极晶体管正常工作时的电流放大系数)。由于 α 是接近于 1 而略小于 1 的数,因此 $1/\alpha$ 只略大于 1。显然,与 $M \rightarrow \frac{1}{\alpha}$ 相对应的电压(即寄生双极晶体管的 BV_{CEO})必然明显地低于原来与 $M \rightarrow \infty$ 相对应的 BV_{DS} , 对双极晶体管有:

$$BV_{CEO} = BV_{CBO}/n\sqrt{1+h_{FE}}, \quad (1)$$

式中 h_{FE} 是双极晶体管的共发射极电流放大系数, n 为约等于 4 的常数。于是在漏源之间的电压从 BV_{DS} 向低压状态过渡时, 击穿电流增大而电压下降。这就是 VVMOS 晶体管发生负阻击穿的过程。这种负阻击穿在一定的条件下有可能导致破坏性的二次击穿。

四、几种抑制负阻击穿的方法和实验结果

根据上述 VVMOS 晶体管的负阻击穿模型可知,造成负阻效应的主要原因是,寄生双极晶体管的电流放大与击穿点雪崩倍增效应之间的互相加强。因此,只要能抑制寄生双极晶体管的作用,切断雪崩倍增与电流放大之间的联系,就可抑制或消除击穿后的负阻效应。为了检验上述模型是否符合实际,我们做了下述实验:

(1) 减小寄生 npn 双极晶体管的电流放大系数 h_{FE} 。根据 (1) 式可知,减小 h_{FE} 就可使 BV_{CEO} 接近 BV_{CBO} , 从而减弱负阻效应。为了减小 h_{FE} 可以减小磷区杂质浓度或提高硼区杂质浓度。但硼区杂质浓度直接影响 VVMOS 晶体管的阈值电压 V_T 。 V_T 由下式决定:

$$V_T = \phi_{MS} - q \frac{N_{SS}}{C_{OX}} + 2\phi_F + \sqrt{2\epsilon_0\epsilon_{Si}N_{a0}(2\phi_F)/C_{OX}}, \quad (2)$$

式中 ϕ_{MS} 为金属栅与硅之间的功函数差, N_{SS} 为氧化层中的正电荷密度, C_{OX} 为单位面积栅电容, N_{a0} 为沟道区硼的最高掺杂浓度。 $2\phi_F = 2\frac{KT}{q} \ln \frac{N_{a0}}{N_i}$ 为表面反型层开始形成时的半导体表面势。由 (2) 式可知,硼区的杂质浓度不宜随意增大。相比之下,降低磷区的杂质浓度对 VVMOS 晶体管特性影响较小,所以我们采用降低磷区杂质浓度的方法。表 1 给出了三组实验结果,定性地表明了 VVMOS 晶体管负阻击穿后的维持电压 V_{DT} 与双极型陪管的 h_{FE} 之间存在着一定的依赖关系。这里要说明的是,只有 A 组 VVMOS 晶体管的 V_{DT} 与双极晶体管的 BV_{CEO} 相等,并且它与 h_{FE} 的关系与式 (1) 相符。B、C 两组器件虽然仍显示了 h_{FE} 减小可使 V_{DT} 提高的趋势,但在定量上与式 (1) 不相符。我们认为这是由于在 B、C 两组中的双极型陪管与 VVMOS 晶体管中的寄生晶体管的特性不完全相同。这里 VVMOS 晶体管的 BV_{DS} 与双极型陪管的 BV_{CBO} 不相等,表明它们的击穿情况不相同。我们在后面将讨论到 VVMOS 晶体管的漏结击穿容易发生在栅下的 V 形槽附近,而双极型陪管的击穿一般发生在集电结周界上。而对 A 组器件来说,由于它的外延层

特别薄,电阻率很高, VVMOS 晶体管和双极型陪管的击穿都发生在硼结的底面上,因此双极型陪管的参数能较好地反映寄生双极晶体管的特性。

表 1 VVMOS 晶体管负阻击穿特性

Tab. 1 Negative resistance breakdown characteristics of a VVMOS transistor

器件号	结构	VVMOS 晶体管			双极型陪管		
		$BV_{D_S}(V)$	$V_{DT}(V)$	$I_{DT}(mA)$	$BV_{cbo}(V)$	$BV_{ceo}(V)$	h_{FE}
A	复盖结构 $\rho=10; d=6$	25	12	<1	25	12	20
B	梳状结构 $\rho=3; d=5$	55	35	>4	60	35	12
C	梳状结构 $\rho=2; d=10$	70	60	>4	85	60	25

ρ : 外延层电阻率 ($\Omega \cdot cm$); d : 外延层厚度 (μm)。

(2) 减小硼区电阻。由于寄生双极晶体管起作用是以硼区次表面层中的电压降达到 0.7V 为条件的。因此减小硼区电阻就可提高 I_{DT} 。由于硼区掺杂浓度不宜随意更动。减小硼区电阻只能从调整电阻几何尺寸着手。在版图设计时,把磷扩散区分成一些狭长的条,把源电极引线孔开在磷硼区的交界线上,使每个源电极引线都起短接 n^+p 的作用,就可以从图形上减小硼区中从击穿点到源电极途中硼区次表面层的薄层电阻方块数(如前所述, $4k\Omega/\square$ 表示硼区次表面层每个方块电阻为 $4k\Omega$ 。如果总的方块个数减少了,则总的电阻值也就减少了)。此外选取足够厚的外延层,以防止在底面的个别点上发生击穿也是重要的。否则,尽管整个图形并联后,硼区次表面层方块电阻值不大,但当击穿在底面扩散结上的个别点上发生时,击穿电流集中在局部小区域中,实际上起作用的电阻就会大得多。这方面的实验结果也反映在表 1 中。器件 B, C 的 I_{DT} 比器件 A 的 I_{DT} 大得多就是硼区电阻减小的效果。

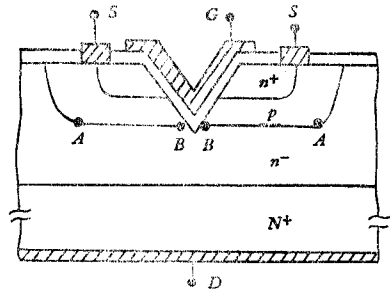


图 7 VVMOS 晶体管漏结击穿发生在不同位置
Fig. 7 Some breakdown places of a VVMOS transistor

(3) 控制漏结击穿点位置。大多数 pn 结的击穿都发生在局部区域。一般说平面工艺制成的硼结,由于结边缘的棱角电场较强,所以 pn 结周界是容易首先发生击穿的地方,如图 7 中 A 点所示。如果在这样的硼结上开了 V 形槽,再做上金属栅,则由于在 V 形槽处 pn 结表面呈负角,又迭加上金属栅引起的附加电场,使 V 形槽侧壁处 pn 结面成为整个 pn 结电场最大的地方,击穿点就从硼结边缘移到了栅下面的 V 形槽侧壁处,如图 7 中 B 点所示。根据我们的实验,在 $2\Omega \cdot cm$ 的 n 型外延片上制成的双极型陪管的 BV_{cbo} 为 80—90V,但在同一晶片上的 VVMOS 晶体管的 BV_{D_S} 一般只有 70V,并可观察到击穿电压随 V_{GS} 变化而变化。这表明 VVMOS 晶体管漏结的击穿确实是发生在栅下的 V 形槽附近。根据 VVMOS 晶体管的结构可知,当击穿发生在 V 形槽附近时,击穿电流到达源电极前要穿过磷扩散区下面的整个硼区次表面层。尽管在图形上可以减小硼区电阻,但当击穿电流愈来愈大时,硼区中的电压降总会达到 0.7V。从而触发寄生双极晶体管而引起负阻效

应。我们认为,如果能设法把击穿点从V形槽处的B点转移到栅结边界棱角处的A点,则击穿电流可以较近路径到达源电极,不再要通过整个栅区次表面层,不会造成 n^+p 结正偏,比较彻底地消除负阻击穿效应。为了把击穿点移到栅结边缘,可以用两种做法。一种是人为地制造一个低击穿区。这在工艺上是容易实现的,但用这种方法消除负阻击穿效应是以降低漏源耐压为代价的。因此并不是一个好办法;另一种方法是设法减小金属栅附加的电场,如果能实现这一条,我们就可以得到 BV_{DS} 等于栅扩散单结击穿电压而又没有负阻击穿效应的VVMOS晶体管,这显然是最理想的。对于减小水平沟道MOS器件的栅极附加电场来说,已经有人提出了采用偏栅结构(offset gate)的方法^[7]。结果是,随着栅偏移距离的逐步加大,栅极附近电场逐步减小,击穿电压则逐步提高,直到最高电场和击穿点从栅极附近移到体内,击穿电压达到与体内击穿相对应的数值为止。图8和图9就是文献[7]的偏栅结构MOS器件的示意图和他们得到的击穿电压随偏离距离 L_R 变化的情况(在他们的器件中除了采用偏栅结构之外,还利用了与源电极等电位的电场板(field plate)来进一步控制栅极附近的电场分布)。

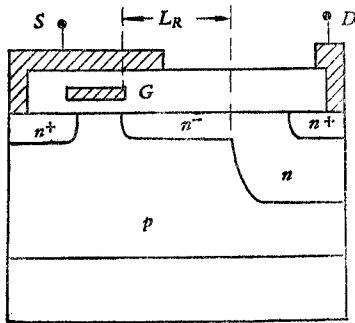


图8 水平沟道MOS器件的偏栅结构

Fig. 8 Offset gate structure of a horizontal channel MOS device

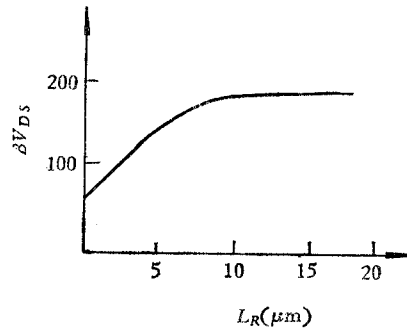


图9 偏栅器件漏源耐压随偏移距离的变化

Fig. 9 Drain to source breakdown voltage VS offset distance of the offset gate device

L_R : offset distance (μm)

比较图1和图8可知,只要控制VVMOS晶体管中V形槽的深度,使其不穿透整个 n^- 层,则它实际上也具有偏栅结构的作用。由于金属栅只复盖在V形槽中,金属栅与 N^+ 衬底之间的距离就是VVMOS器件栅极的偏移距离。通过适当控制与栅极附加电场有关的结构,完全有可能把V形槽附近的漏结电场强度降下来,使漏结击穿仍旧发生在栅结边缘棱角处。在这方面的实验中,通过调整器件结构,已在实践中制成了 BV_{DS} 等于栅扩散结击穿电压的样品。我们还正在用二维数值计算的方法从理论上进一步验算V形槽附近的漏结电场随结构变化的规律。拟在另外的报告中详细讨论。

五、结 论

1979年底我们实验室研制成第一批VVMOS晶体管,当时发现这些器件有严重的负阻击穿现象,经过分析研究之后,我们提出了基于纵向寄生npn双极晶体管的VVMOS晶

极管负阻击穿模型,并在此基础上提出了减小寄生晶体管 h_{FE} 、减小硼区电阻、控制漏结击穿点位置等几种抑制 VVMOS 晶体管负阻击穿效应的措施。实验结果证实了所采取的措施是有效的,也证实了提出的负阻击穿模型。我们认为,虽然 MOS 器件不会发生像双极型器件那样的热电型二次击穿,但由于纵向寄生 npn 晶体管的作用, VVMOS 晶体管会发生负阻击穿,这种负阻击穿与双极晶体管的二次击穿相似,也会引起器件烧毁。只有在设计和工艺上采取适当措施后才能抑制这种负阻击穿。从而制成安全工作区不受负阻击穿限制的 VVMOS 功率晶体管。

本项工作是在本室其他同志及工人师傅的大力支持和帮助下完成的。谨表示衷心感谢!

参 考 文 献

- [1] Electronic Design, 23(1975), 103.
- [2] Electronic, 51(1978), 105.
- [3] S. C. Suu, IEEE Trans. on ED, ED-27(1980), 356.
- [4] Isao Yoshida, IEEE Trans. on ED, ED-27(1980), 395.
- [5] R. D. Josephy, Philips Tech. Rev., 31(1970), 251.
- [6] Kennedy, et al., Proc. Int. Electron Devices Meeting (Suppl.) (1973), p. 160.
- [7] Shikayuki Ochi, IEEE Trans. on ED, ED-27(1980), 399.

THE NEGATIVE RESISTANCE BREAKDOWN EFFECT IN VVMOS POWER TRANSISTOR

Ji Chao-ren, Xu Zhi-ping, Zhao Guo-zhu
(Shanghai University of Science and Technology)

VVMOS transistor is a new type of high frequency power MOS transistor with vertical channels at the surface of the V-groove. Like other MOSFET's, one of the important features is no secondary breakdown. However, these is negative resistance breakdown effect in MOSFET's is reported recently by some authors. The reported effects may cause secondary breakdown, and result in destructive damage to the devices.

While measuring the VVMOSFET's made in our laboratory, we have also observed the destructive negative resistance breakdown effect. And model based on the effect of parasitic vertical bipolar npn transistor is proposed to explain this effect. Some related methods which may suppress the negative breakdown are also proposed. By using these method, the negative resistance breakdown effect has been lowered or even eliminated, and thus the proposed negative resistance breakdown model for VVMOSFET's is verified.