

# VHDL 高级综合中的多目标工艺映射方法<sup>1</sup>

马 聪 杨 勋 刘明业

(北京理工大学 ASIC 研究所 北京 100081)

**摘 要** 从国内情况看,高级综合系统的目标,即后端 CAD 版图工具可分为两大类,一类只能接收门级网表;而另一类其单元库较为完备,往往能接收较大颗粒度的宏单元。针对这种情况,本文研究高级综合结果与后端工艺的衔接问题。提出多目标多层次工艺映射 (MLTMMT) 策略,旨在与多种工艺衔接。解决实现该策略的有关问题:(1) 给出多目标工艺映射方法的形式化描述;(2) 给出在多个层次上的多目标工艺映射方法;(3) 分析研究多种工艺库,提出一种面积和延时的线性模型;(4) 给出 RTL 通用元件集;(5) 建立多种工艺 VHDL 模拟模型。所实现的系统已完成与三种工艺衔接,验证了本文工作。

**关键词** 高级综合, 工艺映射, VHDL, 高层次工艺映射, 多目标多层次工艺映射

**中图分类号** TP391.72

## 1 引 言

一个实用的高级综合系统应尽可能与更多的工艺相结合,这要求工艺映射系统具有多目标工艺映射能力。一种简单的方法是针对每一个工艺目标分别建立一个工艺映射系统。其好处是降低了处理的难度,而且每种工艺都有可能得到最优的结果。其不足是当工艺目标较多时,开发工作相当繁复,工艺映射系统过于庞大。本文提出面向多目标工艺映射技术,试图以一个工艺映射系统实现多目标工艺映射。

当工艺映射面对多种工艺时,不同种的工艺存在一定的差别。例如,在元件的粒度上,有的后端 CAD 版图系统提供了大粒度工艺单元,有的则仅提供门级工艺单元。对于前者,应采取高层次工艺映射策略,以充分利用大粒度工艺单元的优化效果。对于后者,需要对高级综合结果进行处理,然后在低层次上进行工艺映射。因此,在多目标工艺映射系统中,工艺映射是在多个层次上立体地进行的。

本文讨论这种多目标、多层次工艺映射策略及其实现技术。

## 2 问题描述

高级综合结果经预处理后,可以形式化地抽象为一个有向流图  $G = (V, E)$ 。其中  $V = \{v_1, v_2, \dots, v_m\}$  是结点集合,  $v_i$  表示一个抽象部件,  $Op(v_i)$  表示其操作功能;  $E = \{e_1, e_2, \dots, e_n\}$  是有向边集合,边  $e_i = \langle v_j, v_k \rangle$  表示结点  $v_j$  和  $v_k$  之间的数据依赖关系。集合  $V$  由三个互不相交的子集构成:  $V = F \cup R \cup S$ 。其中  $F = \{f_1, f_2, \dots, f_r\}$  是由表示功能部件的结点组成的集合;  $R = \{r_1, r_2, \dots, r_s\}$  是由表示存储部件的结点组成的集合;  $S = \{s_1, s_2, \dots, s_t\}$  是由表示互连部件的结点组成的集合。

设有  $p$  个工艺目标,其工艺库分别为  $L_1, L_2, \dots, L_p$ 。令  $L$  是这些工艺库的集合。则  $L = \{L_1, L_2, \dots, L_p\}$

<sup>1</sup> 1998-05-08 收到, 1999-02-29 定稿

国家自然科学基金、国家教委博士点建设基金、国家九五攻关项目和国防科技预研项目的资助课题

某一特定的目标工艺库  $L_r$  可描述为  $L_r = \{u_{r1}, u_{r2}, \dots, u_{rn}\}$ ,  $r = 1, 2, \dots, p$ ;  $u_{ri}$  表示工艺库单元, 这里,  $i = 1, 2, \dots, n$ 。用  $\text{functionality}(u_{ri})$  表示库单元  $u_{ri}$  能够实现的所有功能的集合。 $\text{cost}(u_{ri}, bw(u_{ri}))$  表示造价 (面积) 评估函数,  $\text{delay}(u_{ri}, bw(u_{ri}))$  表示传输延迟评估函数。其中,  $bw(u_{ri})$  表示库单元  $u_{ri}$  的位数。

令  $r = 1, 2, \dots, p$ , 设  $M_{ri}$  为  $V$  对目标工艺库  $L_r$  的映射, 即  $M_{ri}: V \rightarrow 2^{L_r}$ ,  $i = 1, 2, \dots, n$ , 则  $M_r = \{M_{r1}, M_{r2}, \dots, M_{rn}\}$  为  $V$  对目标工艺库  $L_r$  的所有映射的集合。进一步,  $M = \{M_1, M_2, \dots, M_p\}$  为针对所有目标工艺库的所有映射的集合。多目标工艺映射的任务如下描述。

分别令  $r = 1, 2, \dots, p$ ; 从  $M$  中选取集合  $M_r$ , 并从  $M_r$  中寻找满足下列约束条件的映射  $M_{ri}$ 。

(1)  $\forall v_j \in V, \text{Op}(v_j) \in \text{functionality}(M_{ri}(v_j))$ 。

(2)  $\alpha \times \sum \text{cost}(M_{ri}(v_j), bw(M_{ri}(v_j))) + \beta \times \sum \text{delay}(M_{ri}(v_j), bw(M_{ri}(v_j)))$  最小。这里,  $0 \leq \alpha, \beta \leq 1$ , 且  $\beta = 1.0 - \alpha$ 。

注意, 这里  $r = 1, 2, \dots, p$ 。对每一个  $v_j$ , 工艺映射有  $p$  个解, 分别针对  $p$  个工艺目标。

### 3 多层次上的多目标工艺映射

#### 3.1 基本思想

按映射目标的不同, 多层次上的多目标工艺映射主要有两条途径。一个是在高层次即 RTL (Register-Transfer Level, 寄存器传输级), 直接对高级综合结果进行工艺映射。另一个是先对高级综合结果进行处理, 使之降低为门级, 再在门级上进行低层次工艺映射。其中包括已知 RTL 元件的功能, 求取 RTL 元件结构 (用逻辑元件表示) 的处理过程, 称之为 RTL 元件综合。

高层次工艺映射途径, 首先是从工艺库集合  $L$  中选取某一特定的工艺库  $L_r$ , 然后按基于知识的方法实现。

低层次工艺映射途径, 需要引入两个附加集。一个是工艺无关的 RTL 元件集, 记为  $\text{NR} = \{r_1, r_2, \dots, r_n\}$ 。其中  $r_i (i = 1, 2, \dots, n)$  是工艺无关的 RTL 元件。注意,  $r_i$  与高级综合结果中的 RTL 元件不同, 后者是参数化的, 而  $r_i$  为了便于下一步的 RTL 元件综合, 具有确定的数据宽度。另一个集合是工艺无关的门级元件集, 记为  $\text{NG} = \{g_1, g_2, \dots, g_m\}$ 。其中  $g_i (i = 1, 2, \dots, m)$  是工艺无关的门级元件。需要指出, 若  $g_i \in$  基本功能集, 即  $g_i$  只选用基本功能元件, 如 2 输入“与非门” NAND2, 则可以省去下一步逻辑级工艺映射中的工艺分解步骤。但这会给构造 RTL 元件综合知识库带来麻烦。

低层次工艺映射途径主要有以下几个环节:

(1) 将高级综合结果  $G(V, E)$  中的元件集  $V$  对  $\text{NR}$  做映射, 即求取  $V \rightarrow 2^{\text{NR}}$  的所有映射集  $M_{\text{NR}}$ , 并从  $M_{\text{NR}}$  中选取最优映射  $M_{\text{NR}i}$ 。最优的条件如前所述。这一处理步骤称为 RTL 元件预处理, 需要指出的是  $V$  中可能含有抽象的“虚”元件, 这种抽象元件不与实际元件相对应, 例如一个 10 进制常量。这类抽象元件也在此步骤被消化。

(2) 将集合  $\text{NR}$  中的元件  $r_i$  映射到集合  $\text{NG}$  中。求取  $\text{NR} \rightarrow 2^{\text{NG}}$  的所有映射的集合  $M_{\text{NG}}$ , 并从  $M_{\text{NG}}$  中选取最优映射  $M_{\text{NG}i}$ , 这一步骤称为 RTL 元件综合。

(3) 从工艺库集合  $L$  中选取一特定的工艺库  $L_r$ 。  $L_r = \{r_1, r_2, \dots, r_m\}$  均由门级工艺单元构成。

(4) 做 NG 到  $L_r$  的映射, 这一步骤称为逻辑级工艺映射, 与传统的工艺映射相同。

### 3.2 多目标高层次工艺映射

多目标高层次工艺映射的实现如图 1 所示。从中可以看到基于知识方法与算法的结合。高层工艺映射是一次完成的, 因此要求目标工艺的元件粒度与高级综合结果相差不太大。否则, 将使工艺映射知识的构造变得困难, 这是由于用门级工艺元件去构造大粒度、参数化和具有很多变形的抽象 RTL 元件的工作量太大。

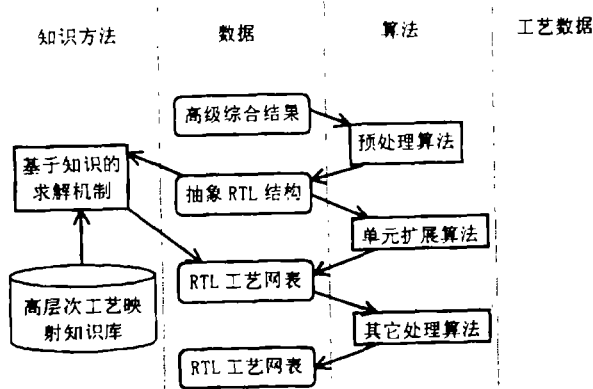


图 1 多目标高层次工艺映射

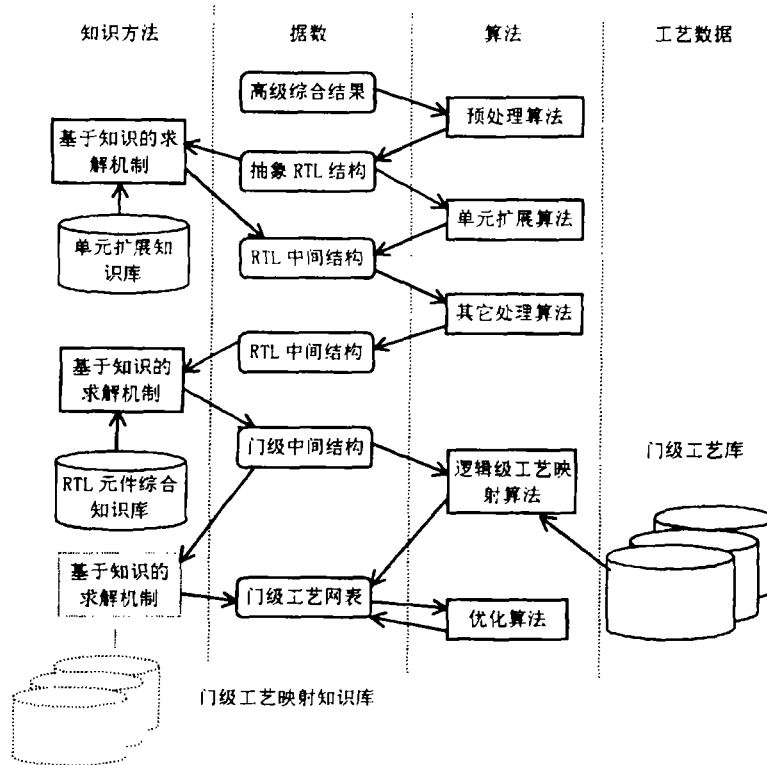


图 2 多目标低层次工艺映射

### 3.3 多目标低层次工艺映射

多目标低层次工艺映射的实现如图 2 所示。经历了 RTL 元件预处理、RTL 元件综合和门级工艺映射三个主要步骤。前两个步骤主要用基于知识的方法实现，而以算法辅之。门级工艺映射宜使用传统的逻辑级工艺映射方法实现，不再赘述。当然，也可以使用基于知识的方法实现，因为门级工艺映射知识库的构造较为简单，可以在短时间内增加一个新的目标工艺。但其优化程度不如传统的方法，需要附加优化算法来提高其优化效果。

## 4 运行结果

为了覆盖各种情况，对 RTL 通用元件库中的每一个元件都进行了工艺映射和模拟验证。其中几个代表性的实例汇集于表 1。由表 1 可见，每一种 RTL 通用元件都被映射到三种不同工艺。其中，目标工艺 3B 是高层次工艺映射，其工艺元件粒度较大，因此，其元件数较少，运行时间较短。RTL 通用元件功能多种多样，规模大小各异。由于各个目标工艺的元件粒度不同，同一元件所对应的工艺元件个数不同。

表 1 部分测试实例一览表

	元件名 / 网表名	功能	工艺目标 1			工艺目标 2			工艺目标 3A			工艺目标 3B		
			元件数	网线数	运行时间	元件数	网线数	运行时间	元件数	网线数	运行时间	元件数	网线数	运行时间
1	ADDER	16 位加法器	60	85	5.07	108	171	6.00	62	173	6.02	36	187	2.00
2	AND	与门网络	5	20	3.79	12	54	4.74	5	63	4.26	5	68	1.28
3	CNTASYN	异步计数器	108	129	4.61	228	305	6.55	140	254	6.08	4	151	1.61
4	CNTSYN	同步计数器	124	146	4.09	254	330	6.02	256	271	5.75	4	151	1.56
5	COMP	同步比较器	84	116	4.14	167	233	5.50	116	216	5.30	4	148	1.55
6	COUNTER	32 位计数器	216	253	5.28	556	834	10.30	290	620	9.16	8	283	1.59
7	FDN	D 寄存器	32	51	4.44	80	151	5.53	64	196	5.27	17	85	1.57
8	FD3SN	三态 D 寄存器	32	66	5.11	80	152	5.96	48	170	6.04			
9	FJKN	JK 寄存器	90	131	4.53	224	326	6.33	176	344	6.33			
10	INVN	反向器	16	32	4.15	16	64	4.60	16	96	4.58			
11	MISSILE	某控制器	232	254	7.07	456	746	12.44	356	634	10.96	168	369	3.77
12	MJX16E	16 选 1 多路器	720	981	12.66	1296	1839	46.06	970	1780	38.06			
13	NAND	与非网络	6	25	4.21	13	66	4.66	6	79	4.63	6	85	1.44
14	NOR	或非网络	6	25	3.82	13	66	4.23	6	79	4.03	6	85	1.29
15	OR	或门网络	5	20	3.78	12	54	4.21	5	68	4.21	32	63	1.24
16	SHFTPIN	移位寄存器	66	88	3.12	162	229	4.35	114	203	4.10	2	90	1.41

## 5 结 论

为了使高级综合系统与更多的目标工艺相结合，同时针对目标工艺后端 CAD 工具的实际情况，本文提出多目标多层次的工艺映射策略。论述了实现这一策略的若干技术关键，其要点归纳如下。

(1) 给出了多目标工艺映射问题的形式化描述。

(2) 给出了在多个层次上 (RTL 和逻辑级两个层次) 进行多目标工艺映射的实现方法。

(3) 提出将算法嵌入知识系统，从而降低知识库复杂度的实用化方法。

(4) 分析多种工艺库，给出了一种面积和延时的线性模型。经部分验证，用此模型计算的面积和延时值与原始数据十分接近。为适用于多个工艺目标的 RTL 通用元件库的建立打下了基础。详见文献 [7]。

(5) 在上述工作的基础上建立了多目标工艺映射系统中的 RTL 通用元件库<sup>[7]</sup>。

(6) 在 (4) 工作的基础上建立了多目标工艺映射系统的 VHDL 模拟模型<sup>[7]</sup>。

低层次工艺映射 (逻辑级) 宜使用传统的基于算法的方法, 本文未阐述。在行为级直接进行工艺映射的方法及利弊尚有待于研究。

### 参 考 文 献

- [1] 刘明业, 等. 专用集成电路 (ASIC) 高级综合理论. 北京: 北京理工大学出版社, 1998, 179-246.
- [2] 马聪, 刘明业, 等. VHDL 高级综合与底层物理设计的衔接, 电子学报, 1998, 26(2): 71-73.
- [3] Chaadhuri S, Quayle M. Using complex sequential models in RTL synthesis. Proc. Ninth Annual IEEE International ASIC Conference and Exhibit, Rochester, NY, USA: 23-27, Sept. 1996, 139-142.
- [4] Chaudhary K, Pedram M. Computing the area versus delay trade-off curves in technology mapping, IEEE Trans. on Comp.-Aided Des. of Integr. Circuits Syst. 1995, 14(12): 1480-1489.
- [5] Shih-Chien Chang, Marek-Sadowka M. Technology mapping for TLU FPGAs based on decomposition of binary decision diagrams, IEEE Trans. on Comp.-Aided Des. of Integr. Circuits Syst. 1996, 15(10): 1226-1236.
- [6] Jha P K, Dutt N D. High-level library mapping for arithmetic components, IEEE Trans. on VLSI Syst. 1996, 4(2): 157-169.
- [7] 马聪, 刘明业, 等. 高级综合中工艺单元 VHDL 模拟模型的建立方法. 计算机辅助设计与图形学学报, 1998, 10(增刊): 143-147.

## A METHODOLOGY OF TECHNOLOGY MAPPING FOR MULTI-TARGET IN VHDL HIGH LEVEL SYNTHESIS SYSTEM

Ma Cong    Yang Xun    Liu Mingye

(Beijing Institute of Technology, Beijing 100081)

**Abstract** This paper is focused on the research of connecting the HLS(High Level Synthesis) result to the technology of IC. To connect to deferent technology, a tactics of MLTMMT(Multi-Level Technology Mapping for Multi-Target) is proposed. All key points are researched, which include: (1) giving the formal description of the technology mapping for multi-target; (2) giving the method of MLTMMT; (3) analyzing and researching many technology libraries, presenting a linear model of area and delay of the technology cells; (4) giving the set of the general RTL components; (5) building the VHDL simulation model in different technologies. The system has been connected to 3 kinds of IC production line, and this verifies the theory and method.

**Key words** High level synthesis, Technology mapping, VHDL, High level technology mapping, Multi-level technology mapping for multi-target

马 聪: 男, 1957 年生, 博士, 副教授, 研究方向为 VHDL 高级综合, 人工智能。

杨 勋: 男, 1970 年生, 博士生, 研究 VHDL 高级综合。

刘明业: 男, 1934 年生, 教授, 博士生导师, 长期以来从事 EDA 的教学和科研工作。