

扫描电子束在绝缘衬底上生长单晶 硅薄膜(SOI)的实验研究*

林世昌 张燕生

(中国科学院电子学研究所,北京 100080)

张国炳 王阳元

(北京大学计算机科学技术系,北京 100871)

摘要 在绝缘衬底上生长单晶硅薄膜,即 SOI 技术,是近年发展起来研制三维集成电路的一项新技术.本文讨论了利用扫描电子束对淀积在 SiO_2 上的多晶硅薄膜进行改性的实验.采用籽晶液相外延形成单晶硅薄膜.本实验的重点在于摸索电子束的功率密度、扫描速度、衬底的温度和样品结构等因素对形成单晶硅薄膜质量的影响.实验取得了较好的结果,获得了 $200 \times 25 \mu\text{m}^2$ 的单晶区.

关键词 单晶硅薄膜, SOI 技术,材料改性

1 引言

许多研究^[1-4]表明高能束(例如激光束、电子束等)作用于多晶硅薄膜,能够使其晶粒增大、晶粒间界角度降低,在一定条件下,绝缘衬底(主要是 SiO_2)上的多晶硅膜能够再结晶成为单晶硅膜,即 SOI (Silicon on Insulator)技术.因为高能束具有瞬态处理的特点,只要控制恰当,就可以实现仅改变表面层薄膜的结构,而不损伤衬底性能的目的,因而就有可能在“一层”集成电路上面再“建筑”“另一层”集成电路,形成三维空间电路.为了实现上述目的,能够获得质量较高的单晶硅膜,提出了外延横向生长单晶方法^[5-8].

本实验利用扫描电子束作为处理样品的能源,研究籽晶液相外延再结晶的方法,如图 1 所示,可以认为表层多晶硅膜得到了改性,成为单晶硅膜.

电子束与激光束相比较,具有效率高、易控制、真空中污染少等优点.为了解决电子束处理条件比较严格(融化多晶硅膜的温度阈值与衬底层温度值相差较小,如图 2 所示)的困难,本实验的目的是探讨电子束功率密度、扫描速度、衬底温度和样品结构组成(表面

1993-10-08 收到,1994-04-05 定稿

* 国家自然科学基金资助项目.

林世昌 男,1937年生,研究员,现从事电子束技术和材料改性的研究、电子工艺材料及传感器的研究.
张燕生 男,1958年生,工程师,现从事电子束技术和材料改性的研究、电加工技术及传感器的研究.
张国炳 男,1938年生,副教授,从事微电子学的研究.
王阳元 男,1935年生,教授,博士生导师,从事微电子学的研究.

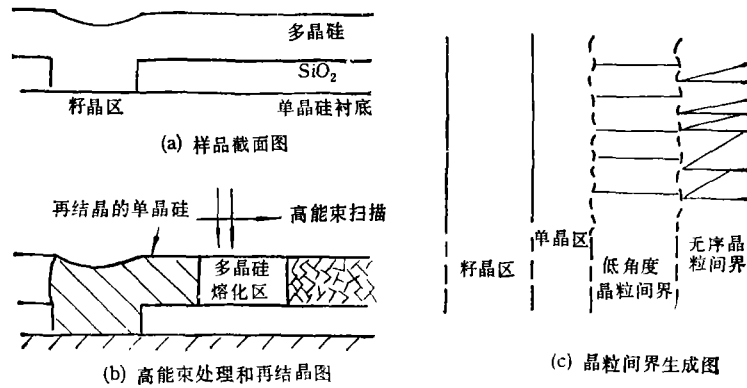


图1 有籽晶区的液相外延再结晶过程示意图

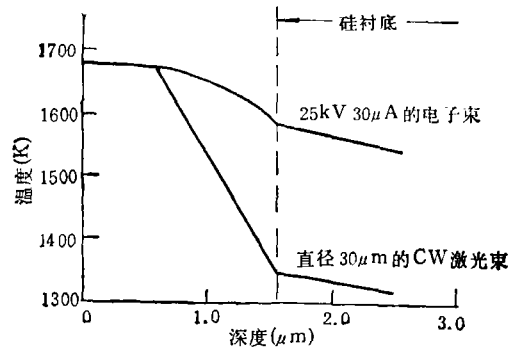


图2 高能束处理样品时沿深度方向的温度分布

保护层厚度)等因素对形成单晶硅膜质量的影响。

2 实验装置和样品

为了能够对样品进行比较充分的试验,实验装置由三部分组成,如图3所示。

(1) 电子束源 由电子束焊接机的电子枪(包括阴极、聚束极、阳极和电磁透镜)产生电子束。主要技术指标为:电压0—25kV连续可调(有指示仪表),束流0—30mA连续可调(有指示仪表),束斑点直径0.1—3.0mm连续可调(估算值)。

(2) 扫描系统 由偏转线圈和信号电源组成。电子束具有 x 、 y 二个方向的扫描功能,即可以进行光栅扫描, y 方向扫描速度为375cm/s(相对一定的工件高度而言),因此在该方向上的电子束可视为是一条准线状束; x 方向的扫描速度为2cm/s。

(3) 加热系统 由加热电阻炉与可调压电源组成。加热功率可达500W;用热电偶测量被加热件(样品台和样品)的温度(即样品的衬底温度)。

样品制备如图4所示,在P型(100)单晶硅衬底(面尺寸为 $1 \times 1\text{cm}^2$)上热生长一层 SiO_2 薄膜,厚度为0.3—0.5 μm ;为了形成籽晶,在 SiO_2 膜上光刻出窗口,其宽度可取为

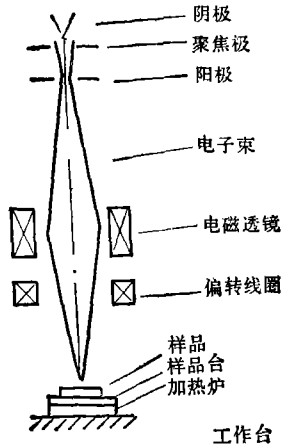


图3 实验装置示意图

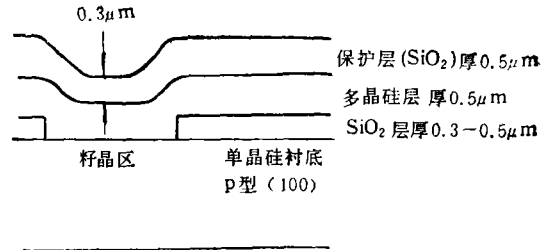


图4 样品示意图

10 μm , 50 μm , 100 μm 等;再用LPCVD法淀积一层多晶硅,厚度为0.5 μm ;有些样品再淀积一层保护层(SiO_2),厚0.3—0.5 μm 。

3 实验结果和讨论

3.1 扫描电子束的试验条件

根据样品面尺寸为 $1 \times 1\text{cm}^2$ 的具体情况,当样品室达到一定的真空度之后,调节好电子束的扫描系统,使 y 方向的准线束长度 l 为1cm;调节电子束斑尺寸,使准线束的宽度 h 为0.1cm。然后对样品进行全面积的扫描处理。有代表意义的试验参数与结果列于

表1 试验参数与结果

编号	衬底温度 $T(^{\circ}\text{C})$	电 压 $U(\text{kV})$	束 流 $I(\text{mA})$	功率密度 $P(\text{kW}/\text{cm}^2)$	扫描速度 $v_x(\text{cm}/\text{s})$	结果
01	~600	20	1.5	0.3	2.0	表层未熔化
02	~600	20	2.5	0.5	2.0	表层熔化
03	~600	24	2.0	0.48	2.0	表层熔化
04	~600	24	2.5	0.6	2.0	衬底局部熔融

表1。由表1可见,在一定的衬底温度和扫描速度下,样品的表面状态与电子束的功率密度直接相关,存在一定的阈值功率密度。如果功率密度过小,就不足以使表面层熔化,也不会发生改性现象;当功率密度达到此阈值后,则表面层熔化,将出现再结晶的改性现象(见下节讨论);超过此阈值,则会造成衬底熔化或局部熔融。

对试验样品进行了微观分析,图5表示一个较佳试验条件下取得的样品单晶区的形貌照片,即获得了 $200 \times 25\mu\text{m}^2$ 的单晶区,这是一个很有意义的结果。

3.2 工艺因素讨论

3.2.1 电子束的功率密度 实验的目的是要使多晶硅膜再结晶转化为单晶硅膜而又不烧伤硅衬底,即不损伤原有的硅集成电路。这里最基本的一个工艺条件就是控制

好样品上下层纵向的温度分布,使表层(多晶硅)达到 1415°C (再结晶温度),衬底(SiO_2 和硅衬底)低于 1415°C 。

在我们的实验中,先假定样品的热容量和热导率(取决于多晶硅层的厚度、绝缘层的

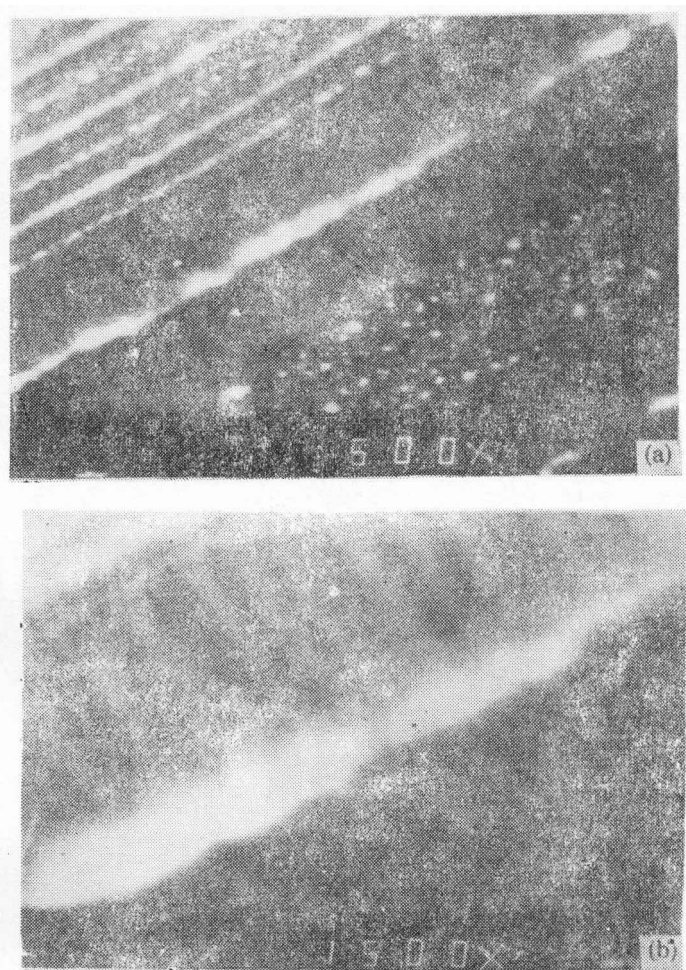


图5 较佳条件下处理样品的单晶区形貌照片

材料和厚度、表面保护层的材料和厚度等)均为定值,因此影响样品纵向温度分布的工艺因素就简化为电子束的工艺因素。当电子束的扫描速度选定为某一数值后,则电子束的功率密度就成为影响实验的主要工艺因素。随着功率密度的增大,多晶硅膜的晶粒从长大、熔化、再结晶到过熔。图6表示不同功率密度下形成的SOI膜的电镜形貌照片和反射电子衍射图。图6(a)表示未经处理的样品的形貌和衍射图。图6(b)表示功率密度较小,但晶粒已经长大。当功率密度达到阈值时,表层多晶硅开始熔化,由籽晶处开始再结晶外延,形成单晶区,如图6(c)。图6(d)则表示功率密度过大,多晶硅过热,冷却后凝成滴珠状,并露出 SiO_2 衬底。

3.2.2 样品衬底温度 用籽晶液相外延形成单晶硅膜的方法,具有能获得高质量

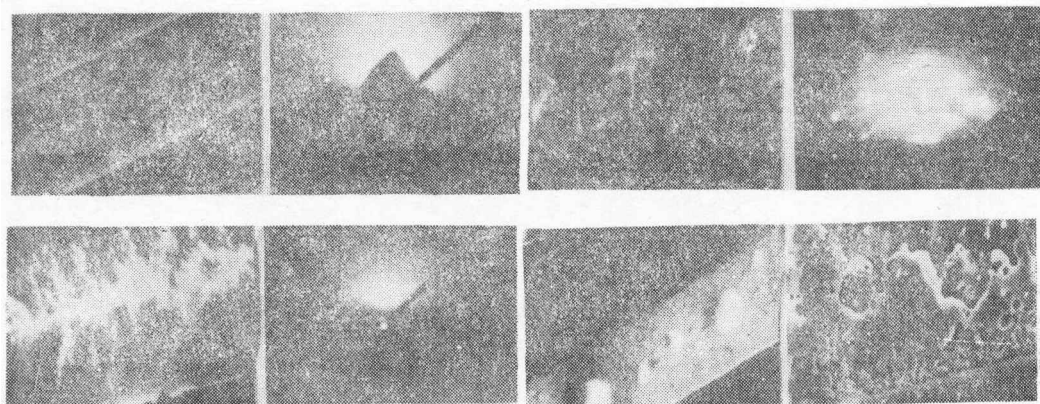


图 6 样品表面层(SOI 膜)的形貌照片和衍射图

(a) 未经处理的样品(上部左边两图) (b) 处理功率密度较小的样品(上部右边两图)

(c) 处理功率密度达到阈值的样品(下部左边两图) (d) 处理功率密度过大的样品(下部右边两图)

单晶硅膜的优点;但又存在热失配的问题,即多晶硅膜上相应于籽晶区和 SiO_2 衬底区的温度分布是不均匀的,这是由于 Si 的热导率与 SiO_2 热导率相差约 150 倍所致。在同样功率密度作用下,籽晶区温度要低于 SiO_2 区温度,即当 SiO_2 区域上的多晶硅膜温度达到熔点并开始熔化,而籽晶区域上多晶硅膜温度还低于熔点,尚未熔化;反之当籽晶区域上的多晶硅膜熔化时,在 SiO_2 上的多晶硅已处于过热状态并化成滴珠,衬底也将熔化,并形成裂纹,如图 7 所示。



图 7 衬底未预热的样品形貌照片

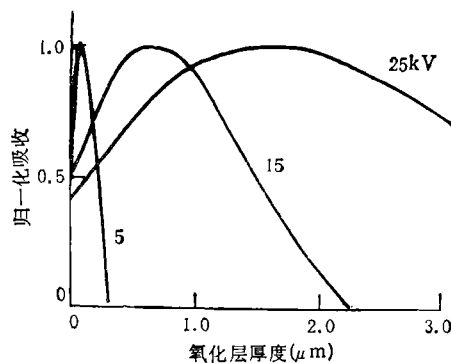


图 8 电子束能量在 SiO_2 中的吸收曲线

为了解决热失配问题或将其影响减低到最小程度,提高衬底温度是一个行之有效的办法,因为这样可以减少表面层和衬底层的温度差,相应减小了样品热导率失配的影响。但提高温度时,又要注意不影响衬底层(特别是多层集成电路)的性能。通过实验表明,衬底的预热温度取 600°C 是比较合适的。

3.2.3 表面保护层厚度 解决热失配的另一个办法是改变样品结构组成,即改变保护层(SiO_2)的厚度,使相应于 SiO_2 区的保护层加厚,如图 4 所示。较厚的保护层可以吸收较多的电子束能量,减小了相应区域上多晶膜吸收的能量,即减轻了热失配的影响。

图 8 表示不同能量的电子束在 SiO_2 中的吸收曲线 (最大吸收归一化为 1.0)。对于 20—24kV 的电子束, 样品 SiO_2 保护层和多晶硅膜层的总厚约 $1\mu\text{m}$ 左右为宜。我们的实验中多晶硅膜层的厚度为 $0.5\mu\text{m}$, 取 SiO_2 保护层厚度为 $0.3—0.5\mu\text{m}$ 。

3.2.4 电子束扫描速度 提高电子束的扫描速度, 对减轻热失配的影响也是有利的, 因为它可以使电子束在样品上的停留时间较短, 也就使样品衬底导热的影响减小。本实验的扫描速度已经用到最大值。

4 结 论

扫描电子束作用于多晶硅膜, 使其熔化、再结晶(籽晶液相外延)形成单晶硅膜 (SOI 膜), 实现了材料改性的目的。影响形成单晶硅膜质量的因素有电子束功率密度、衬底温度、样品结构组成(保护层厚度)和电子束扫描速度等。通过大量实验, 在一定的工艺条件下, 获得了 $200 \times 25\mu\text{m}^2$ 的单晶区。由于扫描电子束对样品作用具有瞬态的特点, 使材料改性仅发生在表面层, 不会影响衬底的性能, 因此电子束 SOI 技术对三维集成电路的研制将具有特殊的意义。

参 考 文 献

- [1] Gat A, *et al.* Appl. Phys. Lett., 1978, 33(8): 775—778.
- [2] Ohmura Y, *et al.* IEEE Electron Devices Lett., 1983, EDL-4(3):57—59.
- [3] Emery K, *et al.* SPIE-Society of Photo-Optical Instrumentation Engineers, Vol.459, Laser Assisted Deposition, Etching and Doping, 1984:82—89.
- [4] Hopper G F, *et al.* Electron. Lett., 1984, 20(12): 500—501.
- [5] Kawamura S, *et al.* Laser-Induced Lateral Epitaxial Growth of Si over SiO_2 , Extended Abstracts of the Electrochem. Soc., Spring Meeting, Montreal, Canada; 1982,243—244.
- [6] Bradbury D R, *et al.* J.Appl. Phys., 1984, 55(2):519—523.
- [7] 张旭光,李映雪,王阳元,朱忠伶, 电子学报,1989,17(5): 1—7.
- [8] Shahidi, *et al.* Fabrication of CMOS on Ultrathin SOI obtained by Epitaxial Lateral Overgrowth and Chemical-Mechanical Polishing. IEDM-International Electron Devices Meeting-Technical Digest 1990, San Francisco, CA: Dec. 9—12, 1990, Sponsored by Electron Devices Society of IEEE: 25.2.1—25.2.4.

THE GROWTH OF MONOCRYSTALLINE SILICON THIN FILM ON INSULATOR (SOI) BY SCANNING ELECTRON BEAM

Lin Shichang Zhang Yansheng Zhang Guobing Wang Yangyuan
(Institute of Electronics, Academia Sinica, Beijing 100080) (Peking University, Beijing 100871)

Abstract An experiment for preparation of SOI films by using scanning electron beam to modify polycrystalline silicon on SiO_2 is presented. This method takes on the lateral epitaxial growth of liquid phase crystallon to form monocrystal Si films. The effects of beam power density, scanning velocity, temperature of substrates and the construction of samples on the quality of the monocrystalline silicon films were discussed. A good experimental result has been obtained, the monocrystalline silicon zone is nearly $200 \times 25\mu\text{m}^2$.

Key words Monocrystalline silicon film, SOI technology, Material modification