

基于 U_h 门的三值触发器和时序电路设计*

沈继忠 陈偕雄

(杭州大学电子工程系, 杭州 310028)

摘要 本文根据基于模代数的各种三值触发器的次态方程, 提出用 U_h 通用门实现各种三值触发器。在此基础上, 利用 U_h 门阵列实现三值时序电路。

关键词 三值模代数; 通用门; 三值触发器; 三值时序电路

一、引言

在多值数字系统中, 对通用门及其应用的研究受到广泛重视^[1-10]。建立在模代数基础上的三值通用门主要有两种: U_f ^[8] 和 U_h ^[9] 门, 它们的定义和关系如下:

$$U_f(\alpha, \beta, \gamma, x) = \alpha \oplus \beta \cdot x \oplus \gamma \cdot x^2 \quad (1)$$

式中符号“ \oplus ”和“ \cdot ”表示模3加和模3乘(模3乘符号常省略)。(1)式可进一步分解为

$$U_f(\alpha, \beta, \gamma, x) = \alpha \oplus \beta x \oplus \gamma x^2 = \alpha \oplus x(\beta \oplus \gamma x) = \alpha \oplus U_h x$$

这里

$$U_h(\xi, \eta, x) = \xi \oplus \eta x \quad (2)$$

即为文献[9]提出的 U_h 门。也就是说 U_f 门可用2个 U_h 门实现, 如图1所示, 并且在实现函数时 U_h 门比 U_f 门更为灵活, 成本更省^[10]。

我们知道通用门阵列不但能实现组合电路, 而且能实现时序电路和数字系统, 但要实现时序电路和数字系统必须有触发器。逻辑功能完备、均衡且具有理想的激励函数表的触发器是正确、快速设计性能良好的时序电路的基础。以往有关 U_h 门的文献主要研究用它实现三值组合电路。本文首先提出用 U_h 门实现基于模代数的各种三值触发器, 然后在此基础上实现只用 U_h 门构成时序电路。

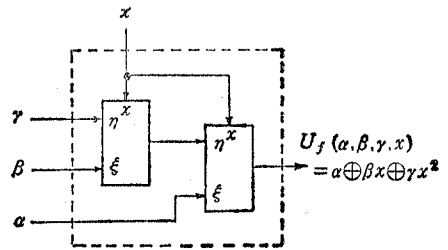


图1 用2个 U_h 门实现 U_f 门

二、用 U_h 门设计的三值触发器

在基于模代数的多值数字电路设计中, 只要用到原变量或者它的几种极性变换即可,

1992.01.06 收到, 1992.04.16 定稿。

* 浙江省自然科学基金资助项目

沈继忠 男, 1965年生, 讲师, 现从事数字电子学方面的研究和教学工作。

陈偕雄 男, 1941年生, 教授, 现从事数字电子学方面的研究和教学工作。

所以相应的触发器也只需要单轨输出。三值极性变换可利用 U_h 门方便地实现^[9], 因此本文设计的各种三值触发器都是单轨输出的。

文献[11]提出的基于模代数的三值触发器具有逻辑功能强且均衡等优点, 由此导致激励函数简单以及触发器之间转换方便等优点。基于模代数的各种常用三值触发器的次态方程如下:

$$\text{D型触发器} \quad Q' = D \quad (3)$$

$$\text{T型触发器} \quad Q' = T \oplus Q \quad (4)$$

$$\text{JK型触发器} \quad Q' = J \oplus (1 \oplus J \oplus K)Q \quad (5)$$

由于三值 JK 触发器的激励函数 J, K 的取值受到相互约束^[11], 因此其激励函数的化简有一定的困难。而文献[12]提出的具有三个激励输入端的 JKL 型触发器, 具有理想的激励函数表, 因此本文不设计 JK 型触发器, 而用三值 JKL 型触发器代替。它的次态方程可表达成为

$$Q' = J \oplus (2K \oplus L \oplus 1)Q \oplus 2(J \oplus K \oplus L)Q^2 \quad (6)$$

各种触发器的激励函数表如表 1 所示。

表 1 各类三值触发器的激励表(表中 d 表示任意取值)

触发器行为			JK 型		JKL 型			T 型	D 型
Q	Q'	Q	J	K	J	K	L	T	D
0	0	0	0	d	0	d	d	0	0
0	1	α	1	d	1	d	d	1	1
0	2	δ	2	d	2	d	d	2	2
1	0	θ	$J = K \oplus 1$		d	2	d	2	0
1	1	1	$J = K$		d	0	d	0	1
1	2	β	$J = K \oplus 2$		d	1	d	1	2
2	0	γ	d	2	d	d	1	1	0
2	1	ξ	d	1	d	d	2	2	1
2	2	2	d	0	d	d	0	0	2

根据(3),(4)和(6)式, 结合时钟脉冲控制触发器状态转换原理, 即可设计出由 U_h 门组成的时钟脉冲型三值 D, T, JKL 型触发器。本文中时钟脉冲 cp (clock pulse) 只取 0, 2 两个值。

对于 D 型触发器, 用时钟脉冲信号 cp 来控制触发器状态转换时有: 当 $cp = 0$ 时, 激励输入 D 信号不起作用, 触发器状态不变; 当 $cp = 2$ 时, D 信号起作用, 触发器状态等于外输入 D 。由此写出包含 cp 的 D 型触发器次态方程:

$$Q' = \overline{cp} \cap Q + cp \cap D$$

式中符号“ \cap ”和“+”分别表示“与”和“或”运算。将上式用模代数表示, 并考虑到 cp 只取 0, 2 两个值, 则有

$$\begin{aligned} Q' &= Q \cdot (cp \oplus 1) \oplus D \cdot 2cp \\ &= cp(Q \oplus 2D) \oplus Q \end{aligned} \quad (7)$$

对于 T 型触发器, 对 cp 的作用可有 2 种考虑: 一种考虑同 D 型触发器, 即 $cp = 0$

时, 触发器状态不变; $cp = 2$ 时, $Q' = Q \oplus T$. 另一种考虑是: 因 $T = 0$ 时, 次态同现态一样, 所以可使 $cp = 0$ 时, $T = 0$; 而在 $cp = 2$ 时, T 即为外输入的激励函数值. 两种考虑设计结果完全一致. 现按第二种考虑设计:

$$Q' = (cp \cap T) \oplus Q$$

用模代数表示为

$$Q' = 2cpT \oplus Q \tag{8}$$

对于 JKL 型触发器, 将 cp 作用写入次态方程, 则有:

$$\begin{aligned} Q' &= \overline{cp} \cap Q + cp \cap [J \oplus (2K \oplus L \oplus 1)Q \oplus 2(J \oplus K \oplus L)Q^2] \\ &= (cp \oplus 1)Q \oplus 2cp[J \oplus (2K \oplus L \oplus 1)Q \oplus 2(J \oplus K \oplus L)Q^2] \\ &= cp\{J(2 \oplus Q^2) \oplus Q[(K \oplus 2L) \oplus (L \oplus K)Q]\} \oplus Q \end{aligned} \tag{9}$$

根据(7),(8)和(9)式设计的脉冲型三值 D, T, JKL 型触发器如图 2 所示.

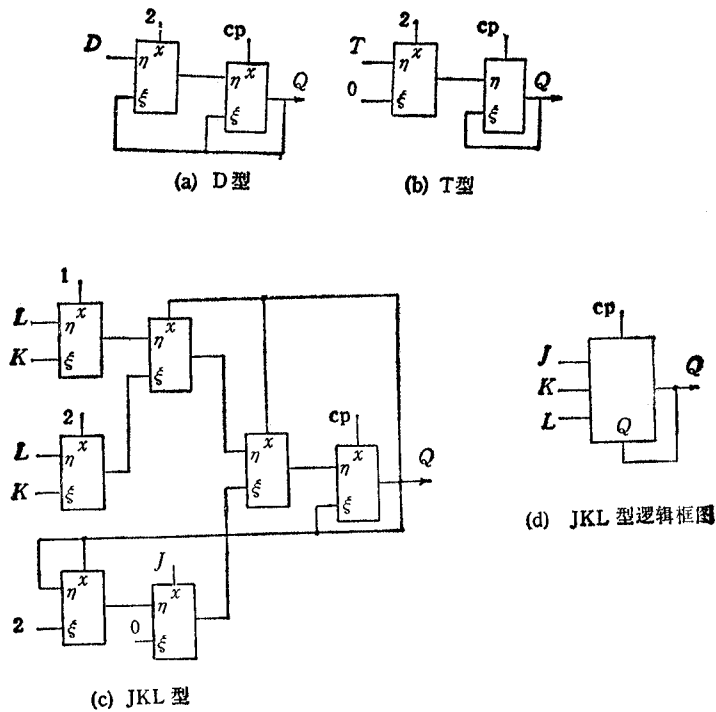


图 2 三值脉冲型触发器

从上述设计的各触发器可知, 最后一个 U_h 门乘积项的 2 个输入端分别接时钟 cp 和仅受激励函数和触发器现态决定的函数, 而其求和端接触发器的输出. 这是由 U_h 门的特性和触发器受时钟 cp 控制的原理所决定的. 因为

$$U_h = \xi \oplus \eta x = Q \oplus cp \cdot g(y, Q) = Q'$$

式中 y 为触发器的激励函数集合. 当 $cp = 0$ 时, $Q' = Q$; 而 $cp = 2$ 时, $Q' = Q \oplus 2g(y, Q)$, 则为相应触发器未包含 cp 的次态方程.

三、边沿型三值触发器

上节设计的脉冲型 T, JKL 型触发器, 由于它们的输出又反馈到输入端, 所以在 $cp = 2$ 期间, 它们的输出将不断变化, 因此无法在实际电路中使用. 即使是 D 型触发器, 在 $cp = 2$ 期间, 若 D 发生变化, 则输出亦随之变化. 而实用的触发器要求在一个时钟周期内, 它的状态只允许转换一次. 为此必须设计边沿型触发器.

我们采用主从型结构设计用 U_{η} 门构成的边沿型三值触发器. 但不必象二值主从型

触发器那样用 2 个结构一致的脉冲型触发器相联接, 而是根据主从型触发器对主, 从触发器间状态传输的要求, 设计出如图 3 所示的由 2 个 U_{η} 门构成的从触发器. 它与主触发器间状态的关系为: $cp = 0$ 时, 主触发器将其在 $cp = 2$ 时的次态传输给从触发器; 而在 $cp = 2$ 时, 从触发器的状态不变. 其次态方程为

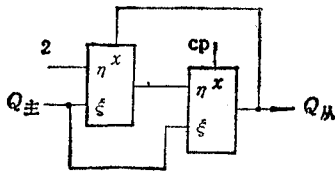


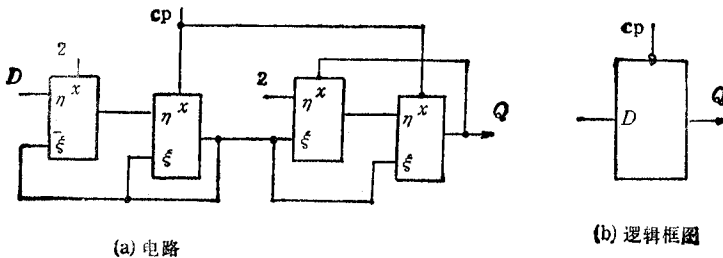
图 3 从触发器电路

$$\begin{aligned} Q'_{\pm} &= 2cp \cdot Q_{\pm} \oplus (cp \oplus 1) Q_{\pm} \\ &= cp(2Q_{\pm} \oplus Q_{\pm}) \oplus Q_{\pm} \end{aligned} \quad (10)$$

将上节设计的脉冲型 D 触发器与图 3 所示的从触发器相联结, 即构成图 4 所示的对下跳变敏感的主从型 D 型触发器.

然而, 仿照主从型 D 型触发器的设计, 将脉冲型 T, JKL 型触发器与从触发器相联结构成的主从型 T, JKL 型触发器却不能正常工作, 因为它们未克服脉冲型 T, JKL 型触发器存在的问题. 如果将作为主触发器的脉冲型触发器的反馈输入端接从触发器的输出, 这样虽然解决了脉冲型触发器存在的问题, 却又导致整个主从型触发器的状态始终不变. 为了解决上述问题, 我们在主, 从触发器之间接入隔离级. 隔离级在 $cp = 2$ 时的输出等于主触发器的输出, 而在 $cp = 0$ 时, 它的输出保持不变. 它其实就是脉冲型 D 型触发器. 因此隔离级与从触发器相联接后即是上面设计的主从型 D 型触发器.

根据上面的设计思想, 可设计出如图 5 所示的主从型 T, JKL 型触发器. 由于主、从触发器之间加入了隔离级, 因此将主触发器的反馈输入端接从触发器的输出后, 解决了脉冲型触发器存在的问题, 而又不致于使整个触发器的状态始终不变.



(a) 电路

(b) 逻辑框图

图 4 对下跳变敏感的主从型 D 型触发器

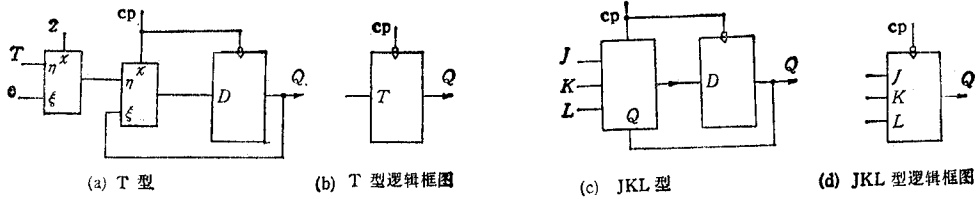


图 5 对下跳变敏感的主从型三值 T,JKL 型触发器

由上述设计过程可获悉,这里设计的主从型三值触发器,不仅达到了在一个时钟周期内触发器状态只允许转换一次的要求,而且在 $cp = 2$ 期间,触发器的激励函数允许变化,不像一般二值主从型触发器在 $cp = 1$ 时要限制激励函数变化^[13]。

四、三值时序电路设计

三值时序电路的设计可仿照二值时序电路设计程序。先根据待设计系统的性质选定适当触发器,并根据系统状态数确定触发器的数量;再进行状态安排和确定具体的状态表;然后根据激励表,求得最小化激励函数。下面将通过 2 个例子说明利用 U_6 门和上节设计的触发器设计三值时序电路的程序。

例 1 用三值 T 型触发器设计九进制加法计数器。

九进制计数器共有 9 个状态,所以只用 2 个三值触发器 A, B 即可。根据九进制计数器的要求,可得其次态和状态行为如表 2 所示。它们的行为 K 图如图 6(a), 6(b) 所示。

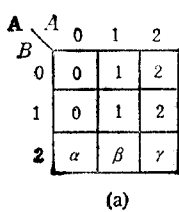
根据激励函数表和触发器行为 K 图,读出 2 个触发器的激励函数为

$$\left. \begin{aligned} T_A &= 1 \cap^2 B^2 \\ T_B &= 1 \end{aligned} \right\}$$

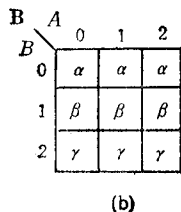
将其表达成模代数形式:

表 2 九进制加法计数器的状态和行为表

A	B	A'	B'	A	B	A	B	A'	B'	A	B
0	0	0	1	0	α	1	2	2	0	β	r
0	1	0	2	0	β	2	0	2	1	2	α
0	2	1	0	α	r	2	1	2	2	2	β
1	0	1	1	1	α	2	2	0	0	r	r
1	1	1	2	1	β						



(a)



(b)

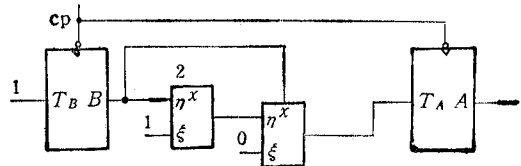


图 7 九进制加法计数器

图 6 例 1 触发器行为 K 图

$$\left. \begin{aligned} T_A &= B \oplus 2B^2 \\ T_B &= 1 \end{aligned} \right\} \quad (11)$$

根据(11)式即可画出九进制加法计数器电路如图 7 所示。

例 2 用基于模代数的三值 JKL 型触发器设计工作特性如表 3 所示的时序电路^[11]。

表 3 例 2 时序系统的状态表

y_1	y_2	$x=0$		$x=1$		$x=2$		y_1	y_2	$x=0$		$x=1$		$x=2$	
		y_1'	y_2'	y_1'	y_2'	y_1'	y_2'			y_1'	y_2'	y_1'	y_2'	y_1'	y_2'
0	0	1	1	2	1	0	2	1	2	2	2	1	1	1	1
0	1	1	0	2	0	0	0	2	0	1	1	0	1	1	2
0	2	1	2	2	1	0	1	2	1	1	0	0	0	1	0
1	0	2	1	1	1	1	2	2	2	1	2	0	1	1	1
0	1	2	0	1	0	1	0								

由表 3 可知,该系统由 2 个触发器 (y_1, y_2) 组成,并有 1 个外输入,且该系统中各触发器的次态与另一触发器的现态无关。根据表 3 可画出触发器的行为 K 图如图 8(a), 8(b) 所示。

根据激励表可由行为 K 图读出激励函数:

$$y_1: \begin{cases} J_1 = {}^1x^1 + 1 \cap {}^0x^0 \\ K_1 = 1 \cap {}^0x^0 \\ L_1 = {}^1x^1 + 1 \end{cases} \quad y_2: \begin{cases} J_2 = {}^2x^2 + 1 \\ K_2 = 2 \\ L_2 = {}^0x^0 \end{cases}$$

将它们表达成模代数形式:

$$y_1: \begin{cases} J_1 = 1 \oplus x \\ K_1 = 1 \oplus 2x^2 \\ L_1 = 2 \oplus x(1 \oplus x) \end{cases} \quad (12)$$

$$y_2: \begin{cases} J_2 = 1 \oplus x \oplus 2x^2 \\ K_2 = 2 \\ L_2 = 2x^2 \end{cases} \quad (13)$$

根据(12), (13)式可设计出如图 9 所示的仅由 U_h 门组成的 2 个触发器的激励函数电路。总的电路图略。

在设计激励函数电路时,针对多个激励输入的特点,尽量利用已经产生的函数,以减少所用 U_h 门数。由上面的设计可知有 5 个不同的非常数和原变量的激励函数,仅用了 5 个 U_h 门,这是用门最少的情况。

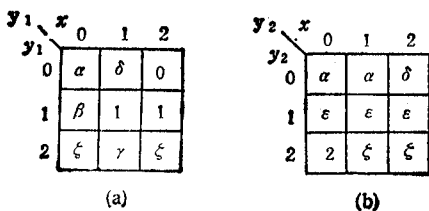


图 8 例 2 触发器行为 K 图

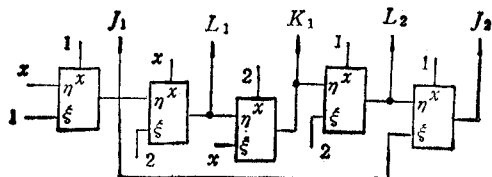


图 9 例 2 激励函数电路

五、结 论

用 U_3 门设计的各种三值触发器电路结构简单, 所用门电路单一, 逻辑功能完备且均衡, 并且对激励函数没有限制。通过 2 个三值时序电路设计实例表明, 应用也比较方便。另外设计实例还表明, 用 U_3 门来实现触发器中的激励函数亦简单易行, 尤其在有多个激励输入时, 可通过共用 U_3 门而节省所用门的数量。

有了用 U_3 门组成的各种三值触发器和设计三值时序电路的方法, 再结合以往文献对利用 U_3 门实现三值组合电路的研究, 就可利用 U_3 门阵列实现三值数字系统。因此本文的工作使利用 U_3 门设计三值数字电路的研究更完善。

参 考 文 献

- [1] 顾秋心, 电子学报, 16 (1988)3, 42—47.
- [2] T. Higuchi, M. Kameyama, Ternary logic system based on T-gate, IEEE Proc. of 5th Int. Symp. on MVL, Bloomington, (1975), pp. 290—301.
- [3] M. Kameyama, T. Higuchi, Synthesis of optimal T-gate networks in multiple-valued logic, IEEE Proc. of 9th Int. Symp. on MVL, Bath, (1979), pp. 190—195.
- [4] K. Y. Fang, A. S. Wojcik, Synthesis of multiple-valued logic functions based on a modular design approach, IEEE Proc. of 13th Int. Symp. on MVL, Kyoto, (1983), pp. 397—403.
- [5] P. Klinkhachorn, R. Swartwout, Synthesis algorithm for minimal components in T-ULM network, IEEE Proc. of 13th Int. Symp. on MVL, Kyoto, (1983), pp.408—413.
- [6] M. Kameyama, T. Higuchi, IEEE Trans on C, C-26(1977)12, 1297—1302.
- [7] S. L. Hurst, IEEE Trans on C, C-33(1984)12, 1160—1179.
- [8] V. H. Tokmen, S. L. Hurst, A consideration of universal-logic-modules for ternary synthesis based upon Reed-Muller coefficients, IEEE Proc. of 9th Int. Symp. on MVL, Bath, (1979), pp. 248—256.
- [9] Wu Xunwei, Chen Xiexiong, Scientia Sinica (Series A), 26(1983)12, 1326—1337.
- [10] Z. Hu, X. Wu, The logic synthesis using ternary universal-logic-module U_3 , IEEE Proc. of 17th Int. Symp. on MVL, Boston, (1987), pp 250—259.
- [11] 吴训威, 毕德祥, 电子学报, 12(1984)3, 4—13.
- [12] Wu Xunwei, Chen Xiexiong, Scientia Sinica (Series A), 28(1985)11, 1208—1221.
- [13] 万栋义, 脉冲与数字电路, 第二版, 高等教育出版社, 北京, 1986 年, 第 273—278 页.

DESIGN OF TERNARY FLIP-FLOPS AND SEQUENTIAL CIRCUITS BASED UPON U_3 MODULE

Shen Jizhong Chen Xiexiong
(Hangzhou University, Hangzhou 310028)

Abstract According to the next-state equations of various ternary flip-flops (tri-flop), which are based upon ternary modular algebra, various ternary flip flops are implemented by using universal-logic-module U_3 s. Based on it, ternary sequential circuits are implemented by using array of universal-logic-module U_3 s.

Key words Ternary modular algebra; Universal logic-module; Ternary flip-flops (tri-flop); Ternary sequential circuits