

数字专用集成电路中平方运算的硬件实现¹

韩 雁 姚庆栋

(浙江大学 CAD & CG 国家重点实验室 杭州 310027)

摘 要 在进行数字专用集成电路的设计中, 尤其是应用于通信和信号处理领域的 ASICs 中, 经常会遇到对一种特殊运算——平方运算的硬件实现问题。本文从常规乘法器的设计入手, 通过对乘法器部分积的规律进行归纳总结和简化操作, 提出了适于 VLSI 实现的平方器的设计方法, 该方法可极大地降低硬件规模。

关键词 数字专用集成电路, 乘法器设计, 平方器设计

中图分类号 TN431.2

1 引言

在对数字通信和信号处理大规模专用集成电路的设计研究中, 经常会遇到诸如要解决平方运算的硬件实现这一类问题。比如在正交调幅 (QAM) 系统中, 信道符号序列之间欧几里德距离的计算形式即表现为 $d^2 = \Delta x^2 + \Delta y^2$ ^[1], 为此既要用到减法运算、加法运算, 也要用到平方运算。对于平方运算, 如果简单借用 VLSI 中现成的乘法器来实现当然也未尝不可, 但在对电路规模限制较严的情况下, 或在平方运算需要大量并行进行时, 采用规模较大的乘法器实现平方运算就会造成较大的代价, 这时就需要进行专门的硬件设计来合理、有效地实现平方操作。

2 通用乘法器的设计

仍以上述求欧几里德距离的例子为例。假设 Δx 为一个二进制数, 且其绝对值可表示如下:

$$|\Delta x| = I_7 I_6 I_5 I_4 I_3 I_2 I_1$$

则 $|\Delta x|^2$ 的乘法实现过程将如图 1 所示。图中 $I_{ij} = I_i I_j$, 可用“与门”或反码的“或非门”加以实现; $P_i (i = 1, 2, \dots, 14)$ 为乘积结果, 由一加法器阵列累加部分积求得。对于一个 n -bit 的乘法器, 共需 n 个“非门”、 n^2 个“或非门”、 $(n-1)^2$ 个全加器和 $(n-1)$ 个半加器^[2], 本例中 $n = 7$ 。

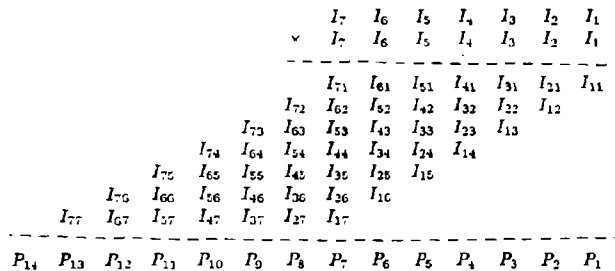


图 1 $|\Delta x|^2$ 的乘法实现过程

¹ 1994-10-24 收到, 1995-02-21 定稿
国家自然科学基金和国防科委八五攻关资助项目

3 乘法器化简为平方器

如果对图 1 中的乘积结果 P 进行细致分析, 就不难发现它实际上具有如图 2 所示的求和特性。

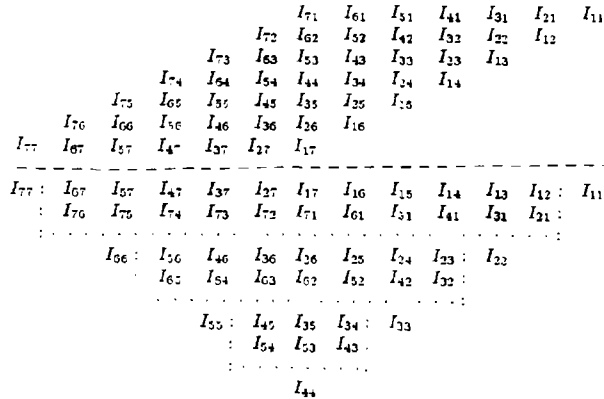


图 2 对图 1 的部分积进行重新组合

已知对于平方运算来说, 有 $I_{ij} = I_i I_j = I_j I_i = I_{ji}$, 故图 2 中各点线框内的两个加数与被加数其实是彼此相同的。因此, 各点线框内的两数相加运算实际上变成了一个乘 2 运算, 而二进制数的乘 2 运算是非常方便的, 只要将乘数右移一位并在末位添零即可。这样图 2 的累加形式就可化成图 3 的累加形式了。

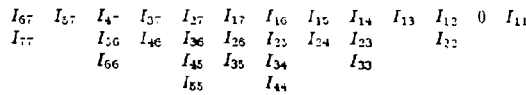


图 3 化简后的部分积形式

完成图 3 所示累加形式的乘法器电路将如图 4 所示 (图 4 中乘积项的最低两位已被丢弃)。图中 FA 为全加器, HA 为半加器。其中由于 $I_{ij} = I_{ji}$ 和 $I_{ii} = I_i I_i = I_i$, 故求部分积 $I_i I_j$ 的电路形式 (即“或非门”阵列) 亦可化简。这样, 一个化简后的乘法器即构成了平方器, 其所需硬件量为 n 个“非门”、 $(n-1)/2$ 个“或非门”、 $(n-2)(n-4)$ 个全加器和 $2(n-4)$ 个半加器, 可比原乘法器减少一半以上规模。

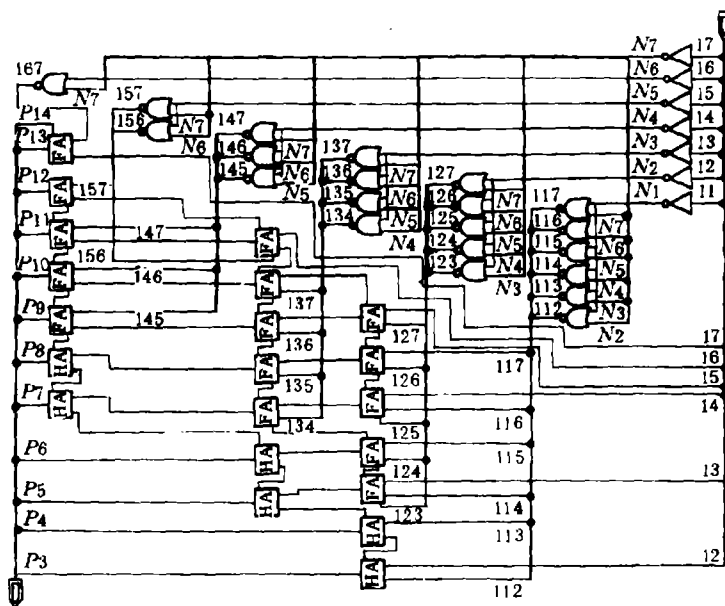


图 4 平方器的硬件实现

参 考 文 献

- [1] 张也青, 乐光新. 电信科学, 1989, (3): 30-35.
- [2] [美] Neil Weste, 等著, 茅于海, 等译. CMOS VLSI 设计原理和系统展望. 北京: 高等教育出版社, 1989-6, 268.

REALIZATION OF THE SQUARE OPERATION
IN DIGITAL ASIC

Han Yan Yao Qingdong

(State Key Lab. of CAD & CG, Zhejiang University, Hangzhou 310027)

Abstract The problem of the hardware realization of a special operation — the square operation is often encountered in the design of digital ASICs, especially the ASICs used in communication and signal processing area. From the study of the regular multiplier designed in VLSI circuit, a realization method for the square operation suitable for VLSI implementation is proposed in this paper. By means of simplifying the part products of the multiplication, big cuts have been made in the circuit scale of the new design.

Key words Digital ASIC, Multiplier design, Squarer design

韩 雁：女，1959 年生，博士，讲师，从事大规模专用集成电路的设计工作。

姚庆栋：男，1932 年生，教授，博士生导师，从事通信与电子系统的教学、科研工作。