

同步时序电路的增广 Petri 网分析*

司玉娟 王万树 郭殿龙 戴逸松

(吉林工业大学电子工程系 长春 130025)

摘要 本文应用带抑制弧的增广 Petri 网建立了基本门电路和常用触发器的 Petri 网模型;并运用该模型描述了同步时序电路;提出了增广 Petri 网的授权矩阵、状态转移方程和触发器次态与变迁授权条件的关系。在此基础上可对同步时序电路描述和分析,并用实例证明了该方法的有效性。

关键词 时序电路,增广 Petri 网,逻辑分析

1 引言

Petri 网(PN)可以用来为具有并发、竞争和互斥等活动的系统建模。分析这类模型能够获得系统的某些性质,达到对系统的深入了解。但应用 PN 对数字系统的行为进行描述和分析,目前只限于对基本门电路的描述和对组合逻辑电路的分析^[1]。将 PN 应用于时序逻辑电路受到几方面的限制:(1)如果采用 PN 的基本门电路模型构成触发器的 PN 模型,结构复杂,难以分析。(2)时序电路通常由组合电路和存储电路组成,组合电路与存储电路的动作特点是不同的^[2]。

本文应用带抑制弧的增广 PN 给出了常用基本门电路和触发器的 PN 模型。应用这些模型采用组合电路与存储电路分步分析,存储电路同时动作,克服了将 PN 应用于时序电路的困难。并且这种方法适于对大规模时序电路的仿真分析,显示出 PN 是分析时序电路的有效工具。

2 基本 PN 及其扩展

2.1 基本 PN 基本 PN 为四元组 $N = \{P, T, F, M_0\}$; 其中 $P = \{p_1, p_2, \dots, p_n\}$ 为位置集, $T = \{t_1, t_2, \dots, t_m\}$ 为变迁集, $F \subseteq (P \times T) \cup (T \times P)$ 为网的流关系, $M_0: P \rightarrow \{0, 1\}$ 为初始标识。若 $(p, t) \in F$, 称位置 p 为变迁 t 的输入位置, 记为 ${}^*t = \{p | (p, t) \in F\}$ 为变迁 t 的前置集, 同理 $t^* = \{p | (t, p) \in F\}$ 为变迁 t 的后置集。PN 的位置中可能含有记号, 变迁在一定条件下可以激活, 变迁的激活将使位置中的记号发生变化, 即产生新的标识。(所有位置中记号的分布情况称为标识, 用标识向量 $M: P \rightarrow \{0, 1\}$ 来表示。)若 t 在 M 下是授权的, 则 t 可激活, 变迁激活后产生新的标识 M' , 记作 $M \{t > M'$ 。

1994-10-24 收到, 1995-05-02 定稿

* 国家自然科学基金资助项目

司玉娟 女, 1963 年生, 讲师, 博士生, 现从事电网络理论和 Petri 网(PN)应用的研究。

王万树 男, 1938 年生, 教授, 从事通讯、电子系统、PN 应用的研究。

戴逸松 男, 1936 年生, 教授, 博士生导师, 从事噪声分析、信号处理的研究。

2.2 带抑制弧的增广 PN 由于逻辑电路中存在的“非”逻辑关系不能直接利用基本 PN 表述,因此引入带抑制弧的增广 PN. 本文引用的抑制弧在画法上把“ $\bigcirc \rightarrow |$ ”改成“ $\bigcirc \text{---} \bigcirc |$ ”,其含义为只有在位置无记号时,变迁可以激活,这样的输入位置为抑制位置,而其它的位置为基本位置.

定义 1 增广 PN 为五元组 $N = \{P_1, P_{11}, T, F, M_0\}$, 其中 P_i 为基本位置, P_{11} 为抑制位置, $P_i \cup P_{11} = \{p_1, p_2, \dots, p_m\}$, $P_i \cap P_{11} = \emptyset$, 其余同基本 PN.

定义 2 增广 PN 中的变迁 t 的授权规则为 $t_i \in T$, 称为在标识 M 下授权的, 当且仅当 $\forall p_i, p_{11} \in {}^*t_i, M(p_i) = 1, M(p_{11}) = 0$.

3 逻辑元件的 PN 描述

根据上述定义的增广 PN 和变迁授权规则, 可建立以增广 PN 描述的基本门电路模型, 如图 1 所示. 其中增广 PN 的位置中含有一个记号, 表示电路的逻辑值为“1”; 无记号时逻辑值为“0”; 没有输入状态时输出状态为“0”.

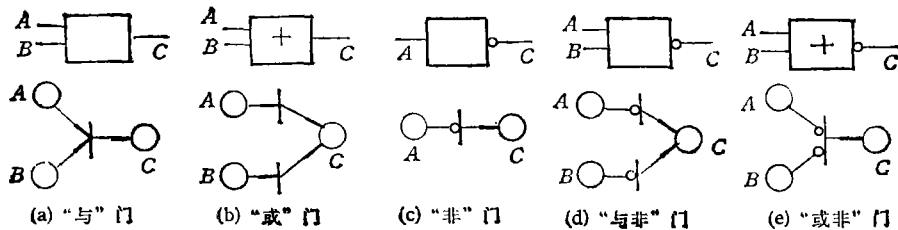


图 1 基本门电路的 PN 模型

如果采取基本门电路的模型构成触发器的 PN 模型, 则结构复杂, 难以分析. 故根据

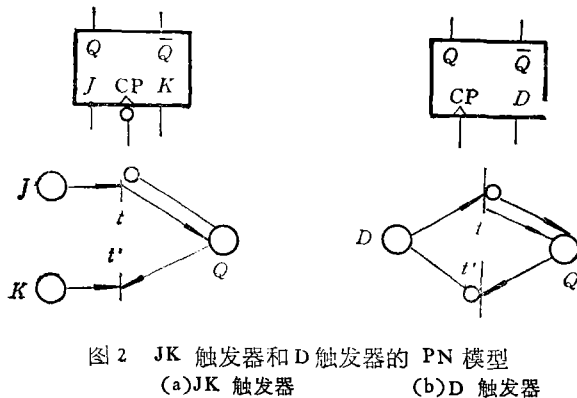


图 2 JK 触发器和 D 触发器的 PN 模型
(a) JK 触发器 (b) D 触发器

触发器的逻辑功能, 给出了 JK 触发器和 D 触发器的 PN 模型, 如图 2 所示. 分析图 2 的模型可知, 它完整地代表了 JK, D 触发器的逻辑功能, 并且变迁 t, t' 的授权条件覆盖了触发器的驱动条件, 可以得出下列结论

$$M'(p_i) = \begin{cases} M(p_i) + 1, & M[t_i]; \\ M(p_i) - 1, & M[t'_i]; \\ M(p_i), & \text{其它} \end{cases} \quad (1)$$

利用这一模型描述同步时序电路, 触发器的次态归结为对变迁 t, t' 授权状态的判定, 不必象传统方法那样列写各触发器的驱动方程; 牢记各类触发器的特性方程, 也不必推导出各触发器的状态方程, 经过一系列的计算得出其次态, 因此这种方法直观、简洁, 摆脱了繁琐的推导计算, 极易实现计算机仿真.

4 同步时序电路的增广 PN 分析

时序逻辑电路结构框图如图 3, 由于组合电路与存储电路(由触发器组成)动作特点的不同, 必须分别处理.

4.1 授权条件的判定 对于具有 m 个位置、 n 个变迁的增广 PN, 引入授权矩阵 $D = [d_{ij}]_{m \times n}$

$$d_{ij} = \begin{cases} -1, & (p_i, t_j) \in F \wedge p_i \in P_{11}; \\ 1, & (p_i, t_j) \in F \wedge p_i \in P_1; \\ 0, & p_i \notin t_j. \end{cases}$$

定理 1 具有 n 个变迁、 m 个位置的增广 PN, 在标识 $M(p)$ 下, 当且仅当 $0 \leq M(p_i) - D \cdot X_j \leq 1$ 时变迁 $t_j (j = 1, 2, \dots, n)$ 是授权的, 其中 D 为授权矩阵, $X_j = [0 \dots 0 1 0 \dots 0]^T$, 1 为第 j 元.

证明 $D \cdot X_j$ 为 n 维向量, 其第 i 元用 d_{ij} 表示, 因 $D \cdot X_j$ 向量中的非零元素构成了 t_j ,

如果 $M[t_j]$, (1) 当 $d_{ij} = -1$ 时, 要求 $M(p_i) = 0$, 故 $M(p_i) - d_{ij} = 1$. (2) 当 $d_{ij} = 1$ 时, 要求 $M(p_i) = 1$, 故 $M(p_i) - d_{ij} = 0$. (3) 当 $d_{ij} = 0$ 时, $p_i \notin t_j$, 故 $M(p_i) - d_{ij} = \begin{cases} 0, & M(p_i) = 0; \\ 1, & M(p_i) = 1. \end{cases}$ 综上所述, 当 $M[t_j]$ 时, $0 \leq M(p_i) - D \cdot X_j \leq 1$. 如果满足 $0 \leq M(p_i) - D \cdot X_j \leq 1$, 则 (1) 当 $d_{ij} = -1$ 时, 必有 $M(p_i) = 0, p_i \in P_{11}$; (2) $d_{ij} = 1$ 时, 必有 $M(p_i) = 1, p_i \in P_1$. 故 $M[t_j]$.

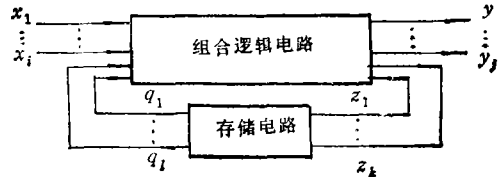


图 3 时序逻辑电路的方框图

4.2 组合逻辑电路的分析 当把时序电路描述成增广 PN 时, 一般地应有触发器部分和组合电路部分. 如果以 p_0, p_1, \dots, p_m 代表各触发器的状态, 相应的变迁用 $t_0, t'_0; t_1, t'_1; \dots; t_m, t'_m$ 表示, 其余 $m - m_1 - 1$ 个位置, $n_1 = n - 2(m_1 + 1)$ 个变迁描述组合电路部分, 如果 $n_1 = 0$ 可略去对组合电路部分的分析.

定义 3 对于具有 n_1 个变迁、 m 个位置的增广 PN, 引入关联矩阵 $A, A = [a_{ij}]_{m \times n_1}$,

$$a_{ij} = \begin{cases} 0, & (t_j, p_i) \notin F; \\ 1, & (t_j, p_i) \in F. \end{cases}$$

以 m 维向量 M_k 表示某授权序列第 k 次激活后的标识向量, 以 n_1 维向量 X_k 表示授权向量, 依据增广 PN 变迁的授权规则, 可建立布尔代数意义下的状态转移方程, 即

$$M_{k+1} = M_k + A \cdot X_{k+1} \tag{2}$$

对于矩阵 $(A + B)_{ij} = a_{ij} + b_{ij}$,

$$(A \cdot B)_{ij} = a_{i1} \cdot b_{1j} + a_{i2} \cdot b_{2j} + a_{i3} \cdot b_{3j} + \dots,$$

其中的“ \cdot ”, “+”运算为布尔代数意义下的“与”、“或”运算. $A \cdot X_{k+1}$ 代表着各授权变迁激活后记号的流向, 数字逻辑电路以布尔代数为其理论基础, 故满足(2)式, 由此方程可以算得在一定输入条件下组合电路部分的各个输出状态.

4.3 同步时序电路的分析 由前面的分析知, 利用定理 1 可判定变迁 t, t' 的授权状态, 由(1)式即可求得各触发器的次态.

4.4 算法描述 同步时序电路增广 PN 分析可采用如下步骤:

(1) 将同步时序电路描述成增广 PN.

(2) 写出此增产 PN 的授权矩阵 $D_{m \times n} = [D_1 | D_2]$, 其中 D_1 矩阵中的变迁为 $2(m_1 + 1)$ 个触发器变迁; D_2 矩阵中的变迁为 n_1 个组合电路变迁。

(3) 写出组合电路部分的关联矩阵 $A_{m \times n_1}$ 。

(4) 分析电路的逻辑功能:

令 $Z = [0 \ 0 \ \dots \ 0]^T$, $M_0 = [0 \ 0 \ \dots \ 0]^T$,

(A) 如果 $n_1 = 0$, $M_{01} = M_0$, 转 (B)。

(a) 计算 $M_{01} - D_2 X_j$ ($j = 1, 2, \dots, n_1$), 得授权向量 X , 由状态转移方程计算 $M_{01} = M_0 + A \cdot X$ 。

(b) 如果 $M_{01} = M_0$, 转 (B); 否则令 $M_0 = M_{01}$, 转 (a)。

(B) 计算 $M_{01} - D_1 \cdot X$, 得各触发器变迁的授权情况:

$$M_1(p_i) = \begin{cases} M_{01}(p_i) + 1, & M_{01}[t_i]; \\ M_{01}(p_i) - 1, & M_{01}[t'_i]; \\ M_{01}(p_i), & \text{其它。} \end{cases}$$

(C) 令 $M_1 = [p_0, p_1, \dots, p_m, 0, \dots, 0]^T$, 如果 $M_1 \in Z$, 转(5); 否则 $Z = Z \cup M$, $M_0 = M_1$, 转 (A)。

(5) 检查电路能否自启动:

令 M_0 为其中的一个无效状态, 按(4)计算, 如果 $M_1 \in Z$, 则电路能够自启动; 反之则不能。

5 实例

同步时序电路分析的主要工作为根据各触发器的激励输入确定它们的状态。图 4 为一同步时序电路, 其增产 PN 描述如图 5 所示, p_0, p_1, p_2, p_3 代表触发器状态, 相应的变迁为 $t_0, t'_0; t_1, t'_1; t_2, t'_2; t_3, t'_3$, 组合电路部分的变迁为 t_4, t_5, t_6, t_7 , 授权矩阵为

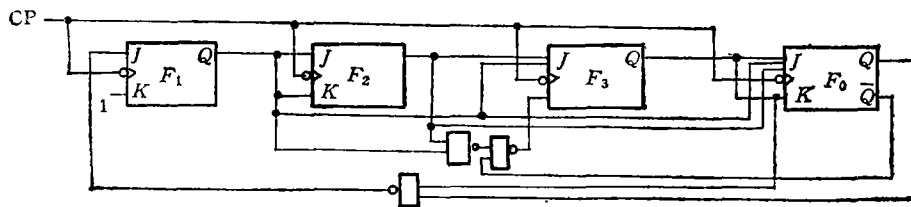


图 4 同步时序电路

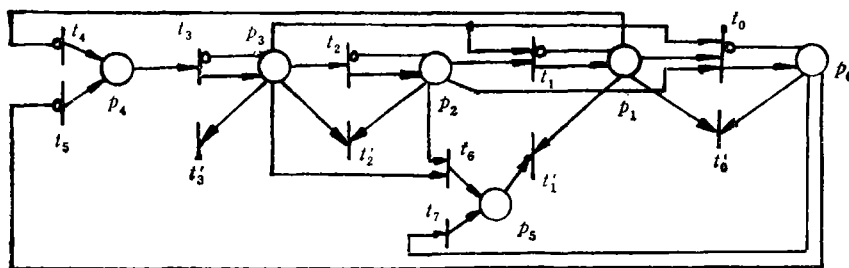


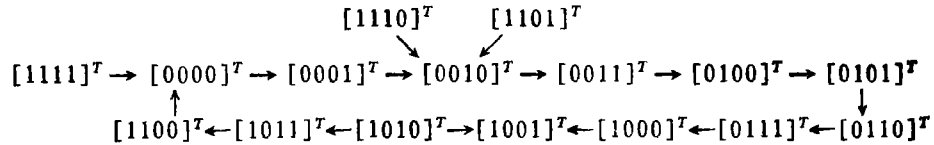
图 5 同步时序电路的 PN 描述

$$D = \begin{matrix} & i_0 & i'_0 & i_1 & i'_1 & i_2 & i'_2 & i_3 & i'_3 & i_4 & i_5 & i_6 & i_7 \\ \begin{matrix} p_0 \\ p_1 \\ p_2 \\ p_3 \\ p_4 \\ p_5 \end{matrix} & \left[\begin{array}{cccccccc|cccc} -1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 1 \\ 1 & 1 & -1 & 1 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & -1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 1 & -1 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{array} \right] & = [D_1 | D_2] \end{matrix}$$

组合电路部分的关联矩阵为

$$A = \begin{matrix} & i_4 & i_5 & i_6 & i_7 \\ \begin{matrix} p_0 \\ p_1 \\ p_2 \\ p_3 \\ p_4 \\ p_5 \end{matrix} & \left[\begin{array}{cccc} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 \end{array} \right] \end{matrix}$$

按算法(4)可得其增广 PN 的可达图(仅列出 $[p_0 p_1 p_2 p_3]$):



由此可知,这是一个能自启动的同步十三进制计数器。

6 结语

本文提出的基本门电路和常用触发器的增广 PN 模型,对同步时序电路的描述极为清晰,从而能系统地分析同步时序电路,为利用计算机仿真分析时序电路提供了有力的工具。我们进一步的工作是探讨异步时序电路的增广 PN 分析,以实现增广 PN 对时序电路的统一分析。

参 考 文 献

- [1] 古天龙. 系统仿真学报, 1994, 6(2): 32—36.
- [2] 阎石. 数字电子技术基础. 北京: 高等教育出版社, 1993, 236—302.
- [3] Peterson J L. Petri Net Theory and the Modeling of System. NJ: Prentice Hall, 1981. 第 3, 4 章.
- [4] Murata T. Proc. IEEE, 1989, 77(4): 541—574.

ANALYSIS OF SYNCHRONOUS SEQUENTIAL CIRCUITS BASED ON EXTENDED PETRI NET

Si Yujuan Wang Wanshu Guo Dianlong Dai Yisong

(Department of Electronic Engineering, Jilin University of Technology, Changchun 130025)

Abstract The models of the basic gates and typical flip-flops for Petri net are constructed by using a kind of extended Petri net with inhibitor arc. Then the synchronous sequential circuit are described. The enabled matrixes, the state equations and the relation between the next state of flip-flop and the enabled transition are given. Based on these, the analysis method of Petri net for synchronous sequential circuits is discussed. It is proved that the theory is effective by practical examples.

Key words Sequential circuit, Extended Petri net, Logic analysis