

紫外光擦除信息的 EPROM 存储单元的工作与特性*

须国宗 杨传仁
(中国科学院上海冶金研究所)

提 要

具有可改写的非挥发特性的半导体存储单元是构成 EPROM 的关键。本文详细描述了两种已经在 EPROM 中实用的存储单元的结构与写入特性,并讨论了影响其写入特性的一些因素,为设计一个大规模集成的紫外光擦除型 EPROM 提供了实验结果。

一、引 言

电改编程只读的存储器(简称 EPROM)是近几年来受人注目的大规模集成半导体存储元件。它具有能改编程的灵活性,因此,在微小型计算机及自动程序控制装置中广泛使用。由于采用特殊的存储单元,EPROM 具有以下特点:1.在特定工作方式下可进行电脉冲编写程序;2.不挥发性,即程序内容一经编入单元内,即使切断供电,器件仍长久保存该内容;3.在紫外线的照射下,存储信息可以擦去,并可写入新的内容,擦写可重复几十次以上。

自 1971 年首次采用半导体工艺集成紫外光擦除信息的 EPROM 以来,不仅集成度,而且在性能上也有了很大的提高和发展,已成为极为实用的存储元件。最近国外已报道制成了 32K 位容量的单片 EPROM。本文主要讨论紫外光擦除 EPROM 中所采用的存储单元的工作与特性,并提供一些实验结果。

二、悬浮栅型存储单元的构成与写入特性

具有悬浮栅的 MOS 管是紫外光擦除信息的 EPROM 中的基本存储元件。图 1 所示结构在早期实用的 P 沟道 2K 位 EPROM 中采用。它由源和漏扩散区以及悬浮多晶硅栅构成。悬浮多晶硅栅埋入 SiO_2 介质层内,与外部没有任何电学连接点。存储管制作在 n 型硅 $5-8\Omega\text{cm}$ 的 $\langle 111 \rangle$ 面衬底上,硅片在干氧中热生长优质栅氧化层,厚为 1000 \AA ,再由硅烷热解制作多晶硅作为悬浮栅极,其上低温沉积 SiO_2 约 $1\mu\text{m}$,即为常规的 P 沟道硅栅工艺。外围电路中的 PMOS 管的栅极可与悬浮硅栅同时制成,因此,整个工艺仅用四块光刻

* 1979 年 11 月 10 日收到。

掩膜版。

悬浮栅存储管存储信息的基础是依靠悬浮栅上电荷的积累使源和漏之间形成导电沟道。

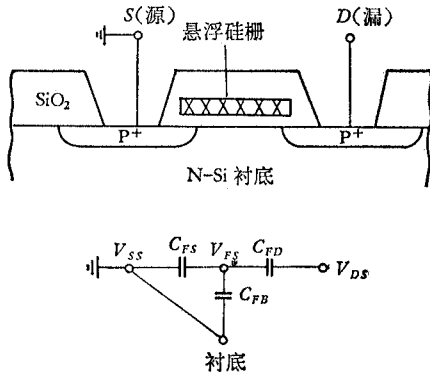


图1 悬浮栅存储管结构(P沟道)

众所周知,一个 MOS 管的主要设计参数是阈值电压 V_T . 采用硅栅自对准工艺, P 沟 MOS 管的阈值电压可控制在 $-2V$ 以下, 因此, 在栅上不施加负电压时(以源端为参考), 管子处于截止状态, 即增强型工作方式. 这就是悬浮栅管未写入前的状态.

器件物理的研究指出, Si-SiO₂ 界面上存在一定的界面势垒. 由于该势垒的存在, 衬底内的电子通常无法越过该界面势垒进入 SiO₂ 层内. 当电子具有足够大的能量时, 就可克服界面势垒的阻挡而穿越 SiO₂ 层. 产生这种具有足够大能量的热

电子方法之一就是 PN 结的雪崩击穿. 在雪崩区形成大量的热电子-空穴对, 为电子注入悬浮栅创造了条件.

若使存储管的源端接地, 在漏端加一负电压(衬底接源端), 则在源漏端电压 V_{DS} 小于某值时, 源漏间没有电流流过. 但由于栅漏电容的反馈效应, 悬浮栅上的感应电压为

$$V_{FS} = \frac{C_{FD}}{C_{FD} + C_{FS} + C_{FB}} V_{DS}$$

当 $|V_{FS}| > |V_T|$ 时, 开始形成感应沟道. 由于未发生电子雪崩注入悬浮栅的过程, 这种感应沟道随 V_{DS} 移去而消失. 仅当漏端所加负电压负向增大到某一值时, 由于漏端近表面处 P⁺N 结的雪崩击穿, 热电子越过 Si-SiO₂ 界面势垒而注入多晶硅悬浮栅, 在其上积累电荷, 建立起负栅压, 从而在源与漏之间形成沟道. 这就完成了悬浮栅存储管的写入过程. 通过测量写入前与写入后的 $V_{DS}-I_{DS}$ 特性, 则可得图 2 所示的悬浮栅管的特性曲线. 曲线 I 是写入前的行为, 曲线 III 是在 $V_{DS} = -25V$ 充电 100ms 以后的管子特性, 为了比较, 曲线 II 是一个 P 沟 MOS 管在 V_{GS} 为 $-9V$ 时的 $I_{DS}-V_{DS}$ 特性.

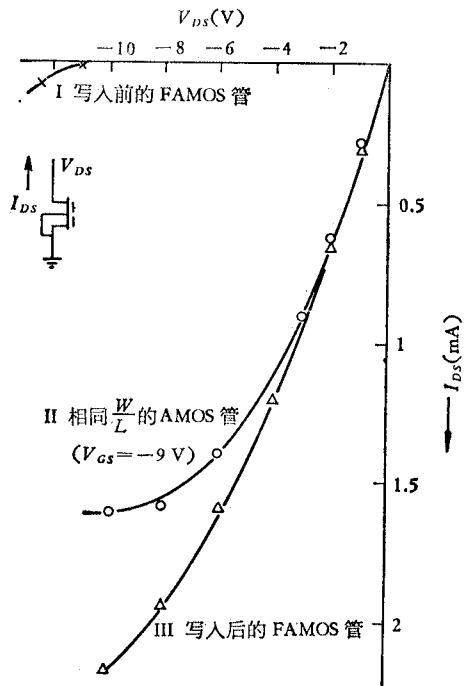


图2 悬浮栅存储管特性.

这说明, 经过写入后, 悬浮栅上已建立了约 9V 的负电位. 显然, 写入越充分, 悬浮栅上积累的电荷越多, 存储管导通越充分, 曲线 III 就越陡.

写入过程中, 转移到悬浮栅上的电荷量由漏端所加电压的幅度和时间决定. 正如图 3 所示, V_{DS} 电压值是决定写入量的主要因素. 在同样的 V_{DS} 值下, 施加电压的时间长(由脉冲数决定, 每个脉冲的宽度为 3ms), 浮栅上的电荷量也有所增加. 图 3 结果又说

明, $|V_{DS}|$ 低于 25V 时, 几乎很难实现写入。这个参数在器件外围电路的设计中是必须充分考虑的。

电荷注入悬浮栅以后, 在无外加电压和低的外加读出工作电压下, 能否长期可靠保存是一个十分重要的问题。由于悬浮栅四周被绝缘介质 SiO_2 包围, 所以, 电荷一经注入悬浮栅, 就如同落入电荷陷阱, 被界面势垒阻挡而不能再离开悬浮栅极, 从而达到可靠保存。通过热激励, 可以判断电荷保持性能的优劣。图 4 是在 85°C 和 125°C 下烘烤的结果。随着烘烤温度的提高, 从悬浮栅上泄放的电荷量亦增加。由图可见, 在烘烤初期, 沟道电流剧烈减小, 推测可能由于存在于栅介质层中的陷阱内的电荷较不稳定所致。

为了擦除悬浮栅上的电荷, 只需用紫外线照射。紫外线波长为 2537 \AA 。由于光子激励悬浮栅上的电子电荷, 使其越过 Si-SiO₂ 界面势垒从衬底逸出。

由上述可见, 仅有悬浮栅的存储管具有两个弱点: 一是以雪崩注入为其写入机理, 因此, 所需的写入电压较高, 使器件在近于源漏击穿点的高电压的情况下进行写入; 二是这种结构的存储管是一个二端元件, 要构成 EPROM 存储单元, 必须附加一个 P 沟 MOS 管作为选择用, 这样, 一个单元就由二个管子构成, 占用面积大, 不利于集成度的提高。因此, 近几年来, 采用双硅栅结构的悬浮栅存储管集成大容量的 EPROM。

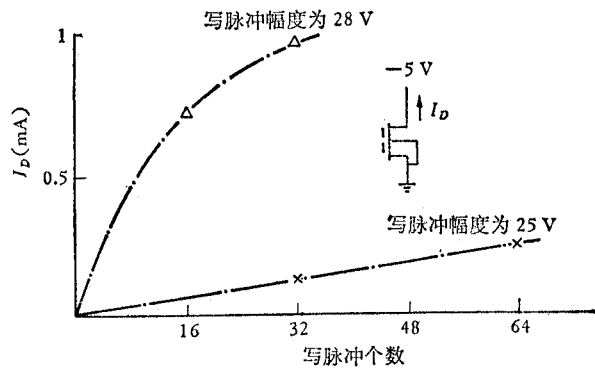


图 3 写脉冲幅度对悬浮栅充电的影响

图 4 是在 85°C 和 125°C 下烘烤的结果。随着烘烤温度的提高, 从悬浮栅上泄放的电荷量亦增加。由图可见, 在烘烤初期, 沟道电流剧烈减小, 推测可能由于存在于栅介质层中的陷阱内的电荷较不稳定所致。

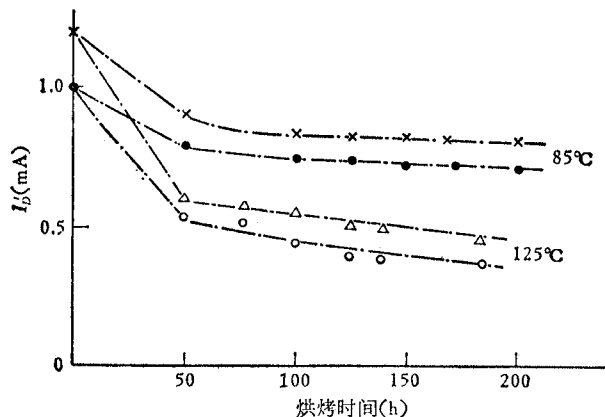


图 4 存储电荷的保持性能

三、双硅栅结构悬浮栅-管存储单元

双硅栅结构存储单元是利用两层多晶硅制作悬浮栅和控制栅, 构成三端元件, 每位存

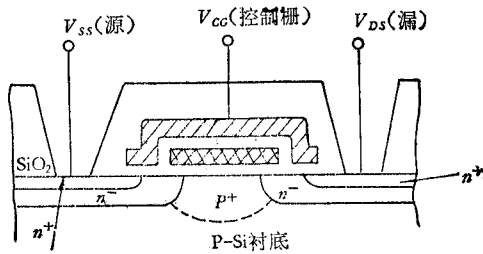


图5 N 沟道双硅栅结构存储单元

有双硅栅结构的悬浮栅存储管的写入效应不受雪崩击穿制约,而是利用了沟道内热电子在栅电场作用下注入悬浮栅,即所谓沟道注入的机理。由于控制栅与悬浮栅重迭而具有大的耦合电容,经悬浮栅产生较高的电场,又沟道缩短,致使沟道内电子容易变热,因此,在比较低的电压下,即可实现所需要的写入过程。降低写入电压,这在实用器件中是很重要的。

图6是一个等效电路图,表示悬浮栅与各端间的电容耦合关系。为了简化讨论,认为 C_{FD} , C_{FS} 和 C_{FC} , C_{FB} 相比较, C_{FD} , C_{FS} 可以忽略,实际上这正是最坏情况。

当控制栅所加电压为 V_{CG} 时,由于电容耦合,在悬浮栅上产生感应电压为

$$V_{FS} = V_{CG} \frac{C_{FC}}{C_{FC} + C_{FB}} \quad (1)$$

在写入后,由于电荷的逐渐积累,使悬浮栅上有效感应电位有所降低,其降低值为 $\Delta V = \Delta Q / (C_{FC} + C_{FB})$,这时,悬浮栅上的电压应为

$$V_{FS(Q)} = \frac{V_{CG} \cdot C_{FC} - \Delta Q}{C_{FC} + C_{FB}} \quad (2)$$

如果写入时间充分,则当悬浮栅上电位降低到沟道电位时,注入终止。此时,注入悬浮栅的电荷量为

$$Q_{\max} = \Delta Q = V_P \cdot C_{FC} - V'_{DS} (C_{FC} + C_{FB}) \quad (3)$$

式中, V_P 是加在控制栅上的编程序脉冲电压; V'_{DS} 是沟道中发生电荷注入悬浮栅时的沟道电位。显然,这是由衬底掺杂浓度所决定。在一定控制栅电压的作用下,由于悬浮栅与沟道之间电位差的存在,只要沟道电位达到 V'_{DS} 值,即可发生电子向悬浮栅注入的过程。该过程的发生,导致电荷在悬浮栅上积累而使 V_{FS} 减小,由此,悬浮栅与沟道之间电位差逐渐减小,最后,在电位差不足以使沟道中热电子越过Si-SiO₂界面时,注入过程终止。这时,假设悬浮栅电位 V_{FS} 近似为沟道电位。

若未写入前的阈值电压为 $V_{TO} = (C_{FC} + C_{FB})V_{FS}/C_{FC}$;写入后,阈值电压变为 $V_{TQ} = (C_{FC} + C_{FB})V_{FS}/C_{FC} + Q_{\max}/C_{FC}$,则阈值电压的变化量为 $\Delta V_T = V_{TQ} - V_{TO} = Q_{\max}/C_{FC}$,即

$$\Delta V_T = V_P - V'_{DS} \left(1 + \frac{C_{FB}}{C_{FC}} \right) \quad (4)$$

储单元仅需一个管子。图5为基本的结构。在悬浮栅之上生长第二层多晶硅,两层多晶硅之间的氧化层厚约1500 Å。由于控制栅重迭在悬浮栅之上,与图1结构相比较,写入效应发生改变。由前述分析可知,图1结构中,由于漏端电压与悬浮栅之间的电容耦合小,写入效应主要取决于漏端P⁺N结的雪崩注入。这样,写入时漏端所需加的电压较高,具

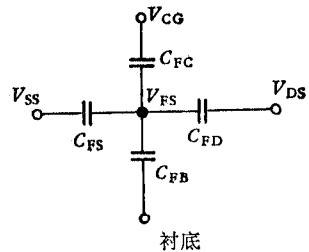


图6 悬浮栅与各端之间的电容耦合关系

由上述可见,悬浮栅上电荷积累的结果,使管子的阈值电压从低值移向高值,移动量由悬浮栅上积累的电荷量决定.图7为一个双硅栅结构悬浮栅管在写入前后的 $V_{DS}-I_{DS}$ 特性.实验用悬浮栅管的沟长为 $6\mu\text{m}$,沟宽 $8\mu\text{m}$,一个单元所占面积为 $672\mu\text{m}^2$.器件制作在 $5-8\Omega\text{cm}$ 的P型硅衬底上,对整个衬底表面进行硼离子掺杂,提高沟道区衬底杂质浓度,达到约 $10^{12}-10^{13}$ 原子/ cm^3 ,以降低写入电压.

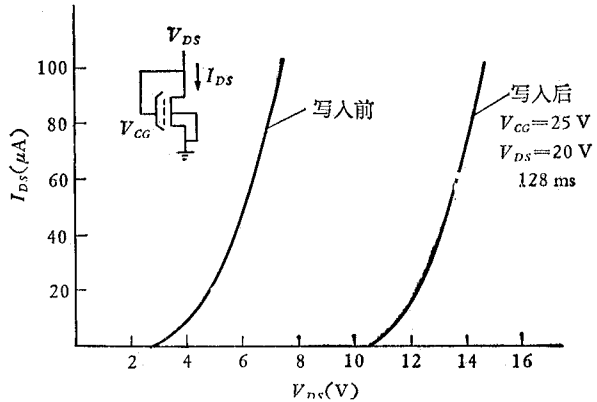


图7 双硅栅结构悬浮栅管的 $V_{DS}-I_{DS}$ 特性

从(4)式可见,在一定工艺条件下, C_{FC} 和 C_{FB} 是固定的. 如果 V'_{DS} 一定,则阈值电压变化量与 V_P 之间应呈线性关系. 当 V_{DS} 为 20V 时,我们测试了不同沟道掺杂浓度下的 V_T 与 V_{CG} 的关系(这里, V_{CG} 即相当于 V_P),得到图8结果,发现与

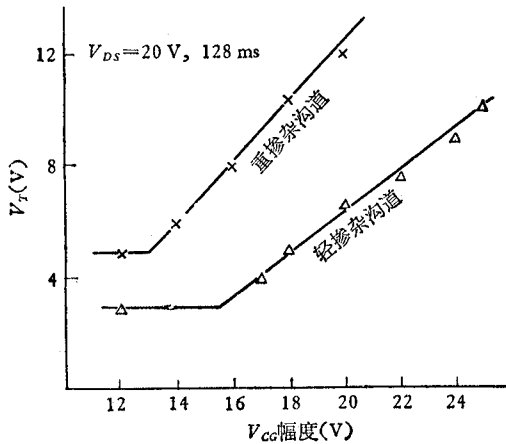


图8 控制栅电压对写入后阈值电压的影响

上述推导结果基本一致. 由图可知,沟道掺杂浓度越高, V'_{DS} 值就越小,因而写入电压越低,写入后阈值电压变化量也越大. 由此可见,提高沟道的掺杂浓度或者提高控制栅上所加电压幅度,可以获得大的存储窗口. 在一定沟道掺杂要求下(由存储管的开启电压设计值决定),根据 ΔV_T 的设计要求,可确定最小的 V_{CG} 值. ΔV_T 越大, V_{CG} 就越大,由此规定了外加写入电压的设计范围.

在 $V_{CG} = 25\text{V}$ 的规定条件下,测试了 V_{DS} 幅度与 V_T 的关系. 正如图9所示,在沟道重掺杂的情况下, V_{DS} 为 16V 时,即可充分写入. 而在沟道掺杂较轻时, V_{DS} 需要增大到 18V 才可写入充分. 写入后的阈值电压,前者较高, V_{TQ} 可达到 14V,后者则较低, V_{TQ} 仅 10V. 这一结果也与图8的结论是一致的.

在 $V_{CG} = 25\text{V}$ 的规定条件下,测试了 V_{DS} 幅度与 V_T 的关系. 正如图9所示,在沟道重掺杂的情况下, V_{DS} 为 16V 时,即可充分写入. 而在沟道掺杂较轻时, V_{DS} 需要增大到 18V 才可写入充分. 写入后的阈值电压,前者较高, V_{TQ} 可达到 14V,后者则较低, V_{TQ} 仅 10V. 这一结果也与图8的结论是一致的.

前已说明,双硅栅结构悬浮栅管的电荷注入机理是沟道注入. 为了实现这一注入方式,缩短沟道长度当然是必需的. 图10的实验结果证实,沟长 $6\mu\text{m}$ 的存储管,在较低的 V_{DS} 下就可完成写入. 而沟长为 $10\mu\text{m}$ 的存储管在常规的写入条件下,写入很困难. 这是由于长沟道的存储管必须依靠雪崩效应才能发生注入,高的写入电压是必然的. 由此,要实现低的写入电压,必须缩短沟道. 在我们的实验中,实验管的有效沟长为 $3-4\mu\text{m}$.

从(1)式亦可知,为了改善写入特性,应考虑 C_{FC}/C_{FB} 值的影响. 在我们的工艺条件下, C_{FC}/C_{FB} 值约为 $2/1.5$. 要提高 C_{FC} , 即要使电场强度满足 $E_{FC} > E_{FB}$, 就必须控制两层硅栅之间的氧化层厚度. 在不影响完好率的情况下,工艺上应尽可能减小这一层氧化层厚度. 通常情况下,其厚度取 $1200-1500 \text{ \AA}$, 这在工艺上是容易办到的.

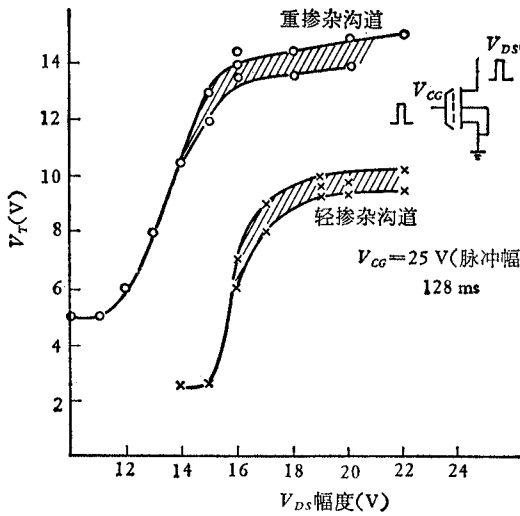


图 9 写入特性

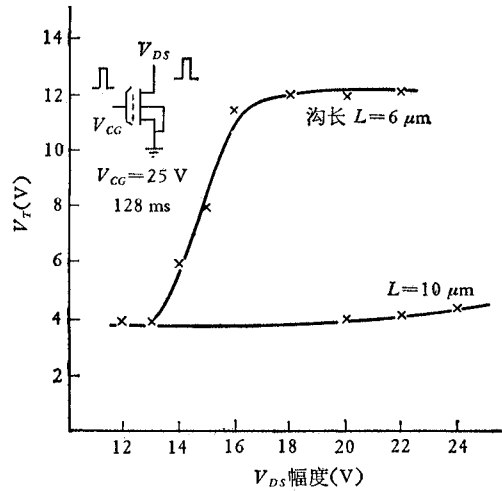


图 10 不同沟长对写入的影响

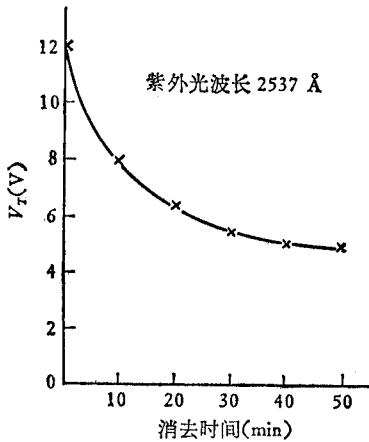


图 11 消去特性,消去用紫外光波长为 2537 Å 左右

擦除存储信息的试验表明,由于控制栅的覆盖,大大降低了擦除速度.在同样光照条件下,图1结构的存储管仅需5分钟就可擦除悬浮栅上积累的电荷,而双层硅栅结构的悬浮栅存储管必须增长到30分钟,有的甚至要1小时才能完全擦除.图11表示了擦除试验的典型结果.

结 束 语

采用P沟硅栅和n沟硅栅工艺,制成了两种类型的悬浮栅存储单元. P沟存储单元只有悬浮栅,利用电子注入悬浮栅(写操作)进行控制P沟MOS管的工作状态,得到截止与导通的两个存储状态.在产品2048位EPROM中已经实用的P沟悬浮栅管具有 $10\mu\text{m}$ 沟长, $20\mu\text{m}$ 沟宽.由它构成存储位,还必须附加一个P沟MOS选择管.n沟双层硅栅悬浮栅管可以构成一管单元存储位.利用沟道离子掺杂和缩短沟长实现低电压条件下的写入.目前所采用的存储管的有效沟长为 $3-4\mu\text{m}$.如果写入前的阈值电压控制为 $4-5$ V,在 $V_{DS} = 20$ V, $V_{CG} = 25$ V的条件下,128ms的写入时间,阈值电压即可提高到12V以上.实验证实了这种构型的单元完全可在现有工艺条件下实现,为研制8192位EPROM提供了有价值的设计参数.