

单沟道传输门绝热触发器和相对绝热计算原理¹

方振贤 汪鹏君

(宁波大学电路与系统研究所 宁波 315211)

摘要 该文从动态功耗在工程上有界限的观点出发, 讨论单沟道传输门的相对绝热计算原理. 在此基础上设计单沟道和双沟道传输门动态绝热锁存器, 使其保存信息时, 存储介质与外界隔离. 将两种绝热锁存器进行比较、分析, 并用计算机模拟程序检验其结果.

关键词 单沟道传输门, 绝热触发器, 相对绝热计算原理, 有界限动态功耗

中图分类号 TN783

1 引言

降低集成电路功耗的问题已迫在眉睫, 由此兴起低功耗电路的研究热潮, 其中绝热电路功耗的降低最为突出, 引起学术界广泛的关注, 但不能孤立地考虑功耗的降低, 电路的其它性能也要兼顾, 因此实现复杂绝热电路仍存在很大困难^[1-7]. 形成困难的主要原因有: (1) 绝热电路必须采用流水线操作, 使得组合电路(如最简单的“非”门)也带有时序性, 亦即要用变相的时序电路去实现组合电路. (2) 完全绝热的器件较难使得电容完全脱离时钟电源, 而长期保存已有的信息, 信息的保持功能较差, 不利于实现任意时序电路. (3) 采用 CMOS 传输门, 常常需要双相输入. 对绝热单元电路尚看不出复杂性, 在实现绝热时序电路时, 电路的复杂性增加. 目前绝热计算原理着重于 CMOS 双沟道传输门, 文献 [1] 已对此绝热计算原理作全面定量的描述, 其中采用了拉氏变换的方法, 但仅适用于线性电路(因双沟道传输门导通电阻是常数). 而单沟道传输门导通电阻是电压的函数, 由此构成的绝热电路属于非线性电路, 不能采用拉氏变换和复数符号的方法, 至今尚无定量描述; 另外, 已有绝热计算原理仍侧重于数学分析, 取极限的形式, 基于工程上的分析很少. 单沟道传输门电路很有应用前景, 需要有定量的分析, 鉴于此, 本文从动态功耗在工程上有界限的观点出发, 重点讨论 NMOS (或 PMOS) 单沟道传输门电路的相对绝热计算原理, 推导波形参数.

2 相对绝热计算原理

MOS 电路的总功耗 P_{all} 表示为

$$P_{all} = P_{dyn} + P_{sho} + P_{lea} + P_{sti} = P_{dyn} + P_{rest} \quad (1a)$$

其中 P_{dyn} 是电容充放电引起的动态功耗, 对常规 CMOS 电路, 约占总功耗 P_{all} 的 80% 以上; 其余功耗记为 P_{rest} . P_{sho} 为过渡期间 NMOS 和 PMOS 二管同时导通引起的短路功耗; $P_{lea} + P_{sti}$ 为二极管反向漏电等因素引起的功耗, 常称为静态功耗 P_{dc} , 占 P_{all} 的很小部分(可由手册查出或直接测出静态电流 I_{dd} , 然后计算, 如查文献和测试得出 $I_{dd} \leq 1nA$ ^[8], 令 $V_{dd} = 3V$, 则 $P_{dc} \leq 3nW$, 而查手册得出常规 CMOS “非”门 $I_{dd} \leq 1\mu A$, $P_{dc} \leq 3\mu W$). 注意: 单沟道传输

¹ 2001-07-16 收到, 2002-06-10 改回

宁波市青年科学基金 (01J20300-27)、国家自然科学基金 (69973039)、宁波市新型数字电路与系统重点实验室资助项目

门绝热电路是非线性电路, 时钟脉冲是非正弦信号, 因此 (1a) 式中各项应当表示为相应瞬时值 $p_{\text{all}}(t)$, $p_{\text{dyn}}(t)$, $p_{\text{rest}}(t)$ 在一周期内的平均值, 亦即

$$P_{\text{all}} = \frac{1}{kT} \int_0^{kT} p_{\text{all}}(t) dt, \quad P_{\text{dyn}} = \frac{1}{kT} \int_0^{kT} p_{\text{dyn}}(t) dt, \quad P_{\text{rest}} = \frac{1}{kT} \int_0^{kT} p_{\text{rest}}(t) dt \quad (k \text{ 为整数}) \quad (1b)$$

式中 p_{dyn} 为瞬时动态功耗, 一般 P_{rest} 比 P_{dyn} 小得多, 可忽略不计。实际测得 MOS 管的静态电流为纳安级, P_{rest} 为纳瓦级, 但沟道长度 L 降低到很小时, P_{rest} 会明显增加, 因此 P_{all} 是有下界的, 表明动态功耗的降低到一定界限即可, 过分降低就失去意义。降低功耗在工程上首先需要考虑: (1) 允许最大瞬时功耗 P_{max} 或允许平均功耗 P_{avg} 。(2) 电路的稳定性和允许最大输出电平偏差。在工程上存在 P_{max} 或 P_{avg} , 降低到 $P_{\text{dyn}} \leq P_{\text{max}}$ 或 $P_{\text{dyn}} \leq P_{\text{avg}}$ 即可, 选取 P_{max} 和 P_{avg} 为 P_{rest} 的很小比例。参看图 1, 考虑 NMOS 管工作在线性区, 其电导 G_n (电阻 $R_n = 1/G_n$) 是电压的函数, 由下式给出^[1]:

$$G_n = \mu_n C_n (V_{\text{gs}} - V_{\text{tn}}) / L^2 = G_0 (V_{\text{gs}} - V_{\text{tn}}) / (V_{\text{dd}} - V_{\text{tn}}) = G_0 (1 - V_C / V_A) \quad (2)$$

(因为 $G_0 = 1/R_0 = \mu_n C_n (V_{\text{dd}} - V_{\text{tn}}) / L^2$, $V_g = V_{\text{dd}}$, $V_A = V_{\text{dd}} - V_{\text{tn}}$, $V_{\text{gs}} = V_{\text{dd}} - V_C$)

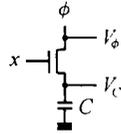


图 1 门控电路

考虑两个通常关心的问题: (1) NMOS 管降 ΔV 是常数。(2) 瞬时动态功耗 P_{dyn} 是常数。瞬时动态功耗定义为电容瞬时电流 i_C 和串联电阻 R_n 上 (即 MOS 管两端, 见图 1) 瞬时电压 V_R 之乘积; 而瞬时动态功率为 i_C 和 V_ϕ (即 $V_R + V_C$) 之乘积, 包含有耗和无耗两部分。根据这个要求分别推出相应的时钟波形参数。注意: R_n 是非线性电阻, 不能采用线性电路的有关方法 (如拉氏变换方法), 必须改用下述方法。

(1) NMOS 管降 ΔV 是常数。因电容电流 $i_C = C dV_C / dt$, 又 $R_n = R_0 / (1 - V_C / V_A)$ 代入 $\Delta V = i_C R_n = [R_0 C dV_C / dt] / (1 - V_C / V_A)$, 其中 ΔV 是给定的常数, 整理得出

$$R_0 C dV_C / dt = \Delta V (1 - V_C / V_A) \quad (3)$$

(3) 式虽然是线性方程, 但它只是非线性电路在特殊情况下得出的结果, 其它情况不一定如此。解 (3) 式, 得出电容电压 V_C 和时钟电压 V_ϕ 为指数函数形式, 再计算瞬时动态功耗 $p_{\text{dyn}} = i_C^2 R_n$, 各自表示为

$$V_C = V_A (1 - e^{-t/RC}), \quad R = R_0 V_A / \Delta V \quad (3a)$$

$$p_{\text{dyn}} = i_C^2 R_n = (\Delta V)^2 (1 - V_C / V_A) / R_0 = P_{\text{max}} (1 - V_C / V_A), \quad P_{\text{max}} = (\Delta V)^2 / R_0 \quad (3b)$$

$$V_\phi = V_C + \Delta V = V_A (1 - e^{-t/RC}) + \Delta V \quad (3c)$$

由上式看出, $\Delta V = \text{常数}$, 但因动态功耗 $p_{\text{dyn}} = P_{\text{max}} (1 - V_C / V_A)$, 所以 p_{dyn} 逐渐减少。选取不同的 ΔV 值, 得出不同的时间常数 $\tau = RC = R_0 C V_A / \Delta V$, ΔV 愈小, 则 τ 愈大。为充

电到 $V_C = V_A$, 理论上建立时间 t_s 应为 $t_s = \infty$; 而在工程上脉冲电路常取 $t_s = (3 \sim 5)RC$, ΔV 愈小, 则 t_s 愈大; 本文认为以门限电压参考点取 $t_s = (2.3 \sim 3)RC$ 。

(2) 瞬时动态功耗 p_{dyn} 是常数 P_{max} 。

同样方法, 令 $P_{\text{dyn}} = i_C^2 R_n = (CdV_C/dt)^2 R_0 / (1 - V_C/V_A) = P_{\text{max}} = \text{常数}$, 开方得出

$$CdV_C/dt = \sqrt{P_{\text{max}} G_0 (1 - V_C/V_A)} \quad (\text{非线性方程}) \quad (4)$$

解得 V_C 为抛物线函数形式, 依次求出 $\Delta V = i_C R_n$ 和 $V_\phi = V_C + \Delta V$, 表示为

$$V_C = V_A - V_A (1 - t \sqrt{P_{\text{max}} G_0 / 2CV_A})^2 \quad (\text{抛物线函数}) \quad (4a)$$

$$\Delta V = \sqrt{P_{\text{max}} G_0 (1 - V_C/V_A) R_0 / (1 - V_C/V_A)} = \sqrt{P_{\text{max}} R_0 / (1 - V_C/V_A)} \quad (4b)$$

$$V_\phi = V_A - V_A (1 - t \sqrt{P_{\text{max}} G_0 / 2CV_A})^2 + \sqrt{P_{\text{max}} R_0 / (1 - V_C/V_A)} \quad (\text{非抛物线函数}) \quad (4c)$$

由上式看出为充电到 $V_C = V_A$, 理论上建立时间 $t_s = 2CV_A \sqrt{P_{\text{max}} G_0}$ (有限时间), 但时钟 V_ϕ 波形为抛物线函数 + 第二项 $\sqrt{P_{\text{max}} R_0 / (1 - V_C/V_A)}$, V_ϕ 仍是非抛物线函数。当 $V_C \rightarrow V_A$ 时, 第二项 $\sqrt{P_{\text{max}} R_0 / (1 - V_C/V_A)} \rightarrow \infty$, 即时钟电压逐渐增大, 最后逼近于无穷大, 第二项要求很高的窄脉冲, 实现这样波形比较困难。注意: 实际 NMOS 管导通电阻 R_n 不一定完全符合 (2) 式的形式, R_n 必是有界的, 数学上严格的曲线函数并不实用²。在工程上 V_ϕ 波形取为抛物线函数, 因为低功耗的 P_{max} 很小, 仅当电容电压 V_C 非常接近于 V_A 时, 第二项才起作用, 其它时刻第二项近似为 0, 所以在工程上可略去第二项, 选取 V_ϕ 为抛物线函数, 瞬时动态功耗始终接近常数 P_{max} 。考虑曲线特点: 斜率开始较大, 以后逐渐变小, 实用中可选取介于抛物线函数和指数函数间的一个函数, 如可用半波形式的正弦函数代用, 建议选取 $T/4 = 0.85t_s$, 目前文献中多采用全波形式的正弦函数, 不如采用半波正弦函数; 甚至可用持续时间较长的梯形波代用。显然若将 P_{max} 改为 P_{avg} , 则上述结论仍成立。此外, 单沟道传输门利于用单相 (单轨) 输入代替双沟道传输门的双相 (双轨) 输入, 使一般化的时序电路的实现变得容易, 由此表明单沟道传输门电路很有实用前景。

3 双沟道和单沟道传输门绝热动态触发器性能

双沟道传输门导通电阻是常数, 而且阻值较小, 计算简便; 单沟道传输门导通电阻是电压的函数, 阻值逐渐上升, 计算复杂。从理论上讲, 似乎双沟道传输门绝热电路一定优于单沟道传输门绝热电路 (常常注意从功耗上看), 实际上各有所长。图 2(a)–图 2(d) 是 4 个绝热同步动态触发器电路图 (其中图 2(a), 图 2(b) 是单沟道传输门构成的, 而图 2(c), 图 2(d) 双沟道传输门构成的), 每个图的中部是动态记忆单元^[1–3], 电容 C_1 和 C_2 是存储介质。触发器采用的四相时钟 $\phi_1, \phi_2, \phi_3, \phi_4$ 如图 3 所示, 每个触发器只用其两相 ϕ_1, ϕ_2 (或 ϕ_3, ϕ_4)。考虑图 2(a), 其中 T_1, T_2, T_3, T_4 和 C_1, C_2 是交叉耦合动态记忆单元, T_5, T_6 和 C_3, C_4 组成门控电路。接收代码时, 先将 ϕ_1 由 1 电平降到 0 电平, $\phi_1 = 0$ 期间允许 T_3 和 T_4 的栅极控制信号变化; 接着 ϕ_2 由 0 电平升到 1 电平, 在 T_5 和 T_6 的输出产生输入 a 的互反取样信号 V_{C3} 和 V_{C4} , 为记忆单元接收代码作准备; 继之保持 $\phi_2 = 1$, 且 ϕ_1 由 0 电平升到 1 电平, 由于 V_{C3} 和 V_{C4} 不变化, T_3 和 T_4 必有一个导通, 一个截止 (取决于互反取样信号 V_{C3} 和 V_{C4}), 当 ϕ_1 升到 1 电平时, 记忆单元便接收代码 a ; 最后 ϕ_2 返回 0, 所以 C_1 和 C_2 两存储介质与外输入隔离, 记

² 注: 事实上当 $V_\phi = \infty$ 时, 器件早已烧毁, 工程分析常常先将器件理想化 (忽略烧毁等问题), 但要求最后结果符合工程指标 (包括线性区的假设), 非器件工作段可理想化, 从而简化分析过程。

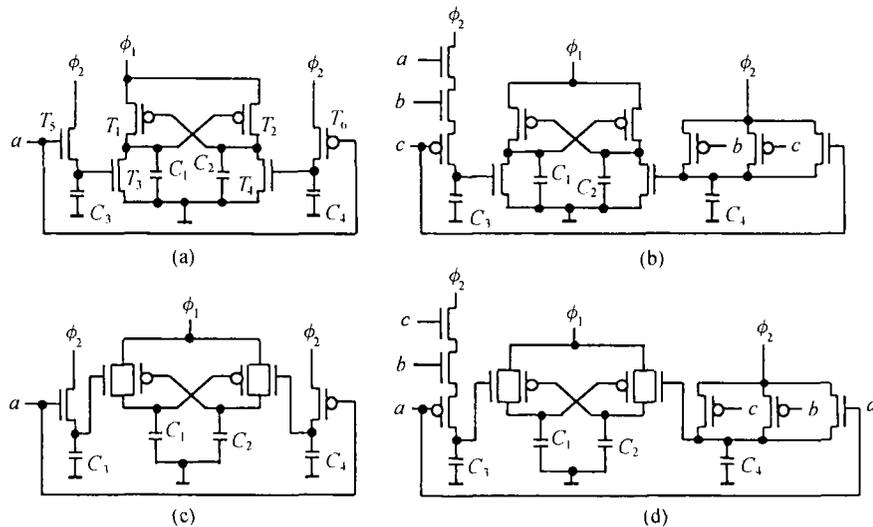


图 2 交叉耦合型绝热同步动态触发器

忆单元保存已接收代码。在 $\phi_1 = 1$ 和 $\phi_2 = 0$ 持续的一段时间，电路进入保存代码状态，此时 V_{C3} 和 V_{C4} 恒为 0， T_3 和 T_4 皆截止。两侧附加输入门控电路，按输入函数决定门控电路结构，如图 2(a) 所示，一方面能有效地保存信息和按需要接收信息，另一方面在结构上与动态记忆单元分开，避免相互影响，易于构成复杂的门控电路，进而便于实现各种同步动态时序电路。存储介质 C_1 和 C_2 不可忽视，电容大，则功耗大；电容太小，则工作不正常，失去记忆功能。在速度，抗干扰性和稳定性等允许的情况下，电容越小越好。

为实现同步时序电路，采用图 3 所示的四相时钟。常常需要用图 2 所示的两个触发器组成一个主从触发器，然后按主从触发器实现同步时序电路，这样对每四相时钟电路状态只改变一次。另一实现方法是直接用图 2 所示的触发器实现，这样对每四相时钟电路状态可改变两次。因单沟道传输门触发器有一段时间（信息保存持续期）记忆单元与外界隔离，减少外界干扰，因此工作波形较稳定。双沟道传输门触发器在功耗上较小。

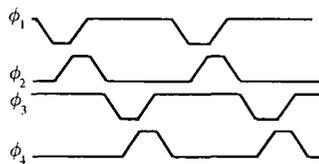


图 3 四相时钟

4 讨论和测试

现在对单沟道和双沟道传输门交叉耦合记忆单元进行测试和讨论，比较它们的优缺点。

(1) 电路相关的功耗：双沟道传输门功耗低于单沟道传输门功耗。门控电路中串联管数多时，单沟道电路相关的接地的 NMOS 管功耗增大。如取 $C_1 = C_2$ 分别为 0.02pf, 0.05pf 或 0.1pf 且 $C_3 = C_4 = 0.01pf$ 3 种情况下，相应功耗分别为双沟道：0.07 μ W, 0.25 μ W, 1.0 μ W；单沟

道: $0.11\mu\text{W}$, $0.5\mu\text{W}$, $1.7\mu\text{W}$ 。电容 C_3 和 C_4 相关的功耗基本相同, 都近似于 $0.017\mu\text{W}$ 。在 (1b) 式的积分式中稳定状态下各瞬时值是周期性函数, 因此 P_{all} , P_{dyn} , P_{rest} 是常数。当 $t \rightarrow \infty$ 时, 电路将趋向稳态, 表明在按 (1b) 式进行的功耗测试中曲线逐渐趋向平坦, 由此直接利用 $\text{AVG}(\)$ 函数测试功耗, 无论对非线性电路, 还是对线性电路都是十分简便的, 不必编程。

(2) 抗干扰性和稳定性: 当输入低电平因干扰或热噪声增加 ΔV_i 时, 输出电压增量 ΔV_{C1} 和 ΔV_{C2} 与 ΔV_i 的比值 K 决定电路的稳定性, 若 $K > 1$, 电路工作不稳定; 反之, $K < 1$, 则电路工作稳定, 这是闭环电路工作稳定性的必要条件。单沟道电路接地 NMOS 管的 V_{TN} 有鉴幅作用, 微小 ΔV_i 不起作用, 而传输功能好的双沟道电路对微小 ΔV_i 仍传输, 又因交叉耦合, 有正反馈, 输出电压增量加大, 有一利, 则有一弊。实测表明, 单沟道电路 K 小于 1, 双沟道电路 K 稍大于 1, 因此单沟道电路抗干扰性和稳定性稍优于双沟道电路。计算机模拟证实上述结论, 并证实触发器工作正确, 波形稳定。分别用图 2(a) 和 2(c) 两个各自组成单沟道和双沟道主从 T' 触发器进行测试, 结果如图 4 所示, 其中 Q_0, Q_2 相应双沟道电路, 波形的低电平上升, 波纹较大; 而 Q_1, Q_3 相应单沟道电路, 波形的低电平近 0, 波纹较小。由此可见, 双沟道电路在功耗方面优于单沟道电路, 但单沟道电路在稳定性方面优于双沟道电路, 二者各有优缺点。

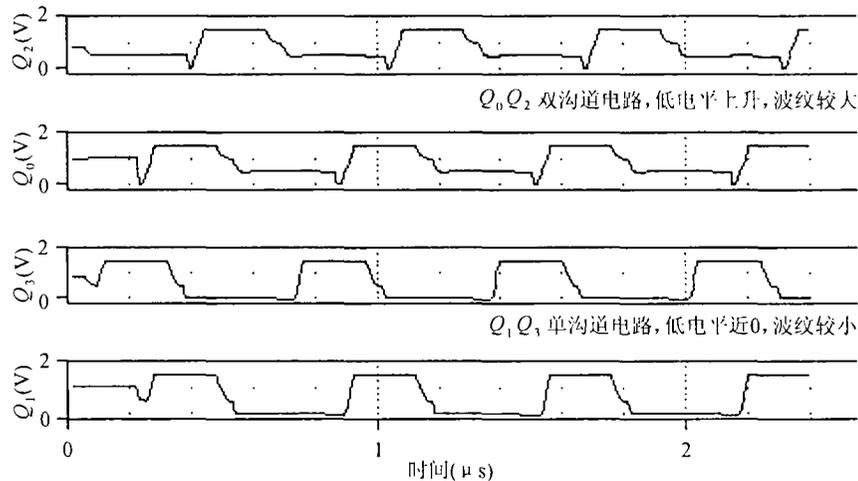


图 4 单沟道和双沟道主从 T' 触发器测试波形

参 考 文 献

- [1] 吴训威, 杭国强, 绝热计算原理与能量恢复型 CMOS 电路, 计算机学报, 2000, 2(7), 779-784.
- [2] 吴训威, 杭国强, 具有交叉耦合结构的能量恢复型电路, 电路与系统学报, 2000, 5(2), 1-8.
- [3] Y. Moon, D. K. Jeong, An efficient charge recovery logic circuit, IEEE J. of Solid-State Circuits, 1996, SC-31(4), 514-522.
- [4] A. G. Dickinson, J. S. Denker, Adiabatic dynamic logic, IEEE J. of Solid-State Circuits, 1995, SC-30(3), 311-315.
- [5] Yong Moon, Deog-Kyoon Jeong, A 32×32 bit adiabatic register file with supply clock generator, IEEE J. of solid-state circuits, 1998, 33(5), 696-701.
- [6] J. S. Denker, S. C. Avery, A. G. Dickinson, *et al.*, Adiabatic computing with the 2N-2N2D logic family, In: Proceedings of the International Workshop on Low Power Design, Napa Valley, 1994, 183-187.

- [7] Wu Xunwei(吴训威), M. Pedram, Low power CMOS integrated circuits using AC power supply(使用交流能源的低功耗 CMOS 集成电路), In: Proceedings of China 11th Conference on Integrated Circuits and Silicon Materials, Da Lian, 1999, 688-691(in Chinese).
- [8] 黄建文, 艾西加, 孟红霞, 陈希, 编著, 微电子电路设计原理及应用, 北京, 中国铁道出版社, 1999, 7, 12-13.

SINGLE CHANNEL TRANSMISSION ADIABATIC FLIP-FLOPS AND PRINCIPLE OF RELATIVE ADIABATIC COMPUTING

Fang Zhenxian Wang Pengjun

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract This paper discusses the principle of relative adiabatic computing of single channel transmission gate from the idea of finite dynamic power dissipation. On the basis of above principle, the cross-coupled dynamic adiabatic memorial units and adiabatic flip-flops are designed by single channel and double channel transmission gate. Finally, this paper gives appraisal of two classes memorial units and adiabatic flip-flops in lower power dissipation circuits. Above theory is verified by computer simulator.

Key words Single channel transmission gate, Adiabatic flip-flops, Principle of relative adiabatic computing, Finite dynamic power dissipation

方振贤: 男, 1936 年生, 教授, 从事数字电路理论和计算机应用的研究.

汪鹏君: 男, 1966 年生, 副教授, 硕士, 现从事数字电子方面的教学与科研工作.