

基于线性“与或”门的新型超高速数字电路*

王守觉 吴训威** 石寅 金瓯**

(中国科学院半导体研究所 北京 100083)

** (杭州大学电子工程系 杭州 310028)

摘要 本文指出了线性“与或”门与发射极功能逻辑(EFL)的联系,通过理论计算与PSPICE模拟证明了线性“与或”门的极高速工作特性和可多级级联工作能力,在对线性“与或”门所需配用的高速开关分析基础上,设计了两种ECL电路.本文还讨论了应用线性“与或”门设计超高速数字电路的准则以及有关的组合和时序电路设计实例.

关键词 线性“与或”门,超高速数字电路,多元逻辑电路

1 引言

信息的高速和实时处理对数字集成电路的工作速度提出了越来越高的要求.在开发高速硅集成电路的努力中人们把注意力放在双极型集成电路上.事实上,从RTL,DTL,TTL到ECL电路的发展过程就是一个不断改进双极型集成电路的设计以提高工作速度的进程,而我国学者提出的极高速的线性“与或”门^[1,2]正是在这一进程中又一次新的努力.

线性“与或”门的设计可以从射极功能逻辑电路(EFL)演化而来.EFL电路是高速ECL电路的一种变型,如图1(a)所示^[3,4].该电路中输入与输出均接到发射极.由于其输入发射极作成多射极结构(类似于TTL电路),因此它可方便地实现输入信号的相与.例如,图中C点的信号为A,B之与,即 $A \cdot B$.由于该电路的输出是发射极跟随器方式的(类似于ECL电路),因此其发射极与其它EFL门的输出相联便可简单地实现“线或”的功能.

文献[1]提出了一种工作方式类似但结构简单得多的电路设计,如图1(b)所示.图中主体为一多 β 晶体管,它有两种电流放大倍数(β)的发射极.其中由输入发射极组成的晶体管 T_i 的 β_i 很小(~ 0.2)而输出发射极组成的晶体管 T_o 的 β_o 取正常值,如50.图1(b)中的输入发射极也可用于实现“与”运算,而输出发射极和其它电路的输出发射极相接,也可实现“线或”.由于该电路在正常使用中工作于线性放大区,因此它被称为“线性‘与或’门”.

1993-11-06 收到, 1994-05-30 定稿

* 国家自然科学基金资助的项目

王守觉 男, 1925年生, 中科院院士, 微电子学.

吴训威 男, 1940年生, 教授, 数字电子学.

石寅 男, 1954年生, 研究员, 微电子学.

金瓯 男, 1968年生, 助教, 电子学.

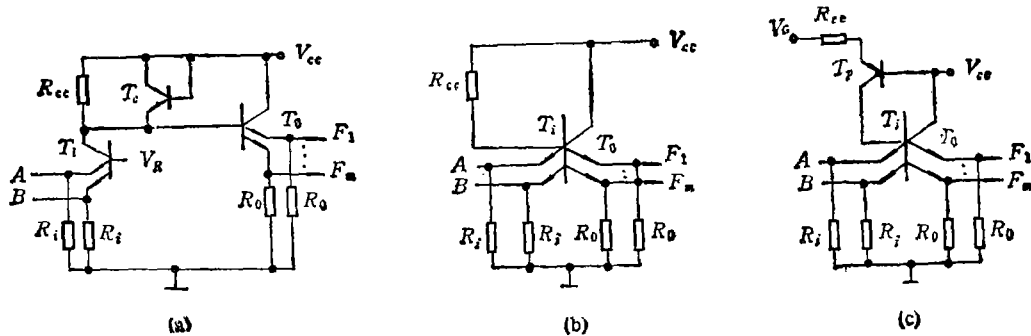


图 1

(a) EFL 基本电路, (b) 线性“与或”门(电阻馈电), (c) 有源馈电线性“与或”门

在图 1(b) 电路的基础上可以进一步提出一种改进型的有源馈电线性“与或”门, 图 1(c) 给出了一种设计方案。所谓有源馈电是指多 β 晶体管的基流改由恒流源提供, 而该恒流源可以由一个横向 PNP 晶体管 T_p 和一个发射极电阻 R_{cc} 构成。

以上两种采用多 β 晶体管的线性“与或”门明显地有着电路结构简单, 逻辑功能强的优点。本文将进一步分析它在工作中的特性, 并设法利用这些特点来开发一种具有特色和应用价值的新型高速集成电路族。

2 线性“与或”门的特性分析

线性“与或”门的主要特点是其极高速的工作能力。这是由于多 β 晶体管的集电极对交流全部接地, 不必使用隔离岛而免除了隔离岛电容对其速度的影响; 同时在高低电平转换时对集电结电容的充电电压仅等于逻辑摆幅本身, 而不是接近它的两倍; 此外它以射极跟随器方式工作在非饱和区。这一切因素都决定了它能以极快的速度实现“与”、“或”两种逻辑运算。

线性“与或”门的第二个特点是由于相差悬殊的 β 使其具有电流放大作用, 从而使输出的逻辑摆幅衰减甚小。采用如图 1(c) 所示的有源馈电设计方案后, 由于输入信号的变化不影响基流的变化, 因此这种衰减变得更小。该特性使线性“与或”门可能在电路中实现很多级级联而减少中间整形单元的需要, 这又起到了加快整个电路工作速度的应用, 因为整形单元的工作速度总是较慢的。线性“与或”门的逻辑摆幅衰减可以从理论上进行计算^[4]。计算得到当逻辑摆幅为 1.6V 时衰减量 ΔV 不到 0.1V。

为了定量地证明线性“与或”门的高速和逻辑摆幅衰减小等两个特性, 我们已用 PSPICE 4.02 软件对十级级联的线性“与或”门进行了计算机模拟, 在模拟中 $V_{cc} = 5V$, $R_i = R_o = 800\Omega$, $R_{cc} = 1500\Omega$, 输入信号为 1.8~3.4V 的方波, 而诸晶体管的主要参数设定为

$$T_i(NPN): \beta_i = 0.2, R_b = 30\Omega, CJE = 3pF, CJC = 2pF,$$

$$T_o(NPN): \beta_o = 50, R_b = 100\Omega, CJE = 2pF, CJC = 1pF.$$

晶体管的其它内置参数则取常规值。PSPICE 模拟结果如图 2(a) 所示。由图中的瞬态

曲线可以看出, 该十级门的总体平均传输延迟为 2.4ns , 即每级门的平均传输延迟约 0.24ns 。此外可看出十级门后信号的低电平抬高了 0.21V , 而高电平降低了 0.62V , 即平均每级线性“与或”门的逻辑摆幅衰减约为 0.08V 。这一模拟结果证实了线性“与或”门的极高速和可多级级联的特性。

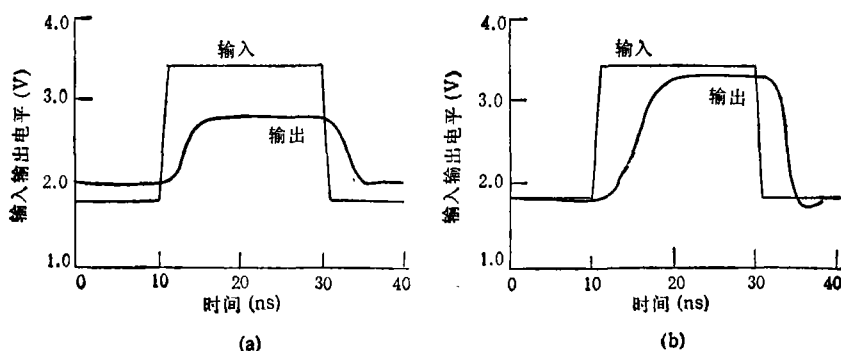


图 2

(a) 十级线性“与或”门级联的瞬态特性, (b) 十级线性“与或”门经 ECL 整形开关的瞬态特性

线性“与或”门的第三个特点是它不能单独组成数字电路。原因之一是与 EFL 电路所遇到的情况一样^[3], 即它不能实现“非”运算, 仅有“与”、“或”运算, 不能构成逻辑完备集; 原因之二是线性“与或”门在晶体管的线性放大区工作, 没有开关功能, 不能对数字信号进行整形。因此单纯用线性“与或”门设计数字电路时会遇到困难。例如, 由于线性“与或”门不具备反相功能, 因此在组合电路设计中要求输入信号是双轨的。此外, 由于它不具备整形的功能, 因此它要求前级能提供整形的输入, 而且要求后级的输入级能对本级的输出信号进行整形。还有一点, 如缺乏开关功能, 则无法组成一个环路锁定存储信号, 因此仅用线性“与或”门不能组成开锁, 或任何类型的触发器, 当然也不能构成时序电路。因此线性“与或”门一定要与其它能反相, 能整形的开关电路单元一起才能组成完备的系统, 亦即组成多元逻辑电路 (DYL)^[4]。

3 与线性“与或”门兼容的 ECL 开关

根据如下理由, 我们认为与线性“与或”门的特性匹配的高速开关为 ECL 开关。

(1) ECL 电路为双极型工艺, 与线性“与或”门工艺兼容。

(2) ECL 电路为非饱和工作且以射极跟随器方式输出, 这与线性“与或”门工作特点相同。

(3) ECL 电路具有互补输出, 它作为输入缓冲器可免除输入信号的双轨要求; 而作为输出缓冲器, 则不仅有很大的驱动能力, 而且可提供双轨互补输出。

(4) EFL 电路缺乏反相器的缺点通常用 ECL 电路弥补^[5], 而工作方式与 EFL 电路类似的线性“与或”门也理应可以与 ECL 开关来组成完备的高速数字电路设计模块集合。

利用差动电流开关理论^[7]可以方便地设计出逻辑摆幅与线性“与或”门兼容,即 1.8V~3.4V 的 ECL 电路,如图 3(a) 所示. 图中 $V_{cc} = 5V$, 参考电平 $V_R = 2.6V$. 现以输入 x 为高电平 3.4V 作为例子说明该电路的工作原理如下: 此时, 输入电压 3.4V 与参考电压 2.6V 比较, 决定了差动晶体管对中 T_1 导通, 而 T_2 截止. T_1, T_2 两管集电极的输出电压在无负载的条件下分别为 3.4V 和 5V. 它们通过射极跟随器输出, 在经过两个 PN 结进行电平移位 1.6V 后, 分别为 1.8V 和 3.4V. (由于负载的影响, 输出信号的高低电平都要略低一些.) 由于输出电平仍由电流源在集电极电阻上产生压降并经固定的电平移位后输出, 因此该电路提供了整形的输出.

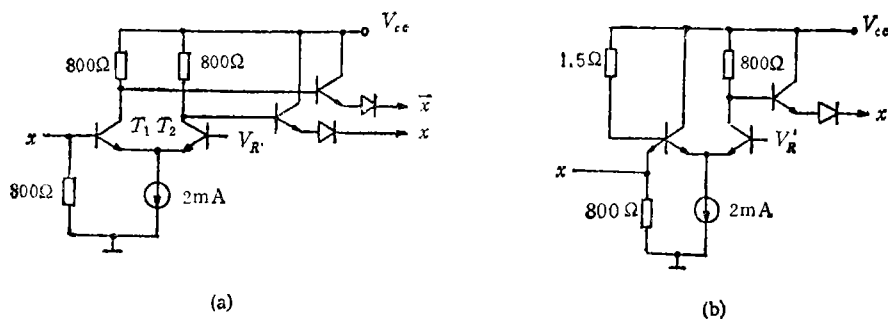


图 3

(a) ECL 基本电路, (b) 用线性“与或”门构成 ECL 整形器

上面设计的 ECL 开关与线性“与或”门在电路中的级联配合使用已用 PSPICE 4.02 软件进行了计算机模拟. 图 4(a) 给出了 ECL 开关后接一级线性“与或”门的情况. 曲线表明在反相输出时二者的总的平均传输延迟为 1.6ns, 而同相输出时为 1.2ns. 图 4(b) 表示 ECL 开关前接一级线性“与或”门的情况. 曲线表明反相输出的平均传输延迟为 1.5ns, 而同相输出时为 1.0ns.

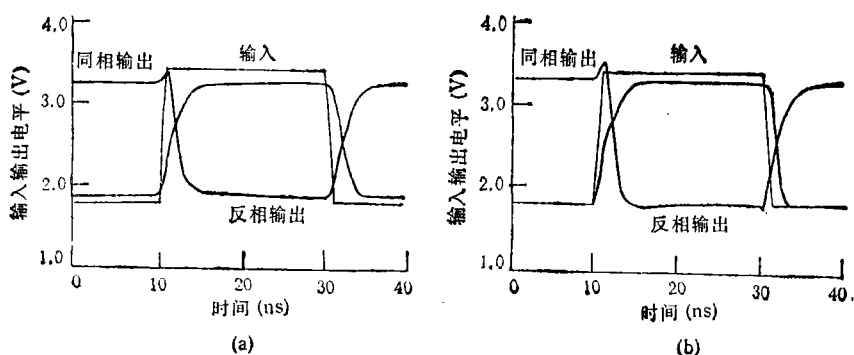


图 4

(a) ECL 开关后接线性“与或”门的瞬态特性, (b) ECL 开关前接线性“与或”门的瞬态特性

如果作为输出缓冲器的 ECL 开关只需整形而不需反相, 则图 3(a) 中的 R_1 和相应的射极跟随器可全部省去, 甚至 T_1 和输入电阻均可省去, 干脆用前级的线性“与或”门替代 ECL 电路中的一半, 如图 3(b) 所示. 图 3(b) 仍有差动晶体管对的结构, 但由于信

号 x 从 T_1 的小 β 发射极输入, 因此图中参考电压 V_R 应提高一个 PN 结压降, 即为 $3.4V$. 图 2(b) 给出了十级线性“与或”门使用图 3(b) 结构整形后应用 PSPICE 模拟得到的瞬态特性. 与图 2(a) 无整形的情况相比, 该电路总体的平均传输延迟增加了 $1.6ns$, 但由于输出信号已经过了整形, 不再存在逻辑摆幅衰减. 计算机模拟还表明, 如采用有源馈电线性“与或”门, 则由于每级逻辑摆幅衰减更小, 因此可以在更多级的级联后使用 ECL 开关实现有效的整形.

在上面提出的 ECL 开关的基础上, 可以进一步设计基于线性“与或”门的存贮元件. 以 D 锁存器为例, 它的逻辑功能表示为

$$Q' = D \cdot CP + Q \cdot \overline{CP} = (D + \overline{CP}) \cdot (Q + CP).$$

上式分别给出了次态方程的“与”/“或”和“或”/“与”形式. 由于后者只用一个线性“与或”门便可实现, 因此应用图 3(a), 3(b) 中的两种 ECL 开关, 便可得到两种 D 锁存器的设计, 分别如图 5(a), 5(b) 所示. 注意到两图中的线性“与或”门的两个均经“线或”的输入实现了次态方程中两个或项之与. 比较两种 D 锁存器设计, 图 5(a) 的电路可提供互补双轨输出, 而图 5(b) 的电路较为简单.

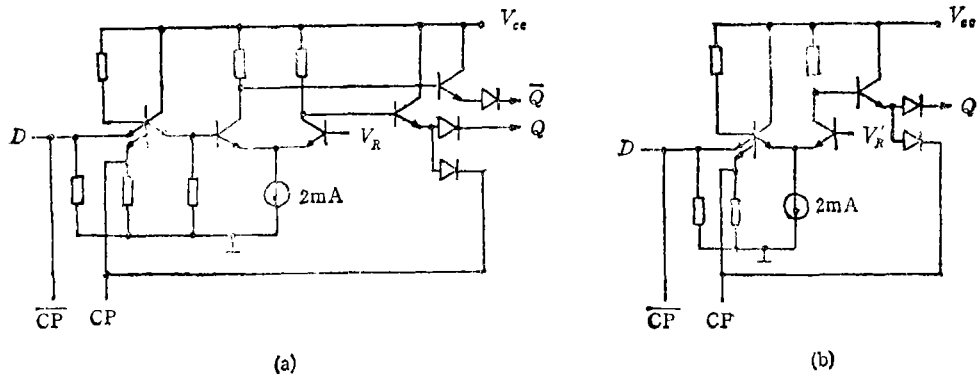


图 5 基于线性“与或”门的 D 锁存器

若把图 5(b) 所示的两个 D 锁存器前后串接且用反相时钟分别控制, 便可得到一个单轨输出的主从型 D 触发器. 如需双轨输出, 则只要把从触发器换以图 5(a) 中的结构即可. 该触发器设计已用 PSPICE 计算机模拟予以验证.

4 应用线性“与或”门设计超高速数字电路

鉴于线性“与或”门所具有的工作特性, 它可以用于设计超高速数字电路. 以组合数字电路为例, 应用线性“与或”门的设计准则是这样的:

(1) 在复杂的组合电路设计中首先根据电路的功能, 引入多级中间变量, 把输入到输出的各级函数关系均化简成“与”/“或”形式, 使每级函数可用一级线性“与或”门实现.

(2) 由于整形和反相单元的传输延迟较大, 因此在实现各级函数的各级电路中应避免使用. 每级电路中输入、输出反相器的缺省, 用提供互补输入信号和另设产生互补输出

信号的电路来弥补。

(3) 整个电路内部各级电路由于不用反相器和整形器, 因此可直接发挥线性“与或”门可多级级联的特性。在整个电路的输入和输出部分, 则可根据需要设置使用高速 ECL 开关的整形单元或反相器。

超高速数字电路的一个重要实例为高速数字系统, 如高速计算机中复杂运算部件。中国科学院半导体研究所已经成功地使用级联能力更强的有源馈电线性“与或”门设计并研制了 $12\text{bit} \times 12\text{bit}$ 高速阵列乘法器^[6]。它的延迟时间, 即该乘法器的最大乘法时间, 经实测为 10ns 左右。这一数据超过了国际上 1990 年商用 $12\text{bit} \times 12\text{bit}$ 阵列乘法器的最高工作速度 21ns 近一倍^[7]。而根据前面对线性“与或”门高速特性的研究, 可以认为如采用先进的大规模集成工艺, 该工作速度尚可进一步提高。

在使用基于线性“与或”门的触发器设计高速时序电路时, 由于线性“与或”门可利用其多射极输入的“与”功能和射极输出的“线或”功能, 因此可节省甚至完全免去实现激励函数的组合电路和相应的延迟, 并由此可提高时钟频率实现时序电路的高速设计。以下将以 8421BCD 码同步加法器这一典型电路为例进行讨论。

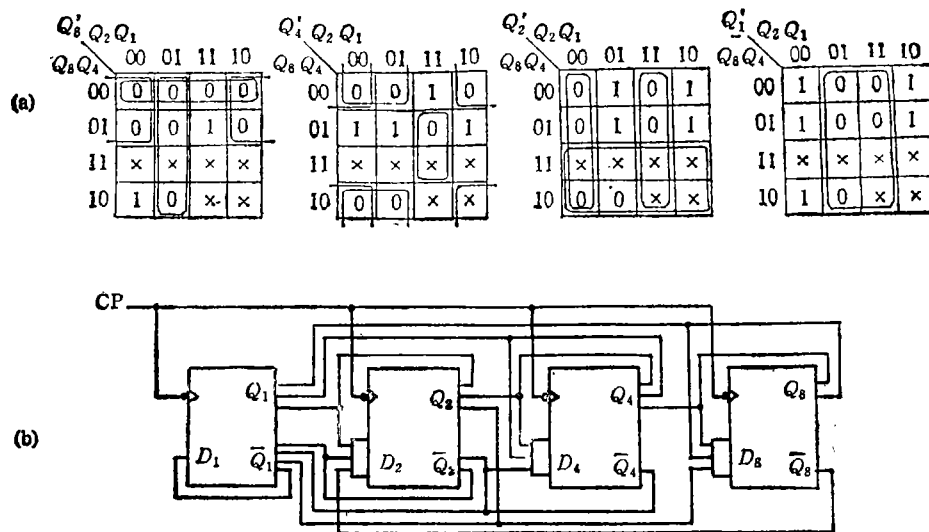


图 6 8421BCD 码加法计数器设计

图 6(a) 为四个触发器 Q_3, Q_4, Q_2, Q_1 的次态 K 图。根据次态方程 $Q_i' = D_i$, 它们即为四个 D 型触发器的激励函数 D_3, D_4, D_2, D_1 的 K 图表示。为了充分利用 D 型触发器的多射极输入与功能, 我们可将次态写成“或”/“与”形式。由图 6(a) 可得

$$\begin{aligned} \bar{Q}_3' &= \bar{Q}_3\bar{Q}_4 + \bar{Q}_3\bar{Q}_1 + \bar{Q}_2Q_1, \\ \bar{Q}_4' &= \bar{Q}_4\bar{Q}_2 + \bar{Q}_4\bar{Q}_1 + Q_4Q_2Q_1, \\ \bar{Q}_2' &= \bar{Q}_2\bar{Q}_1 + Q_2Q_1 + Q_3, \\ \bar{Q}_1' &= Q_1. \end{aligned}$$

对上述函数反演可得

$$\begin{aligned} Q_3' &= (Q_3 + Q_4)(Q_3 + Q_1)(Q_2 + \bar{Q}_1), \\ Q_4' &= (Q_4 + Q_2)(Q_4 + Q_1)(\bar{Q}_4 + \bar{Q}_2 + \bar{Q}_1), \\ Q_2' &= (Q_2 + Q_1)(\bar{Q}_2 + \bar{Q}_1)\bar{Q}_3, \\ Q_1' &= \bar{Q}_1. \end{aligned}$$

上述各式即为诸触发器激励函数 $D_3D_4D_2D_1$ 的最简“或”/“与”形式。虽然它们形式上并不简单,但在实现中却无需添加任何门电路,如图 6(b) 所示。同步时序电路的最大工作时钟频率为

$$f_{cp}^{(max)} = \frac{1}{t_s + t_{pdf} + t_{pdc}}.$$

上式中 t_s 为触发器预置时间(对图 6(a) 的主从触发器有 $t_s = 0$), t_{pdc} 为激励函数相应电路的传输延迟;在图 6 电路中因为免除了这部分电路因而亦为 0。这样,上式的分母中仅有一项 t_{pdf} , 即触发器的延迟时间,因此,该计数器的最高工作频率就可提高,从而支持了高速时序数字电路的实现。

5 结 论

本文在分析线性“与或”门极高速、可多级级联和无反相整形等工作特点的基础上,提出了与之配用的高速 ECL 开关设计,并赖以解决了信号整形,反相和存贮元件设计等问题。基于线性“与或”门具有可多级级联的工作能力,在复杂组合电路的设计中便可以在内部各级电路中免除使用整形和反相单元,用以进一步加快信号在线路中的传输和处理。文中通过有关的组合与时序电路设计实例证明了线性“与或”门在新型的超高速数字电路设计中具有很大的应用潜力。

参 考 文 献

- [1] 王守觉,等. 电子学报, 1987,6(2): 43—51.
- [2] 王守觉,等. 电子学报, 1983,11(5): 9—16.
- [3] Skokan I E. IEEEJ. of SC, 1973, SC-8(5): 356—361.
- [4] Elmasry M I. Digital Dipolar Integrated Circuits. New York: John Wiley & Sons, Inc., 1989, Ch.6.
- [5] 石寅. 连续逻辑高速门陈列研究: [博士论文]. 北京: 中国科学院半导体研究所, 1986.
- [6] Muroga S. VLSI System Design. New York: John Wiley & Sons, Inc, 1982, Ch. 3.
- [7] Xunwei Wu (吴训威), Zhuan Zhang (章专). Int. J. Electron., 1991, 71(6): 1023—1035.
- [8] 王守觉,石寅,朱荣华. 半导体学报, 1987,8(5): 466—473.
- [9] 冯宏娟. DYL 电路的研究新进展. 中国第一届多值逻辑电路与系统学术会议. 青岛: 1991.

THE NEW SUPER-HIGH-SPEED DIGITAL CIRCUIT BASED ON LINEAR AND-OR GATES

Wang Shoujue Wu Xunwei** Shi Ying Jin Ou**

(Institute of Semiconductors, Academia Sinica Beijing 100083)

*** (Department of Electronic Engineering, Hangzhou University, Hangzhou 310028)*

Abstract The paper reveals the relation between linear AND-OR gate and the Emitter Function Logic (EFL). With theoretic calculation and PSPICE simulation, the paper proves that the linear AND-OR gates can work at super-high-speed and can be multi-cascaded. On the basis of analyzing the high-speed switch units which coordinate with linear AND-OR gates, two kinds of Emitter Coupled Logic (ECL) circuits are designed. The paper also discusses the design principle of super-high-speed digital circuits and some examples of combinational and sequential circuits using linear AND-OR gate are given.

Key words Linear AND-OR Gate, Super-high-speed digital circuits, DYL(Duo Yuan Logic) circuits