

基于并联开关的低电压低功耗电流型 CMOS 电路设计¹

沈继忠 邵志龙 蒋征科

(浙江大学信息与电子工程学系 杭州 310028)

摘要: 该文提出了一种电流型 CMOS 电路的并联开关结构,使得电流型 CMOS 电路能在较低的电源电压下工作,因而可以实现电路的低功耗设计,同时在相同的电源电压下,采用并联开关结构的电路比相应的串联开关电路具有更快的速度。PSPICE 模拟证明了采用并联开关结构设计的电路能在较低的电源电压下工作,并具有较小的电路延时。

关键词: 电流型 CMOS 电路, 阈运算, 并联开关, 多值逻辑

中图分类号: TN432 **文献标识码:** A **文章编号:** 1009-5896(2004)08-1325-07

Design of Low Voltage Low Power Current-Mode CMOS Circuits Based on Parallel Switches

Shen Ji-zhong Shao Zhi-long Jiang Zheng-ke

(Dept. of Info. Sci. & Electron. Eng., Zhejiang Univ., Hangzhou 310028, China)

Abstract A novel current-mode CMOS parallel structure is proposed. This parallel switch structure allows current-mode CMOS circuits to perform under lower source voltage which makes low power consuming possible. Beside, the current-mode circuits based on the proposed parallel structure have smaller propagation delay time than its counterpart which use cascade switches under the same source voltage. PSPICE simulation proves that circuits designed with the proposed structure can perform under low source voltage while holding short propagation delay time.

Key words Current-mode CMOS circuits, Threshold operation, Parallel switches, Multi-valued logic

1 引言

自集成电路发明以来,集成电路设计一直以提高集成度和工作速度、降低成本为主要追求目标,而对功耗的考虑常处于次要的地位^[1],但随着集成度、芯片面积和速度的大幅度提高,集成电路的功耗也随之大幅提高^[2],这带来一系列的问题:首先,过大的功耗易使芯片过热,使其工作容易失效,寿命缩短,可靠性下降^[3];其次,对于使用电池的便携式设备,因易使电池耗尽而遇到电源方面的困难;最后,巨大的功耗对芯片的封装和散热提出了更高的要求,这不仅增加了系统的成本,而且散热器往往体积较大,使系统的体积随之增大,这非常不利于便携式设备^[4]。

要降低集成电路功耗最直接、最有效的方法就是降低电源电压^[5]。而电流型 CMOS 电路由于可以在比电压型 CMOS 电路低的电源电压下正常工作^[6],有利于电路的低功耗设计,因而受到广泛的重视。

阈运算^[7]在电流型 CMOS 电路的开关级设计中具有十分重要的地位,阈运算在电路中相当于一个开关。在电路的函数表达式中有可能出现多个开关相串联的情况,开关串联不仅影响电路的速度,而且当电源电压下降到一定值以后,由于电路中的串联开关管导通情况变差,开关管上的压降增大,使电路中输出电压的高电平下降,低电平上升,最终甚至使电路不能正常

¹ 2003-01-21 收到, 2003-06-05 改回

工作。为此本文提出一种并联开关结构,利用这一并联开关结构设计的电流型 CMOS 电路,不仅可以降低电源电压,从而降低电路的功耗,而且还可以减少电路的延时。

2 适合于电流型 CMOS 电路开关级设计的传输电流开关理论^[7]

2.1 开关变量和信号变量

在指导电路开关级设计的开关-信号理论^[8]中,区分了电路中的两类变量:开关变量(用 $\alpha, \beta, \gamma \dots$ 表示,它们取值为 T, F ,分别表示电路中传输开关 MOS 管的两种开关状态——通和断)和信号变量(用 x, y, z 表示,它们取值 $\{0, 1, \dots, R-1\}$,分别表示电路中 R 种不同的电流信号),并分别建立了开关代数和信号代数系统。开关代数中的基本运算为“与”,“或”,它们分别用“ \bullet ”,“ $+$ ”表示,信号代数中的基本运算为求和相反运算,分别用符号“ $\&$ ”,“ $-$ ”表示。

2.2 信号变量与开关变量之间的联结运算

为了反映电流型 CMOS 电路中电流信号控制 MOS 传输开关管开关状态的过程,引入信号变量到开关变量的联结运算 I:

低阈运算

$$x^t = \begin{cases} T, & x < t \\ F, & x > t \end{cases} \quad (1)$$

高阈运算

$${}^t x = \begin{cases} T, & x > t \\ F, & x < t \end{cases} \quad (2)$$

双阈运算

$${}^{t_1} x^{t_2} = {}^{t_1} x \bullet x^{t_2} = \begin{cases} T, & t_1 < x < t_2 \\ F, & \text{其它} \end{cases} \quad (3)$$

式(1)-(3)中检测阈 $t, t_1, t_2 \in \{0.5, 1.5, \dots, R-1.5\}$ 。阈运算在电流型 CMOS 电路中相当于一个开关,用来控制电路中的电流信号的传输。

为了反映电流型 CMOS 电路中 MOS 传输开关管的开关状态控制电流信号的作用过程,引入开关变量到信号变量的联结运算 II:

传输运算

$$x \triangleright \alpha = \begin{cases} x, & \alpha = T \\ 0, & \alpha = F \end{cases} \quad (4)$$

短路运算

$$x \perp \alpha = \begin{cases} 0, & \alpha = T \\ x, & \alpha = F \end{cases} \quad (5)$$

3 减少串联开关的方法及其限制

为解决开关串联引起的不利影响,利用文献[7]中提出的有关性质可以减少串联开关管的数目,这两条性质分别是:

(1) 利用传输开关和短路开关互换的性质

$$\begin{aligned} & y \triangleright ({}^{t_1} x_1 \bullet {}^{t_2} x_2 \bullet \dots \bullet {}^{t_r} x_r \bullet x_{r+1}^{t_{r+1}} \bullet \dots \bullet x_{r+s}^{t_{r+s}}) \\ &= (y \triangleright (x_{r+1}^{t_{r+1}} \bullet \dots \bullet x_{r+s}^{t_{r+s}})) \perp (x_1^{t_1} + x_2^{t_2} + \dots + x_r^{t_r}) \\ &= (y \triangleright ({}^{t_1} x_1 \bullet {}^{t_2} x_2 \bullet \dots \bullet {}^{t_r} x_r)) \perp ({}^{t_{r+1}} x_{r+1} + \dots + {}^{t_{r+s}} x_{r+s}) \end{aligned} \quad (6)$$

利用这一性质可以将 r 个串联的高阈运算转换成 r 个并联开关, s 个低阈运算仍然保持串联;或者将 s 个串联的低阈运算转换成并联形式, r 个高阈运算仍保持串联。

(2) 利用阈运算有关性质化简

$$x^{0.5} \bullet y^{0.5} = (x \& y)^{0.5} \quad (7a)$$

$$k-0.5 x \bullet k-0.5 y = 2^{k-0.5} (x \& y) \quad (7b)$$

上式中 x, y 为 $k \& 1$ 值的信号, k 为 ≥ 1 的整数. 这一性质可对 $k \& 1$ 值逻辑中阈值同为 0.5 的低阈运算或阈值同为 $k - 0.5$ 的高阈运算进行化简. 在满足化简的条件时, 根据这一性质化简后的电路可以有效减少复杂程度, 同时又减少串联开关的数目.

利用以上二条性质对串联开关进行变换或化简时, 可以先利用性质 (2) 化简, 再利用性质 (1), 把一部分串联开关换成并联开关. 这种方法可以有效减少串联阈运算的数目, 但是由于利用性质 (2) 只能化简阈值同为 $k - 0.5$ 的串联高阈运算或阈值同为 0.5 的串联低阈运算, 而在多值逻辑中, 有可能出现多个阈值互不相同的阈运算, 使性质 (2) 的使用受到限制. 而利用性质 (1) 将一部分串联开关转换成并联以后, 剩下的开关仍然是串联的. 因此在阈值互不相同的阈运算个数较多时, 电路中仍将有多数串联的阈运算. 为此, 这里提出一种新的采用并联开关的电流型 CMOS 电路的结构.

4 并联开关电路

电流型 CMOS 电路中的阈运算相当于一个开关, 而对这个开关起控制作用的则是电流比较电路, 电流比较电路的基本结构如图 1 所示. 图 1 中 V_{rp} 为一参考电压, 使 PMOS 管在饱和导通时流过逻辑值为 t 的阈值电流, 电流比较电路的输出 $V(x, t)$ 为输入信号电流 x 经过 PMOS 电流镜和 NMOS 电流镜反相后与阈值电流相比较所得的电压. 当 x 大于阈值电流时, $V(x, t)$ 为低电平 V_{ss} , 否则输出高电平 V_{dd} . 将 $V(x, t)$ 接到 NMOS 开关管的栅极, 则实现了阈运算 x^t , 若接到 PMOS 开关管栅极, 则实现了阈运算 ${}^t x$.

现假设一共有 $r + s$ 个开关, 其中 r 个高阈运算开关, s 个低阈运算开关, 信号电流大小为 b , 则电路的函数表达式为

$$f = b \triangleright ({}^{t_1} x_1 \bullet {}^{t_2} x_2 \bullet \dots \bullet {}^{t_r} x_r \bullet x_{r+1}^{t_{r+1}} \dots \bullet x_{r+s}^{t_{r+s}}) \quad (8)$$

根据阈运算的有关性质 ${}^t x = \overline{x^t}$ 有

$$f = b \triangleright \overline{x_1^{t_1} + x_2^{t_2} + \dots + x_r^{t_r} + {}^{t_{r+1}} x_{r+1} + \dots + {}^{t_{r+s}} x_{r+s}} \quad (9)$$

根据式 (8), 可画出其由串联开关构成的电流型 CMOS 电路, 如图 2 所示. 而根据式 (9), 可设计出由并联开关构成的电流型 CMOS 电路, 如图 3 所示. 它由 3 部分构成, PMOS 电流镜、两个 NMOS 恒流源和 $r + s$ 个 MOS 开关管. 图 3 中 MOS 开关管栅极所接电压 V_i 为电流比较电路的输出电压, V_{ref} 为参考电压, 使恒流源管在饱和导通时能流过 b 个单位的电流. 从图 3 所示电路可以看出, 当 $r + s$ 个 MOS 开关管全部不导通时, 两个 NMOS 恒流源均正常工作, 但是 PMOS 电流镜的输出被并联连接的 PMOS 开关管隔断, 无法完成电流的复制, 流入恒流源的电流只能由外部电路供给, 这时 $y = b$. 当 $r + s$ 个开关中有任意一个开关开通时, 出现两种情况:

(1) PMOS 开关管导通而 NMOS 开关截止时, PMOS 电流镜和两个恒流源都正常工作, 这时从负载电路流入的电流 $y = 0$.

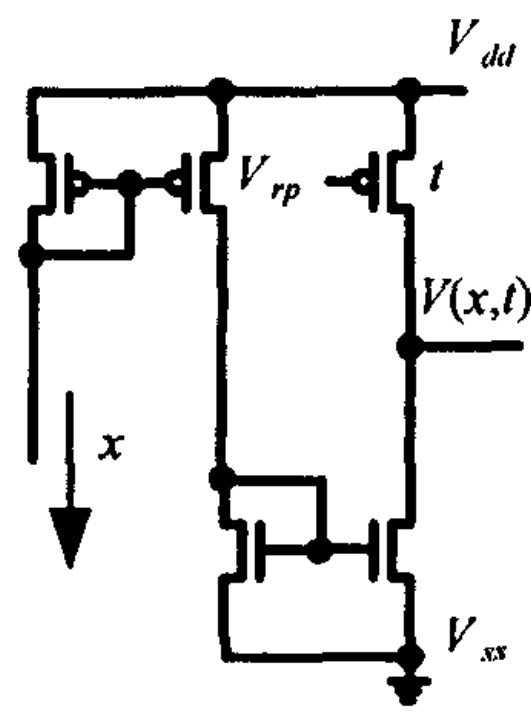


图 1 电流比较电路

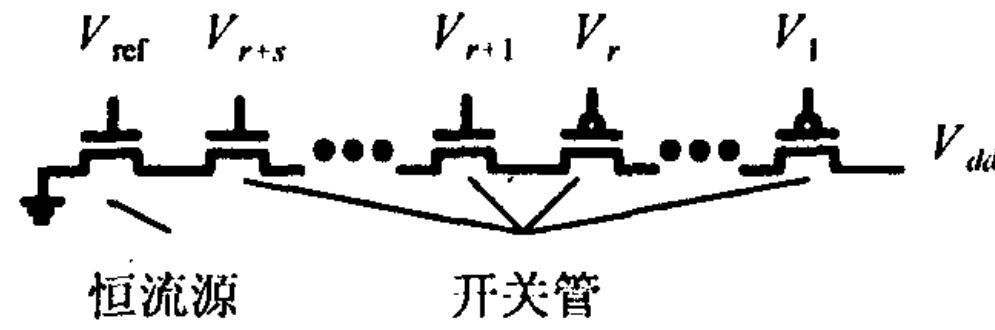


图 2 串联开关电路

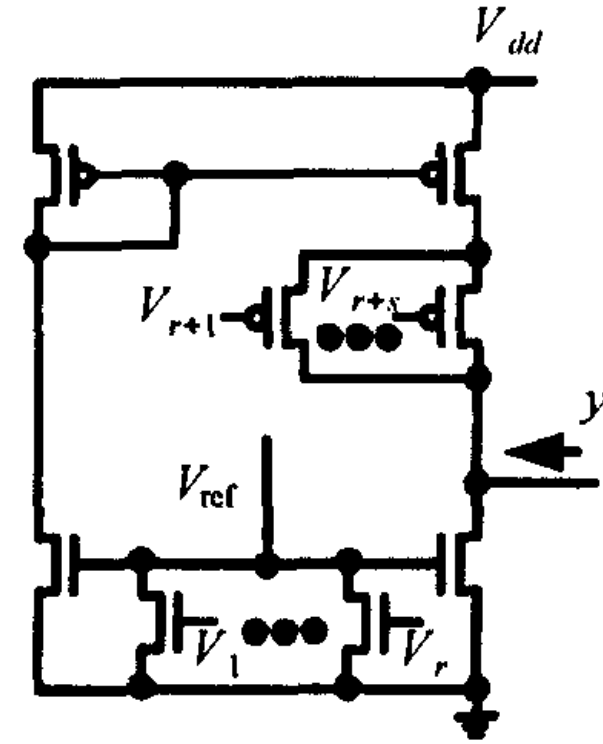


图 3 并联开关电路

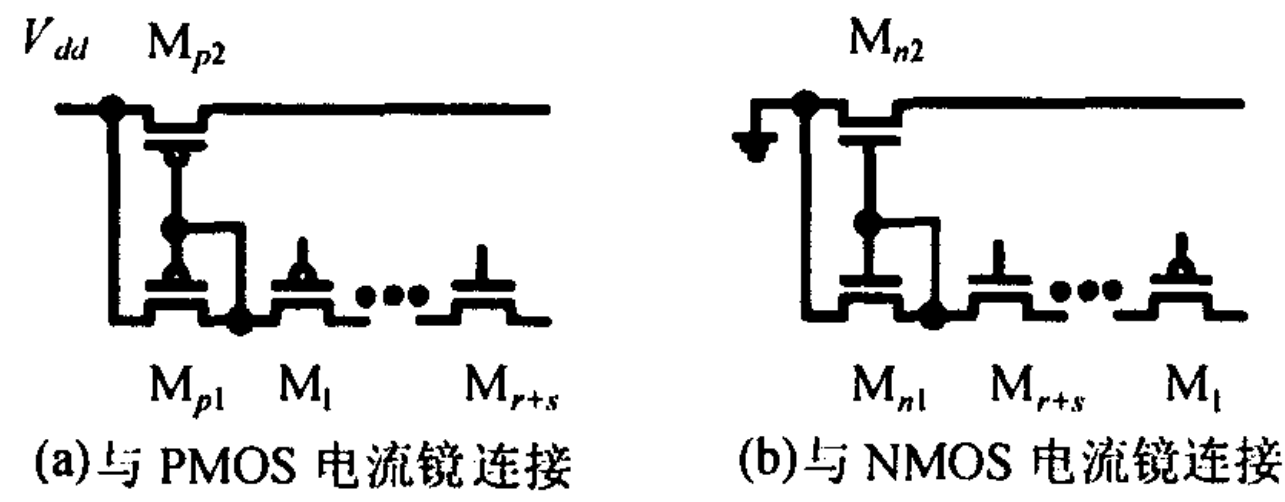


图 4 串联开关电路与电流镜的连接

(2)NMOS 开关管导通时, 作为恒流源的 MOS 管栅极电压下降, 使两个恒流源进入截止区, 恒流源停止工作, 这时不管 PMOS 开关管是否导通, y 始终为 0。

从以上的分析可以看出, 图 3 所示并联开关电路可以实现正确的逻辑功能。

电流镜是电流型 CMOS 电路中必须的电路模块, 信号电流通过电流镜复制后可以实现反相、与不同信号电流线性相加、与不同阈值进行比较而实现不同的阈运算等不同的功能。图 4 为串联开关电路分别与 PMOS 电流镜和 NMOS 电流镜连接后的电路。在图 4(a) 中, $M_1 - M_{r+s}$ 为开关管, M_{p1}, M_{p2} 构成 PMOS 电流镜, 用 V_{si}, V_{di} 和 $V_{gi}(i = 1, \dots, r, p_1, p_2)$ 分别表示各个 PMOS 管的源、漏、栅极电压, 以 V_{tp} 表示 PMOS 管的阈值电压, 则在 PMOS 管 M_1 饱和导通时有: $V_{s1} > V_{g1} + |V_{tp}|, V_{s1} = V_{gp1}, V_{sp1} > V_{gp1} + |V_{tp}|$, 于是有 $V_{sp1} = V_{dd} > 2|V_{tp}| + V_{g1}$ 。当低电平接地, $V_{g1} = 0$ 时, 即有 $V_{dd} > 2|V_{tp}|$, 即串联开关电路只有在电源电压大于 $2|V_{tp}|$ 时才能正常工作。图 4(b) 的情况与 4(a) 类似。而图 3 所示的并联开关电路在与 PMOS 电流镜连接后, 当电源电压 $V_{dd} > |V_{tp}|$ 时, 电路就能正常工作。因此采用并联开关结构的电流型 CMOS 电路将能在更低的电源电压下工作, 因而有望达到更低的功耗。

5 电路设计实例

例 1 分别用串联开关和并联开关电路设计 K 图如图 5(a) 所示的四值二变量函数 $F_1(x, y)$ 的电流型 CMOS 电路。

根据 K 图, 可以写出函数 $F_1(x, y)$ 的表达式为

$$F_1 = 1 \triangleright (1.5x^{2.5} \bullet 0.5y^{2.5}) \tag{10}$$

采用阈运算有关性质对式 (10) 进行变换有

$$F_1 = 1 \triangleright \overline{2.5x + x^{1.5} + 2.5y + y^{0.5}} \tag{11}$$

根据上述二式设计的电路如图 5(b), 5(c) 和 5(d) 所示。其中图 5(b) 为电流比较电路，它的输出电压接到图 5(c) 和 5(d) 中串联开关电路和并联开关电路中相应 MOS 开关管的栅极，用来控制相应 MOS 开关管的导通和关闭。

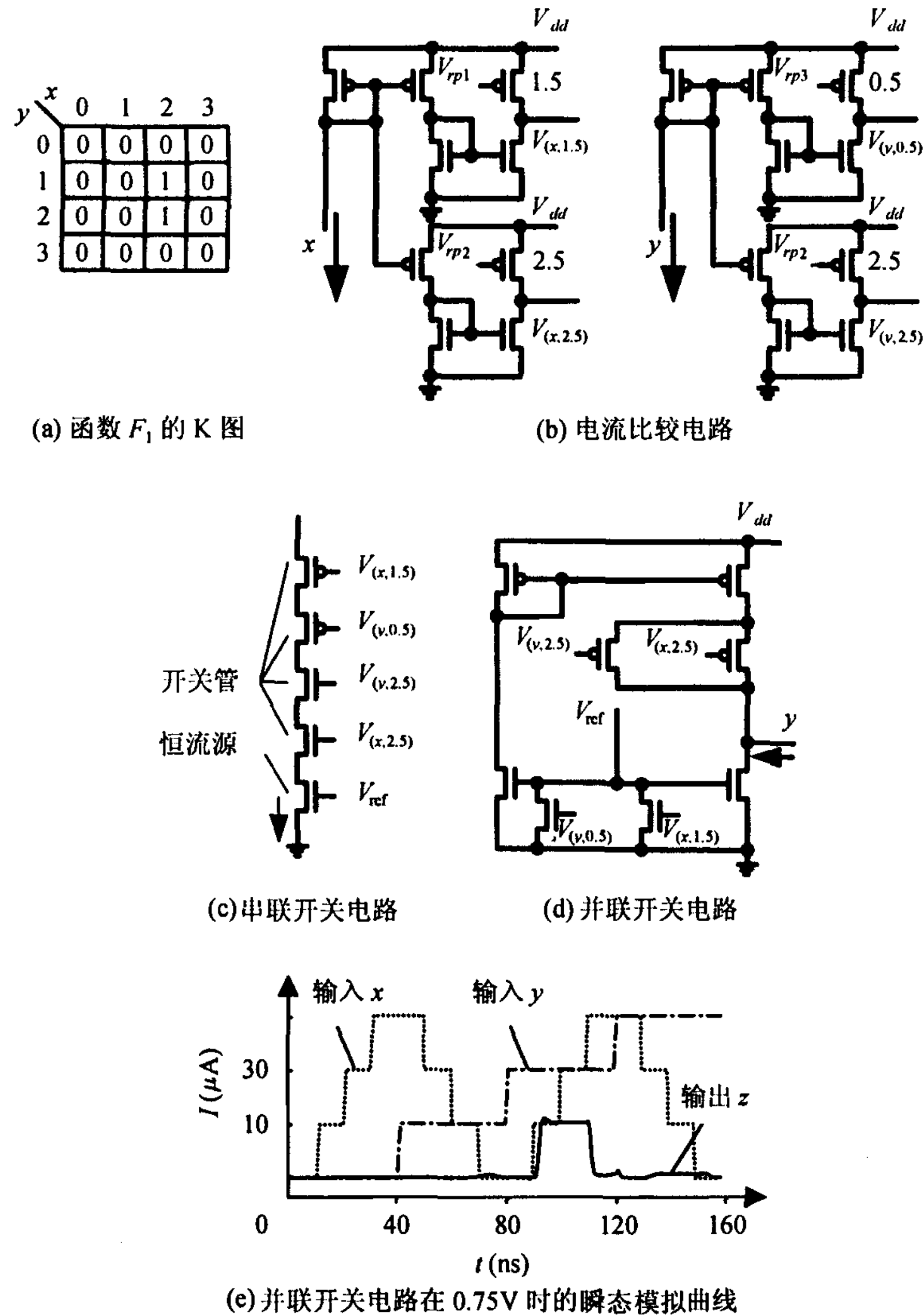


图 5 例 1 的电路图及模拟结果

表 1 例 1 电路在 0.75V 和 1.4V 电源电压下的延迟与功耗

电路形式	$V_{dd}(V)$	$T_d(ns)$	$P(\mu W)$
并联开关	0.75	1.591	78.7
并联开关	1.4	1.515	156.0
串联开关	1.4	2.012	100.5

这里采用 $0.5\mu m$ CMOS 工艺^[9] 对图 5(c) 和 5(d) 所示的电路分别进行模拟。电路中 NMOS 管的阈值电压 $V_{tn} = 0.63V$, PMOS 管的阈值电压 $V_{tp} = -0.64V$, NMOS 开关管沟道长宽比为 $L/W = 0.5\mu m/5\mu m$, PMOS 开关管沟道长宽比为 $L/W = 0.5\mu m/15\mu m$, 并联开关电路中恒流源 NMOS 管的沟道长宽比为 $L/W = 0.5\mu m/20\mu m$, PMOS 电流镜所使用的 PMOS 管的沟道

长宽比为 $L/W = 0.5\mu\text{m}/90\mu\text{m}$ ，电路负载为一个 PMOS 电流镜，模拟时电源电压分别采用 1.4V 和 0.75V。模拟结果表明，采用串联开关的电路在 0.75V 电源电压下不能正常工作，而采用并联开关的电路能够正常工作。图 5(e) 为并联开关电路在 0.75V 电源电压下模拟所得的瞬态曲线。另外，通过模拟对电路的延时、功耗进行了测量，所得的数据如表 1 所示。表 1 的数据中， T_d 为电路的平均延迟时间， P 是电路的总功耗，是电流比较电路、开关电路和负载电路 3 部分在图 5(e) 所示的输入信号 (x, y) 下测得的电路平均功耗的总和。从表 1 可以看出在相同的电源电压下，并联开关电路要比串联开关电路延时小，但功耗大。然而由于并联开关电路可以在更低的电源电压下正常工作，其功耗比串联开关电路在正常工作时功耗要小。

例 2 分别用串并联开关电路设计 K 图如图 6(a) 所示的四值函数 F_2 的电流型 CMOS 电路。

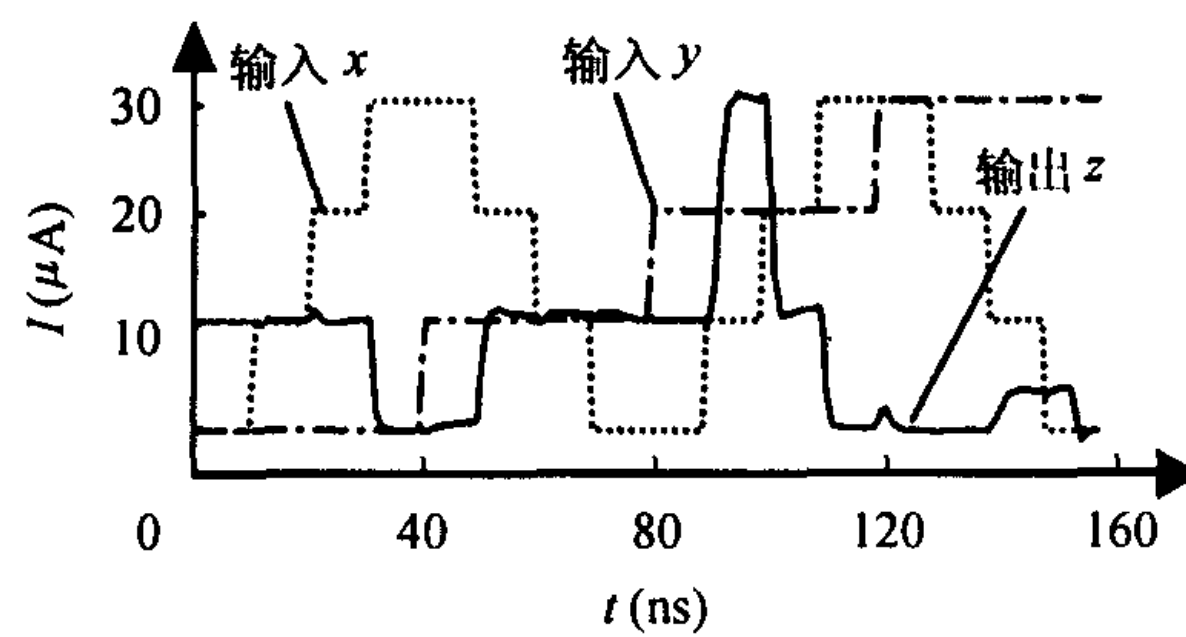
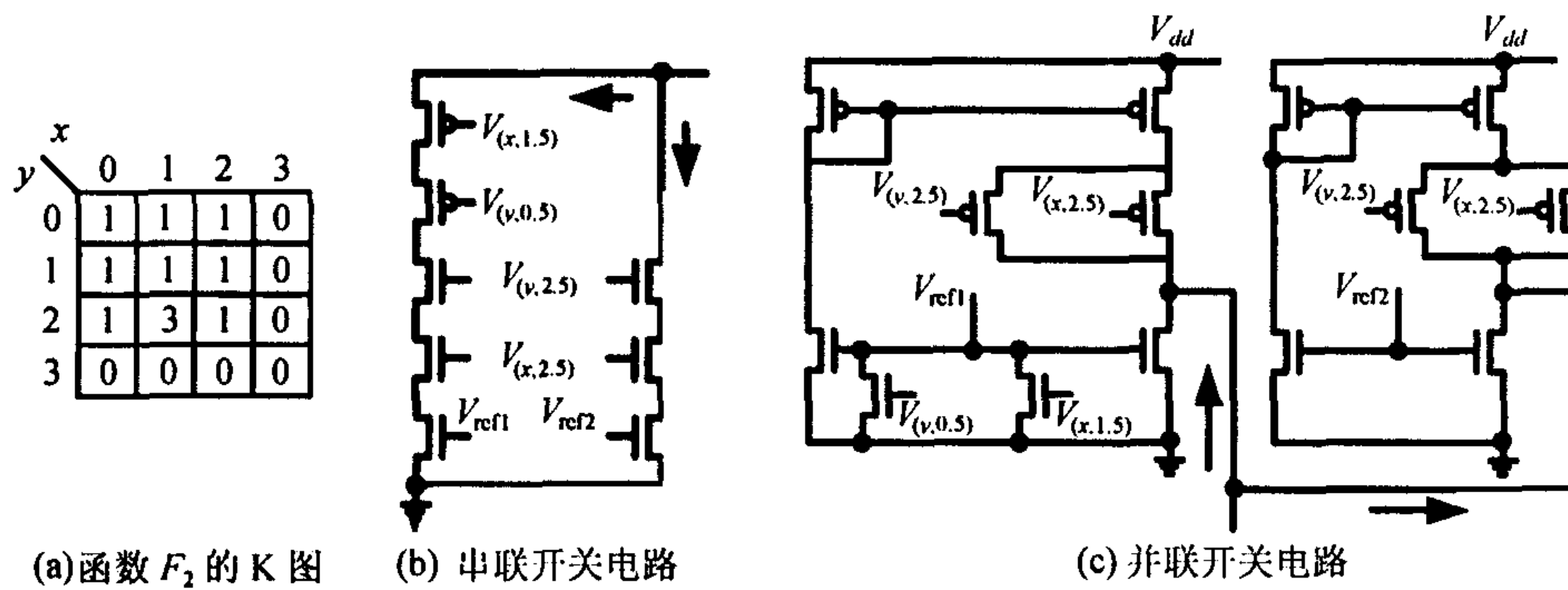
根据 K 图写出其函数表达式为

$$F_2(x, y) = 1 \triangleright (x^{2.5} \bullet y^{2.5}) \& 2 \triangleright (1.5x^{2.5} \bullet 0.5y^{1.5}) \quad (12)$$

根据阈运算的有关性质对式 (12) 进行变换有

$$F_x(x, y) = (1 \triangleright \overline{2.5x + 2.5y}) \& (2 \triangleright \overline{x^{1.5} + 2.5x + 1.5y + y^{0.5}}) \quad (13)$$

根据上述二式设计的电路如图 6(b) 和 6(c) 所示。图 6(b) 为采用串联开关的电路，6(c) 为采用并联开关的电路。采用与例 1 相同的参数对图 6(b) 和 6(c) 所示电路在 1.4V 和 0.75V 电源电压下的工作情况进行了模拟，结果表明串联开关电路在 0.75V 电源电压下不能正常工作，而并联开关电路能够正常工作。图 6(d) 为并联开关电路在 0.75V 电源电压下模拟所得的瞬态曲线。通过模拟，对电路的延时、功耗进行了测量，所得的数据如表 2 所示。对模拟所得的数据进行分析，可以得出与例 1 类似的结论。



(d) 并联开关电路在 0.75V 时的瞬态模拟曲线

图 6 例 2 的电路图及模拟结果

表 2 例 2 电路在 0.75V 和 1.4V 电源电压下的延迟与功耗

电路形式	V_{dd} (V)	T_d (ns)	P (μ w)
并联开关	0.75	1.52	107.1
并联开关	1.4	1.488	265.7
串联开关	1.4	1.87	229.2

从以上两例对设计的电路、模拟所得的曲线及测得的参数分析可见:

(1) 采用并联开关结构设计的电路与串联开关电路一样具有正确的逻辑功能, 而且在开关管采用同样的管子沟道尺寸时, 并联开关电路能在更低的电源电压下正常工作。

(2) 在相同的电源电压下, 采用并联开关设计的电路, 其电路延时要比采用串联开关设计的电路小。在并联开关电路中, 所有的开关管只是用来控制是否有信号电流流入并联开关电路, 而不用来传输信号电流, 因此信号并没有经过任何一个开关管, 使采用并联开关的电路输入信号和输出信号间的延时中不包含由开关导致的延时, 这是并联开关电路比串联开关电路延迟小的主要原因。

(3) 在相同的电源电压下, 并联开关电路的功耗比串联开关电路的功耗大, 但采用并联开关的电路由于能在更低的电压下工作, 因此, 其功耗可以达到更小的值, 因而实现了电流型 CMOS 电路的低功耗设计。

(4) 采用并联开关的电路每个并联结构要比相应的串联结构多使用 3 个 MOS 管, 因而电路稍复杂。

6 结论

本文提出了电流型 CMOS 电路的并联开关结构, 它有两个主要特点: 一是可以在较低的电源电压下工作, 这使电路的功耗达到一个较小的值, 实现了电路的低功耗设计。二是在并联开关电路中, 所有的并联开关只是控制是否有信号电流流入并联开关电路, 要传输的信号电流并没有通过任何一个并联开关, 这有效地减少了电路的延时。

最后需要指出的是, 本文提出的采用并联开关结构设计电流型 CMOS 多值逻辑电路的方法同样适用于二值电流型 CMOS 电路的设计。

参 考 文 献

- [1] Rabaey J M, Pedram M. Low Power Design Methodologies. Boston: Klumer Academic Press, 1996: 1-16.
- [2] Chandrakasan A P, Sheng S, Brodersen R W. Low power CMOS digital design. *IEEE J. of Solid-State Circuits*, 1992, 27(4): 473-484.
- [3] Small C. Shrinking devices put the squeeze on system packaging. *EDN*, 1994, 39(4): 41-46.
- [4] Mead C, Conway L. Introduction to VLSI System. New York: Addison-Wesley Publishing Company, 1980: 1-8.
- [5] Masayuki Mizuno, Masakazu Yamashina, Koichiro Furuta. A GHz MOS adaptive pipeline technique using MOS current-mode logic. *IEEE J. of Solid-State Circuits*, 1996, 31(6): 784-791.
- [6] Wayne Current K. Current-mode CMOS multiple-valued logic circuits. *IEEE J. of Solid-State Circuits*, 1994, 29(2): 95-107.
- [7] 吴训威, 应时彦. 基于开关信号理论的三值电流型 CMOS 电路设计. *电子科学学刊*, 1993, 15(2): 113-120.
- [8] 吴训威, Prosser F. 数字电路的开关级设计理论. *中国科学 (E 辑)*, 1996, 26(3): 257-265.
- [9] Yeo K S, Lee H K. Novel 1V full-swing high-speed BiCMOS circuit using positive feedback base-boost technique. *IEE Proc.-Circuits Devices Syst.*, 1999, 146(3): 129-134.

沈继忠: 男, 1965 年生, 博士, 教授, 主要从事数字集成电路与系统设计研究。

邵志龙: 男, 1979 年生, 硕士生, 研究方向为数字集成电路设计与无线遥控遥测。

蒋征科: 男, 1979 年生, 硕士生, 研究方向为低功耗数字集成电路设计。