

## 多芯片组件布线算法研究

畅艺峰 杨银堂

(西安电子科技大学微电子所 宽禁带半导体材料与器件教育部重点实验室 西安 710071)

**摘要** 该文以多芯片组件布线中的四通孔(V4R)算法为基础,针对其布线结果不均匀、产生多余噪声的缺陷,通过引入PST(Priority Search Tree)和LEA(Left Edge Algorithm)方法,移除过孔或拐角,减小布线层数,减少噪声,以达到总体布线结果优化。计算机模拟结果表明,优化后的算法有效利用了布线空间,在电特性方面使延时和噪声均得到减小。

**关键词** 多芯片组件, 布线算法, 四通孔

中图分类号: TN405.97

文献标识码: A

文章编号: 1009-5896(2006)03-0567-03

## Study of Routing Algorithm in Multichip Modules

Chang Yi-feng Yang Yin-tang

(Key Lab of Ministry of Education for WBG Semiconductor Materials and Devices, Institute of Microelectronics  
Xidian University, Xi'an 710071, China)

**Abstract** Aiming at the uneven routing results and much noise, this paper presents an improved method for multichip module routing that based on the four-via routing algorithm. By using the PST(Priority Search Tree) and LEA(Left Edge Algorithm) algorithms to restrict routing layers, remove vias or jogs and reduce noise, the result is optimized. The computer simulation results show that routing space is efficiently utilized and the delay and noise are also reduced in the field of electric feature.

**Key words** MultiChip Modules(MCM), Routing algorithm, V4R

### 1 引言

由于多芯片组件(MCM)封装技术具有降低互连延迟和提高封装密度的优势,在高性能VLSI系统中得到了广泛的应用。随着MCM封装密度的增加, MCM布线问题相比传统的IC或PCB设计显得更加复杂。首先,互连层数增多;例如,IBM 3081主机的多芯片组件模块有33层导体;富士通最新的VP-2000计算机,应用了50多层陶瓷互连<sup>[1,2]</sup>。其次, MCM布线也必须满足一些诸如平行线长度、布线间隔距离和通孔数量等约束条件,相对于PCB而言, MCM布线间隔更小,布线密度更高。所以传统的PCB布线工具和算法已不足以处理MCM的布线问题, MCM布线设计需要采用新的布线器和算法。近年来对MCM布线器和算法的研究已取得了一定的进展<sup>[3-5]</sup>,目前用于MCM的布线方法主要有迷宫法, SLICE法,四通孔(V4R)布线法等。

### 2 几种常用的MCM布线算法

迷宫法是将局部平面划分成许多网格,以互连线的一个端点所在的格子作为波源,另一端点作为终点,最早到达终点的波的传播路径就是互连线的最短路径。这种布线方法占用大量的计算时间和存储空间。SLICE算法是首先完成一层布线,并将未完成布线线网端点驱赶到下一层,然后继续对下一层进行单层布线,重复执行这一过程,直至所有的线网布完。SLICE算法可以处理例如交错孔、分段孔以及电源、

地连接和热通孔所引起的布线阻塞问题。

V4R算法相比其他的布线算法,运行速度快、占用计算机内存空间小,尽可能多地避免和减少了对电路系统性能影响较大的过孔、线长和拐角,在串扰和线交叉方面做到了较好的协调。但V4R算法在将K端点网转化成K-1的二端点网集合时,容易丢失网的拓扑结构,增加总线长,同时造成布线结果不均匀、布线层数增加,从而产生多余的噪声。针对这一问题,本文结合LEA(Left Edge Algorithm), PST(Priority Search Tree)等算法的过孔优化等优点对四通孔法进行改进,从而达到改善电路拓扑结构、减小MCM电路布线设计的信号噪声等目的,从而证明了本文算法的优越性和可行性。

### 3 MCM布线算法的优化

#### 3.1 MCM布线中的噪声处理和过孔优化

V4R算法对噪声的处理涉及较少, MCM多层自动布线算法MCG把多个噪声看成一系列阶跃电压,这样噪声的最大幅度和脉宽就可以由噪声源计算得到。下面结合MCG布线器的思想,并引入PST算法和LEA算法,介绍V4R改进算法中对噪声的处理。

LEA算法是在每条水平线上从左到右按一定的间隔进行分布,所以每分布一个格点,都必须计算它和邻近线之间的串扰和耦合长度,然后计算噪声,如果不能满足前述的平行线约束条件,就将对下一个格点进行同样的操作。即对于每一节点的分布,首先要计算其耦合长度,然后利用PST算法,在相邻的路径上搜索一个与其相耦合的节点,最后再进行判断。例如在图1所示的结构中,要确定格点3能否和格

点 2 一样分布在路径  $t$  上, 首先需要分别计算它和格点 2, 1 之间的串扰耦合  $C_{23}$ ,  $C_{13}$  能否满足平行线长度和距离要求, 若不能满足, 则需要变换分布路径, 然后再对格点 4 进行同样的分析和操作, 直到到达最右端。在这个过程中, 分布路径的改变, 会使过孔大大减少, 如图 2 所示。

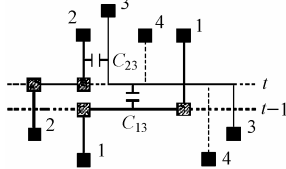


图 1 考虑噪声时的布线  
Fig.1 Routing with crosstalk consideration

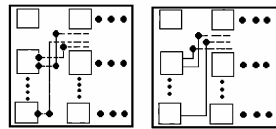


图 2 变换路径, 过孔减少  
Fig.2 Reducing vias by altering the routing path

MCM 布线设计之后, 就可进一步优化其中的过孔: (1) 减少过孔的数量, 这可以通过适当设置两布线层的走线方向和去除多余的过孔等方法来达到要求。若假设所有垂直线都在  $L_1$  层, 所有水平线都在  $L_2$  层, 那么对于如图 3 所示用“Z”型走线连接的终端, 很容易得出, 若它是连接到垂直部分, 需要两个过孔, 如图 3(a)所示; 若连接到水平部分, 则需要 4 个过孔, 如图 3(b)所示, 因为在端点处多了两个过孔。而在图 3(c)中, 对于  $L_2$  层中两个连续的过孔间的虚线段, 需先查看  $L_1$  层中是否有线段通过间隔, 如果  $L_1$  层中没有这样的线段, 那么就在  $L_1$  层中用实线取代虚线, 这样就可以减少两个过孔, 用这些办法, 可大大减少过孔的数量。(2) 变换布线策略, 在进行全局布线时, 可以将整个的布线区域划分成大量的子区域, 然后将合适的布线规则应用到端点在每一个子区域的节点上, 于是相邻的子区域就合并成一个较大的子区域, 重复以上步骤就完成了短距离的节点连接而不是使用较长的引线。

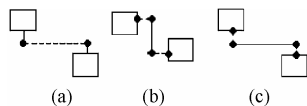


图 3 通过变换走线方向和去除多余的孔来减少过孔

Fig.3 Reducing the number of vias by altering the routing direction

### 3.2 控制迷宫布线

由于该算法会在扫描方向上产生很多布线断点, 所以垂直排列的初始点可先不进行布线, 而是采用迷宫算法对所有遗留的网格点进行布线。

为节省内存, 将迷宫算法限制在两层布线。而且, 由于主要是针对垂直连接点, 所以只将其应用在布线区域的薄层垂直部分。

### 3.3 移除拐角

由于 V4R 算法不能处理拐角问题, 所以布线过程必然包含许多不必要的拐角, 必须对其进行消除。拐角包括“简单拐角”和“复杂拐角”两种, “简单拐角”是指通过移动布线可以被消除的拐角, 如图 4 所示。其余的则称为“复杂拐角”, 需移动多条布线才可消除, 如图 5 所示。布线结果表明, 47% 以上的拐角可通过本文的改进算法加以消除。

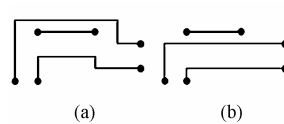


图 4 向下移动水平部分, 消除“简单拐角”  
(a) 消除前 (b) 消除后  
Fig. 4 Removal of the simple corners  
(a) With simple corners (b) Without simple corners

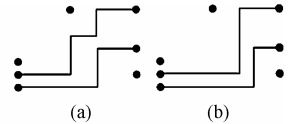


图 5 消除“复杂拐角”  
(a) 消除前 (b) 消除后  
Fig.5 Removal of the complex corners  
(a) With complex corners (b) Without complex corners

## 4 仿真结果与分析

本文以一检测器电路为例, 利用 APD 软件对其进行 MCM 布局布线设计, 并对设计后的电路信号噪声等特性进行仿真和分析, 从而验证本文算法的可行性。按照上面的分析, 本文采用 4 层走线层、4 层铺铜层、且每层信号都有临近参考平面的 8 层布线基板结构, 即: Top-GND-sig2-VCC-GND-sig3-VCC-Bottom, 如表 1 所示。采用这种结构, 可以得到 3 个较好的阻抗控制层: TOP, sig2 和 Bottom。

表 1 8 层布线基板结构

层数	层面类型	层面名称	底片效果	厚度 (μm)
1	Conductor	Top	Positive	53.34
2	Plane	GND	Negative	36.58
3	Conductor	Sig2	Positive	
4	Plane	VCC	Negative	
5	Plane	GND	Negative	
6	Conductor	Sig3	Negative	
7	Plane	VCC	Negative	
8	Conductor	Bottom	Positive	53.34

用频率为 100MHz, 占空比为 0.5 的脉冲信号作触发, 表 2 给出了利用 Spectraquest 软件对改进算法前和改进后的噪声模拟结果。

表 2 算法优化前后信号的噪声大小比较

时间(ns)	1.0	2.0	3.0	4.0
优化前(V)	2.38219	3.16012	3.23132	3.37888
优化后(V)	2.00768	2.96854	3.18652	3.1735
时间(ns)	5.0	6.0	7.0	8.0
优化前(V)	4.09652	4.79548	4.96312	4.92006
优化后(V)	3.84219	4.62582	4.92942	4.8999
时间(ns)	9.0	10.0	11.0	12.0
优化前(V)	4.9181	4.93754	4.99983	5.02457
优化后(V)	4.88856	4.93143	4.9707	5.0084

图 6 是对上述布线结果的电特性模拟结果, 其中图 6(a)、图 6(b)分别为采用本文算法优化前后的电路仿真波形。从图中可以看出, 优化后波形的噪声裕量有所增大, 上、下过冲

得到明显减小,传输延时、开关延时、信号建立时间也不同程度的缩短,模拟结果比较理想。

另外,电路的信号传输线长度对噪声也有一定的影响。图7为利用Signoise和Sigxplore工具仿真得到的改变布线长度前后的反射电压仿真波形。从图中可以看出,电路的反射噪声随着传输线长度的减小而减小。因此,布线长度不同,其处理方法也应不同。一般来说,走线长度小于5cm,以集总参数的LC电路来处理;大于20cm,则以分布参数的传输线电路来对待。布线完成后的电路功能仿真结果也表明<sup>[6]</sup>,本文的布线结果满足实际要求。

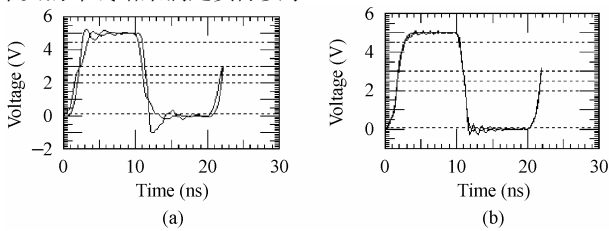


图6 电路的电特性模拟结果 (a) 优化前 (b) 优化后

Fig.6 Computer simulation results with APD software

(a) Without improved algorithm (b) With improved algorithm

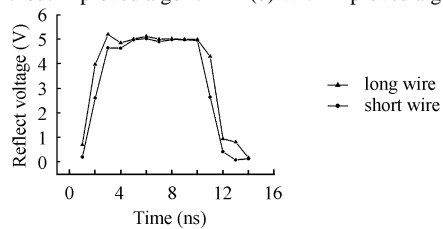


图7 改变布线长度前后的仿真波形

Fig.7 Simulation results with different wirelength

## 5 结束语

本文在利用APD软件进行MCM布线设计的基础上,对改进布线算法后的仿真结果进行了详细分析和讨论。通过上面的例子可以看出,由于V4R算法产生的布线不均匀,会造成布线层数过多。而应用MCG方法预先处理噪声,并对过孔、

拐角等加以优化,然后结合V4R算法完成布线设计,可有效减少布线层数和总长度,使整体延时和噪声均得到减少。

## 参考文献

- [1] Wong C P, Wong M M. Recent advances in plastic packaging of flip-chip and MultiChip Modules(MCM) of microelectronics. *IEEE Trans. on Components and Packaging Technology*, 1999, 22(1): 21-25.
- [2] Khoo Kei-Yong, Cong Jason. An efficient multilayer MCM router based on four-via routing. 30<sup>th</sup> ACM/IEEE Design Automation Conference. Santa Cruz, California, 1993: 590-595.
- [3] Khoo Kei-Yong, Cong Jason. A fast multilayer general area router for MCM designs. *IEEE Trans. on Circuits and Systems*, 1992, 39(1): 841-859.
- [4] Yu Qiong, Standee B, Sherwani N. CD3D: A constraint-driven 3-dimensional router for MCMS. MCM'98, California, 1998: 561-566.
- [5] Cong Jason, Madden P H. Performance driven multi-layer general area routing for PCB/MCM designs. Electronic Components and Technology Conference, Stockholm, Sweden, 1999: 356-361.
- [6] 畅艺峰, 杨银堂, 柴常春. MCM 高速电路布局布线设计及信号传输特性仿真. *西安电子科技大学学报*, 2005, 32(1): 44-47.
- [7] Dressel W, Mangold T. Time domain characterization of multichip module elements. *IEEE Trans. on Microwave Theory and Techniques*, 1998, 32(1): 1033-1036.
- [8] Pendurkar R Y. Design for testability techniques and optimization algorithms for performance and functional testing of multichip module interconnections. Abstracts International, 1999, Volume: 61-04, Section B: 2119.

畅艺峰: 男, 1980年生, 博士生, 研究方向为 VLSI 技术和 MCM 设计技术。

杨银堂: 男, 1962年生, 教授, 博士生导师, 研究方向为 VLSI 技术和 IC 设计。