

# E/D NMOS 斩波稳零运算放大器\*

龚明甫 郑君里 李永明  
(清华大学)

## 提 要

本文讨论 E/D NMOS 斩波稳零运算放大器的设计方法,着重分析了斩波稳零运算放大器的失调因素,并导出了计算公式。

电路设计利用 SPICE-II 程序进行了计算机模拟,样片的测试结果与分析结果一致。

## 一、引 言

近年来,在 MOS 模拟集成电路中(如 PCM 编译码器、A/D、D/A 电路)斩波稳零运算放大器的应用日益广泛。这种运放的失调和漂移比一般运放的小几个数量级。它的性能优于一般双极型运放。

斩波稳零运放的具体实现方案较多<sup>[1-6]</sup>,从失调误差的采样和寄存期间放大器的工作状态出发,可分为两类:一类是闭环斩波稳零放大器,另一类为开环斩波稳零放大器。前者可得到较好的失调指标,但所需放大器级数较多,并且闭环反馈也可能出现不稳定问题,因此,在 LSI 电路中多采用后者。

迄今为止,现有文献中关于斩波稳零运放的定量分析和设计方法的报道还少见。本文导出开环斩波稳零运放的失调电压的理论表达式,举出应用于 LSI 电路中斩波稳零比较器的设计实例,包括电路分析、指标估算、计算机模拟和实验样片测试结果分析,等等。

## 二、差动斩波稳零放大器的失调分析

在理想情况下,斩波运放的失调和漂移均趋于零值,但由于时钟脉冲的干扰和衬底 PN 结泄漏电流的存在,实际上并不为零。对于单端输入-单端输出斩波运放,这种附加失调和漂移较明显;但电路上如采用对称结构则可显著减小。因此,实际应用的斩波运放多采用差动结构。

图 1 示出了差动斩波稳零运放的原理电路图。图中 MOSFET  $M_a$  和  $M_b$  是输入端的斩波开关;  $C_{S1}$  和  $C_{S2}$  为开关管栅极到差放输入端的寄生电容,此电容是非线性的,开关管导通时,它是沟道电容的一半,开关截止后,它仅仅是栅源(或栅漏)的覆盖电容值;

\* 1985年4月29日收到,1986年1月20日修改定稿。

$C_{in}$  ( $C_{inA}$  或  $C_{inB}$ ) 为差动放大器单端输入电容, 小信号输入时, 放大管工作于饱和区, 按梅耶 (Mayer) 模型<sup>[4]</sup>有

$$C_{in} \approx \left( \frac{2}{3} + \frac{L_D}{L} A_V \right) C_G, \quad (1)$$

式中  $A_V$  为差动放大器电压增益,  $C_G$  为放大管栅电容,  $L_D$  为栅漏覆盖长度,  $L$  为放大管沟道长度;  $C_{1A}$  和  $C_{1B}$  是斩波电容。此外, 时钟脉冲  $V_P$  的高电平用  $V_P^+$  表示, 低电平则用  $V_P^-$  表示。

假定差放本身的失调已被斩波存储作用抵消, 则造成放大器失调的因素主要是时钟脉冲经开关管沟道电容的耦合和电容失配的影响, 我们把由此产生的失调称为“斩波失调”, 并把它分解为共模失调与差模失调两个分量。

(1) 共模失调分量  $V_{osc}$  假定电容不存在失配, 即  $C_{1A} = C_{1B} = C_1$ ,  $C_{S1} = C_{S2} = C_S$ ,  $C_{inA} = C_{inB} = C_{in}$ , 这

样  $V_P$  的负跳沿将在  $a$ 、 $b$  点引起同样的电位跳动, 相当于差放加入了一个共模干扰信号。这个干扰信号的大小取决于经  $C_S$  漏到节点  $a$ 、 $b$  的电荷量。由于  $C_S$  是变动的, 我们分段考虑其影响。在开关脉冲为高电平时,  $V_{DS} = 0$ , 开关管处于线性区,  $C_S$  为开关管沟道电容值  $C_{Ga}$  (或  $C_{Gb}$ ) 的一半。当  $V_P$  下降到阈值电压  $V_{TE}$  时, 管子截止,  $C_S$  值为开关管栅漏覆盖电容。由此可求得漏到  $a$ 、 $b$  点的电荷量为:

$$\begin{aligned} \Delta Q_a &= \Delta Q_b \\ &= \frac{(V_P^+ - V_{TE}) \frac{C_{Ga}}{2} (C_1 + C_{in})}{C_1 + C_{in} + \frac{C_{Ga}}{2}} \\ &\quad + \frac{(V_{TE} - V_P^-) \frac{L_D}{L_a} C_{Ga} (C_1 + C_{in})}{C_1 + C_{in} + C_{Ga} \frac{L_D}{L_a}} \\ &\approx (V_P^+ - V_{TE}) \frac{C_{Ga}}{2} + (V_{TE} - V_P^-) \frac{L_D}{L_a} C_{Ga} \\ &= (V_P^+ - V_{TE}) \frac{1}{2} S_{Ga} C_{OX} + (V_{TE} - V_P^-) \frac{L_D}{L_a} S_{Ga} C_{OX}, \quad (2) \end{aligned}$$

式中  $C_{OX}$  为栅氧化层单位面积电容,  $S_{Ga}$  为开关管  $M_a$  的栅面积,  $L_a$  为  $M_a$  的沟道长度。近似关系的条件为:  $C_1 + C_{in} \gg C_{Ga}$ 。

此电荷量在  $a$  (或  $b$ ) 点引起的电压跳动为:

$$\Delta V_{CM} = \frac{\Delta Q_a}{C_1 + C_{in}}$$

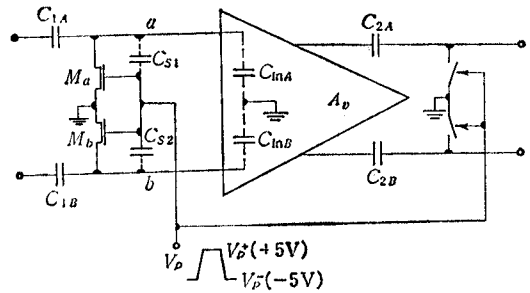


图 1

$$= \frac{\frac{1}{2} (V_P^+ - V_{TE}) S_{Ga} C_{OX} + (V_{TE} - V_P^-) S_{Ga} \frac{L_D}{L_a} C_{OX}}{C_1 + C_{in}} \quad (3)$$

考虑到  $V_P^+ - V_{TE} \approx V_{TE} - V_P^-$ , 且  $L_D \ll L_a$ , 有:

$$\begin{aligned} \Delta V_{CM} &\approx \frac{\frac{1}{2} (V_P^+ - V_{TE}) S_{Ga} C_{OX}}{C_1 + C_{in}} \\ &= \frac{\frac{1}{2} (V_P^+ - V_{TE}) S_{Ga}}{S_{C1} + \left( \frac{2}{3} + \frac{L_D}{L} A_V \right) S_{Gin}}, \end{aligned} \quad (4)$$

式中  $L_D$ 、 $L$ 、 $S_{Gin}$  和  $S_{C1}$  分别为差动放大器的输入 MOS 管的栅漏覆盖长度, 沟道长度、栅面积和斩波电容  $C_1$  的面积。

由  $\Delta V_{CM}$  折合的等效输入失调分量为:

$$V_{osc} = \Delta V_{CM} \cdot CMRR. \quad (5)$$

这里,  $CMRR$  是差动放大器的共模抑制比。

以上分析表明, 如果不采用差动电路, 失调电压将由 (4) 式决定, 因此为获得小的失调电压, 应尽可能选用差动结构。而 (5) 式则说明在差动电路中, 提高单级放大器的共模抑制比是减小  $V_{osc}$  的有效手段。

(2) 差模失调分量  $V_{osd}$  在以上讨论中假定电容失配为零, 实际上这是不可能的。在小电容时, 失配率约在  $10^{-2}$  量级。由于电容失配,  $\Delta Q_a \approx \Delta Q_b$ , 因此  $\Delta V_a \approx \Delta V_b$ 。可以导出:

$$\begin{aligned} V_{osd} &= \Delta V_a - \Delta V_b \\ &= \frac{\Delta Q_a}{C_{1A} + C_{inA}} - \frac{\Delta Q_b}{C_{1B} + C_{inB}} = \frac{\Delta Q_a}{C_{1A} + C_{inA}} \left( 1 - \frac{1 + \Delta_2}{1 + \Delta_1} \right), \end{aligned} \quad (6)$$

式中  $\Delta_1$  和  $\Delta_2$  分别为电容  $(C_1 + C_{in})$  和  $C_s$  的失配系数:

$$\Delta_1 = \frac{(C_{1B} + C_{inB}) - (C_{1A} + C_{inA})}{C_{1A} + C_{inA}}, \quad (7)$$

$$\Delta_2 = \frac{C_{s2} - C_{s1}}{C_{s1}}. \quad (8)$$

由于  $\Delta Q_a / (C_{1A} + C_{inA}) = \Delta V_{CM}$ , 因而有:

$$V_{osd} \leq \Delta V_{CM} (|\Delta_1| + |\Delta_2|). \quad (9)$$

考虑  $V_{osd}$  的最大值, 得到单级差动斩波放大器总失调电压表达式:

$$V_{os} = V_{osd} + V_{osc} = \Delta V_{CM} (CMRR + |\Delta_1| + |\Delta_2|). \quad (10)$$

综上所述, 减小  $|\Delta_1|$ 、 $|\Delta_2|$  和  $\Delta V_{CM}$ , 改善  $CMRR$  都可使  $V_{os}$  下降。由 (4) 式可知, 为了减小  $\Delta V_{CM}$ , 应限制时钟脉冲强度  $V_P^+$ , 并适当减小开关管面积  $S_{Ga}$  与电容  $C_1$  面积之比。减小  $\Delta V_{CM}$  的另一种办法是在电路中引入两只哑管<sup>[7]</sup>, 如图 2 所示。哑管  $M'_a$  和  $M'_b$  的源漏各自短接, 栅极的时钟脉冲  $\bar{V}_P$  与  $V_P$  反相, 它们在差放输入端引起的电压跳动极性相反, 可以显著减小  $\Delta V_{CM}$ 。

对于多级斩波放大器电路,采用各级不等宽斩波脉冲的方法<sup>[8]</sup>可避免斩波失调的积累,从而得到较低的失调电压。在下面将要讨论的实验电路中(图 3)就采用了这种方法。第一、二级电路的斩波失调存储于斩波电容,从而使反映到输出端的失调只有第三级的失调分量。于是多级电路的失调分析仍归结为单级电路的失调分析,可以引用上面给出的计算方法。

当失调减小到微伏量级时, MOS 运放的噪声将成为改善运放指标的主要问题,关于 MOS 运放噪声的分析和减小噪声的措施可参看文献 [9]。

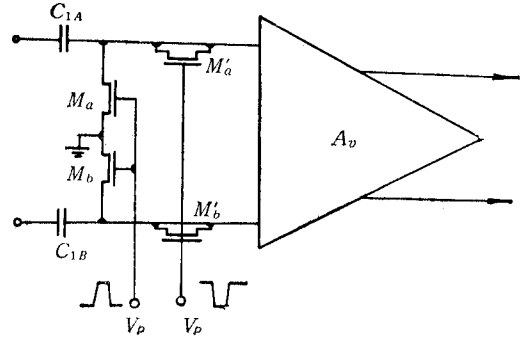
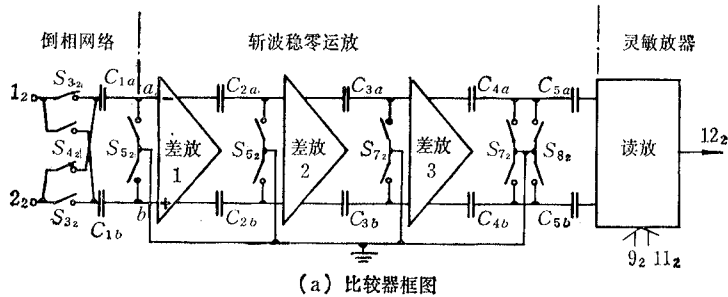


图 2

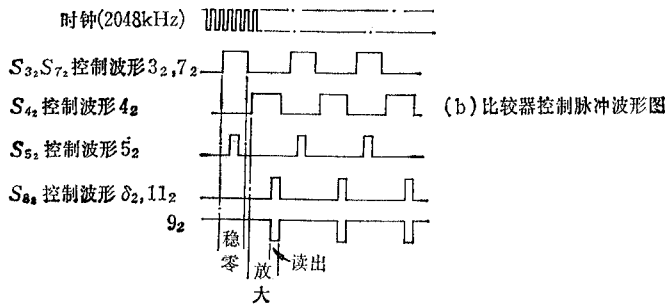
### 三、实验样片电路的构成

实验样片电路如图 3 所示,这是一个利用 E/D NMOS 斩波稳零运放构成的高灵敏度比较器。它用于单片集成 PCM 编译码器中,该电路由三部分组成:输入开关倒相网络、斩波稳零运放和读放(灵敏放大器)。方框图和控制脉冲波形见图 4。各部分功能和设计要点说明如下:

(1) 输入开关倒相网络 这部分电路由 MOS 开关  $M_1 - M_4$  和电容  $C_{1a}$ 、 $C_{1b}$  构



(a) 比较器框图



(b) 比较器控制脉冲波形图

图 4

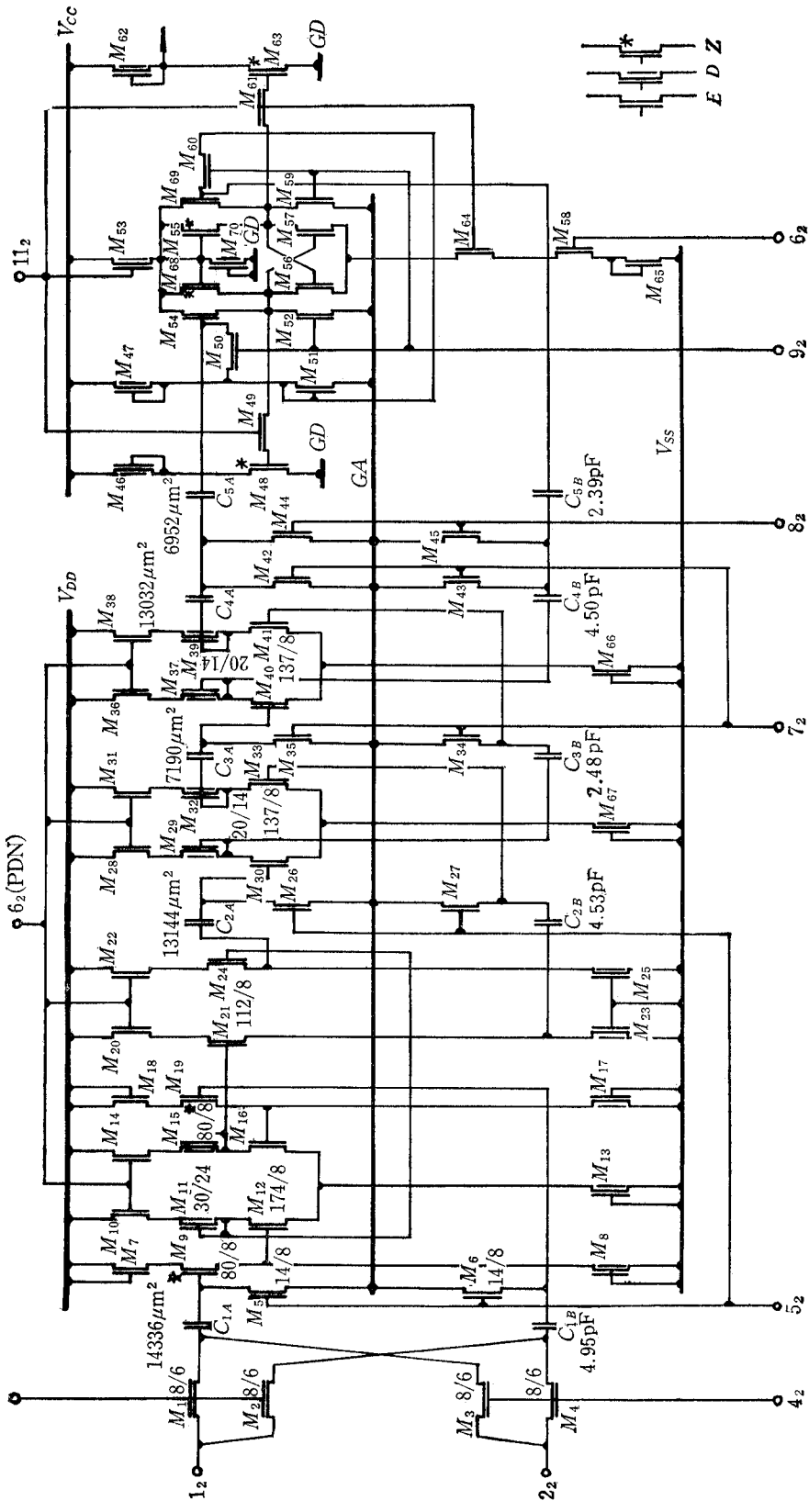


图 3

成,用来产生输入  $V_{1_2}$  和  $V_{2_2}$  的差模信号并去除共模分量. 在图 4 中,当开关  $S_{3_2}$  和  $S_{5_2}$  闭合时,电容  $C_{1a}$ 、 $C_{1b}$  分别被充电至  $V_{C1a} = V_{1_2}$ ,  $V_{C1b} = V_{2_2}$ . 在  $S_{3_2}$ 、 $S_{5_2}$  断开后,  $C_{1a}$ 、 $C_{1b}$  上电荷不变. 当  $S_{4_2}$  闭合,运放输入端  $a$ 、 $b$  处电压为:

$$V_a = V_{2_2} - V_{C1a} = V_{2_2} - V_{1_2}, \quad (11)$$

$$V_b = V_{1_2} - V_{C1b} = V_{1_2} - V_{2_2}. \quad (12)$$

由此得到运放输入的差模电压  $V_{id}$  和共模电压  $V_{ic}$  分别为:

$$V_{id} = V_b - V_a = 2(V_{1_2} - V_{2_2}), \quad (13)$$

$$V_{ic} = \frac{1}{2}(V_a + V_b) = 0. \quad (14)$$

**(2) 斩波稳零运放** 斩波稳零运放由三级差动放大器和三级斩波电容构成. 为了减小差放输入电容和改善对电容  $C_{2a}$ 、 $C_{2b}$  的驱动能力,第一级的输入和输出都接入了跟随器. 斩波脉冲选用两种脉宽 ( $5_2$ ,  $7_2$ ) 以减小失调. 为了降低功耗,设置了低功耗(PDN)开关控制信号,当进入低功耗状态时,  $6_2$  将各级电源切断. 斩波运放工作过程中,时钟  $5_2$ 、 $7_2$  高电平为稳零时间,  $4_2$  高电平为放大状态.

**(3) 灵敏放大器(读放)** 比较器末级为灵敏放大器,它与一般数字电路中的读放电路原理基本相同,采用动态电路以提高灵敏度. 输入信号由  $M_{54}$ 、 $M_{69}$  两管栅极加入,为前级斩波运放提供高阻负载.

由时钟  $7_2$ 、 $8_2$ 、 $9_2$ 、 $11_2$  依次控制,读放工作过程可分为电荷平衡、写入、读出三个阶段. 读出脉冲  $11_2$  设计在运放工作于放大状态的后半段时间,以减少前级电路过渡状态对读出的影响.

#### 四、实验样片电路指标分析、计算机模拟和测试

各部分增益计算如下:

**(1) 倒相网络** 由 (13) 式求得倒相网络差模电压增益

$$A_{VS} = \frac{V_{id}}{V_{11} - V_{22}} = 2.$$

**(2) 斩波稳零运放** 利用 SPICE-II 程序<sup>[10,11]</sup> 计算得到斩波稳零运放各级差放的电压增益分别为:  $A_{V1} \approx 13$ ,  $A_{V2} \approx 18$ ,  $A_{V3} \approx 18$ .

由附录求得各级斩波电容的电压传输系数  $k_{C1} \approx 1$ ,  $k_{C2} \approx 0.69$ ,  $k_{C3} \approx 0.61$ .

电容  $C_4$  和  $C_5$  分压的结果也使传送到读放的信号幅度减小,传输比  $k_{C4} \approx 0.65$ .

斩波稳零运放总的电压增益为:

$$A_{VOP} = \left( \prod_{i=1}^3 A_{Vi} \right) \cdot \left( \prod_{j=1}^4 k_{Cj} \right) \approx 1100.$$

**(3) 灵敏放大器** 利用 SPICE-II 程序模拟结果表明,能使读放触发翻转的最小信号电平约为 150mV,即读放的灵敏度近于 150mV.

利用上述结果可以估算比较器的灵敏度和失调电压.

将读放灵敏度除以前级电路总的电压增益即可得到比较器的灵敏度:

$$\frac{150\text{mV}}{2 \times 1100} \approx 70\mu\text{V}.$$

为估算失调电压, 首先利用 (4) 式计算第三级运放的  $\Delta V_{CM}$ , 以  $\Delta V_{CMIII}$  标记, 将图 3 电路的设计参数代入可得:

$$\Delta V_{CMIII} \approx 40\text{mV}.$$

考虑到  $\Delta_1$  和  $\Delta_2$  约在  $10^{-2}$  量级, 而 CMRR 优于  $10^{-2}$ , 利用 (10) 式可估算出第三级放大器的失调电压约为:

$$V_{OSIII} \approx 4\text{mV}.$$

将此失调电压折合到输入端即求得比较器输入失调电压:

$$V_{OS} = \frac{V_{OSIII}}{A_{VS} \cdot A_{V1} \cdot A_{V2} \cdot k_{C1} \cdot k_{C2} \cdot k_{C3}} \\ \approx \frac{4 \times 10^{-3}}{2 \times 13 \times 18 \times 18 \times 1 \times 0.69 \times 0.61} \approx 20\mu\text{V}.$$

利用 KEITHLEY192 型高精度数字电压表以及 COS5021 示波器对实验样片电路进行了测试, 测试结果与计算值的比较列于表 1. 可以看出, 灵敏度和失调的测试值与理论值基本相符. 在所测的约 20 片样片中, 指标有一定的离散性, 这主要是由工艺参数的波动造成. 此外, 从比较器上引出的测试点走线也导致片上数字电路对比较器的干扰增大, 从而使比较器灵敏度指标变坏.

表 1

	理论计算	测试值(样片号)	文献[1]
灵敏度	$\sim 70\mu\text{V}$	$\sim 80\mu\text{V}$ (08#) $\sim 100\mu\text{V}$ (01#) $\sim 60\mu\text{V}$ (03#) $\sim 100\mu\text{V}$ (07#)	$\sim 100\mu\text{V}$
输入失调电压(室温)	$\sim 20\mu\text{V}$	$\sim 10\mu\text{V}$ (08#) $\sim 20\mu\text{V}$ (01#) $\sim 40\mu\text{V}$ (03#) $\sim 40\mu\text{V}$ (07#)	$< 100\mu\text{V}$
温度漂移 (10—70℃)	/	$\sim 1.7\mu\text{V}/^\circ\text{C}$ (01#, 03#)	/

表中还列出了国外同类电路的测试结果<sup>[1]</sup>, 它们与本文给出的结果相近. 此外, 对温度指标也作了测试, 当温度从 10℃ 变化到 70℃, 总的温度漂移量约  $100\mu\text{V}$ , 与失调电压数量级相同. 各项指标均符合 PCM 编译码器对比较器电路的性能要求.

## 五、结 束 语

本文给出的斩波稳零运放失调电压表达式指出了影响失调电压各因素的作用, 为电

路设计提供了参考依据。实验电路的 SPICE-II 程序模拟与样片测试结果基本一致, 与国外近年文献报道的同类电路指标相近。此外, 对实验样片还进行了温度漂移测试, 目前, 要给出斩波稳零运放温漂的定量关系尚有困难, 有待进一步研究。

本文针对 NMOS 电路进行分析, 所得结论对于 CMOS 斩波稳零运放也有参考价值。

本文的研究结果已应用于 E/D NMOS PCM Codec CC2911A 设计中。

感谢冯重熙教授和南德恒教授对本文写作给予的指导。

### 附录 斩波电容的电压传输系数

在斩波稳零运放电路中, 当下级输入阻抗为无限大时, 斩波电容的电压传输系数等于 1。实际电路中, 考虑到差动放大器输入电容以及寄生电容的影响, 电压传输系数将小于 1。

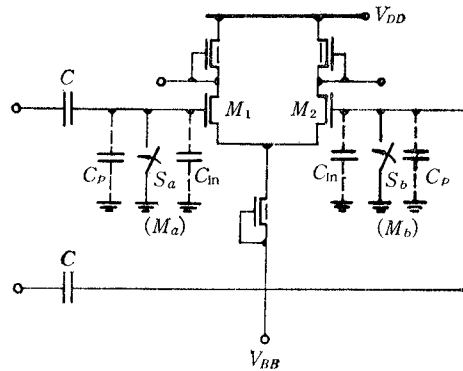


图 A-1

由图 A-1 电路, 斩波电容的电压传输系数可表示为

$$k_c = \frac{C}{C + C_p + C_{in}}, \quad (A-1)$$

式中  $C$  为斩波电容;  $C_{in}$  为差动放大器输入电容, 其表达式为 (1) 式;  $C_p$  为寄生电容, 包括斩波电容到衬底的寄生电容  $\alpha_1 C$  和布线的分布电容  $C'_p$ 。

$$C_p = \alpha_1 C + C'_p, \quad (A-2)$$

式中  $\alpha_1$  为斩波电容极板寄生电容折合系数。当电容上极板接到输入栅时, 考虑到电容上覆有接地铝,  $\alpha_1 = T_{0XG}/T_{0XF}$ , 这里  $T_{0XG}$ ——栅氧化层厚度,  $T_{0XF}$ ——场区氧化层厚度。当电容下极板接到输入栅时, 对于多晶下极板仍有  $\alpha_1 = T_{0XG}/T_{0XF}$ , 对于扩散区下极板则有  $\alpha_1 = C_{PN}/C_{OX}$ , 这里  $C_{PN}$  为衬底单位面积 PN 结电容,  $C_{OX}$  为单位面积栅氧化层电容。实际上, 因  $C'_p \ll \alpha_1 C$ , 在以下推导中取

$$C_p \approx \alpha_1 C. \quad (A-3)$$

将  $C_p$  和  $C_{in}$  的表达式 (A-3) 式和 (1) 式代入 (A-1) 式, 则有:



$$k_c = \frac{C}{(1 + \alpha_1)C + \left(\frac{2}{3} + \frac{L_D}{L} A_V\right) C_G} \quad (A-4)$$

为使  $k_c$  接近 1, 应减小  $\alpha_1$  和  $C_G$  值。注意到  $T_{0XG} \ll T_{0XF}$ , 为了减小  $\alpha_1$ , 可采用电容上极板接输入栅的办法。为了减小  $C_G$ , 可适当减小差放输入栅面积, 但噪声将随栅面积的减小而增大<sup>[9]</sup>, 故栅面积不宜过小。

利用以上分析结果可以计算实验样片电路的各级斩波电容的电压传输系数。

第一级是源跟随器输入, 输入电容小, 且  $C_1$  为双层多晶电容, 故  $k_{c1} \approx 1$ 。

第二级斩波电容为多晶扩散电容, 下极板接输入栅, 将  $C_{FN} = 7.52 \times 10^{-9}\text{F}/\text{cm}^2$ ,  $C_{0X} = 3.45 \times 10^{-8}\text{F}/\text{cm}^2$  和图 3 电路参数代入 (A-4) 式中可求得  $k_{c2} \approx 0.69$ 。

第三级与第二级结构相同, 仅斩波电容值有差异, 用类似方法求得  $k_{c3} \approx 0.61$ 。

### 参 考 文 献

- [ 1 ] M. E. Hoff, Jr., J. Huggins and B. M. Warren, *IEEE J. of SC*, **SC-14**(1979), 47.
- [ 2 ] A. R. Hamade and E. Campbell, *ISSCC Dig. Tech. Papers*, 1976, pp. 154, 155.
- [ 3 ] R. Poujois, B. Baylac, D. Barbier and J. M. Ittel, *ibid.*, 1973, pp. 152, 153, 216, 217.
- [ 4 ] A. R. Hamade, *IEEE J. of SC*, **SC-13**(1978), 371.
- [ 5 ] 易明铤, 集成运算放大器, 科学出版社, 1983, pp. 298—348.
- [ 6 ] D. Jones and R. W. Webb, *Electronics*, **46**(1973), 110.
- [ 7 ] R. E. Suarez, P. R. Gray and D. A. Hodges, *IEEE J. of SC*, **SC-10**(1975), 379.
- [ 8 ] R. Poujois and J. Borel, *ibid.*, **SC-13**(1978), 499.
- [ 9 ] 王国裕, MOS 模拟电路的噪声模型与噪声分析, 清华大学硕士学位论文, 1984.
- [ 10 ] A. Vladimirescu, 田淑清译, SPICE 通用电路模拟程序用户指南, 清华大学出版社, 1983.
- [ 11 ] 章开和, 电子技术应用, 1983 年, 第 12 期, 第 13 页.

## E/D NMOS CHOPPER-STABILIZED OPERATIONAL AMPLIFIER

Gong Mingfu, Zheng Junli, Li Yongming

(Qinghua University)

The design method of E/D NMOS chopper-stabilized operational amplifier is discussed. The offset factors are analyzed and a new formula is derived. The circuit design is simulated with SPICE-II and the experiment of test chip shows a satisfactory result.